



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학박사 학위논문

T-type 3레벨 4레그
3상 컨버터의 전압 합성

Voltage Synthesis of
T-type Three Level Four Leg
Three Phase Converter

2016년 2월

서울대학교 대학원

전기·컴퓨터 공학부

지 승 준

초 록

본 논문에서는 교류 전원 장치로 사용하기 위한 3레벨 (Level) 4레그 (Leg) 전압형 컨버터의 출력 전압 합성을 위한 제어 방법과 그 구현에 대하여 논하였다.

최근 들어 신/재생 에너지와 같은 분산 전원이 폭넓게 활용 되면서 전력 계통과 연계되어 동작하는 컨버터의 비중이 점점 증대되고 있다. 이와 같은 계통 연계형 컨버터들의 증대와 함께 계통 규정을 만족하기 위한 전력 품질 보상용 컨버터들의 사용 또한 증대되고 있다. 이러한 컨버터들은 정상적인 계통 상황뿐만 아니라 비정상적인 계통 상황에서도 계통 연계 규정 (Grid Code)을 준수하면서 의도한대로 동작해야 한다. 그러므로 제품 개발 단계뿐만 아니라 최종 제품 시험 시에도 비정상적인 계통 전압을 모의하여 동작 검증을 해야 한다. 따라서 비정상적인 계통 상황을 모의 할 수 있도록 임의의 전압을 합성할 수 있는 교류 전원 장치에 대한 관심이 증가하고 있다.

교류 전원 장치는 부하가 평형 (Balanced), 불평형 (Unbalanced)인지에 관계 없이 어떤 경우에도 원하는 3상 전압을 합성할 수 있어야 한다. 따라서 본 논문에서는 3상 4선식 구조 중 전압 사용율이 높은 4레그 토폴로지 (Topology)를 선정하여 임의의 3상 전압을 합성하고자 한다. 또한 2레벨 토폴로지에 비해 전력용 소자의 개수는 증가하지만, 높은 효율, 높은 등가 스위칭 주파수, 낮은 전압 변동율 (dv/dt), 따라서 작은 출력 필터 적용이 가능한 멀티 레벨 토폴로지 중 T-type 형태의 3레벨 토폴로지를 선정하였다.

컨버터는 전력용 반도체 소자의 스위칭 동작을 통해 평균적으로 필요한 전압을 합성하게 된다. 이러한 스위칭 동작은 부득이하게 커먼

모드 전압 (Common-mode voltage)을 발생시키고, 이로 인해 전자파 간섭 (Electro Magnetic Interference, EMI)의 소스 (Source)인 커먼 모드 전류 (Common-mode current)가 흐르게 된다. 또한 3레벨 토폴로지의 경우 2레벨 토폴로지와 다르게 지령 전압이 작은 경우에 데드 타임 (Dead-time) 보상이 어렵게 된다. 추가로 컨버터를 교류 전원 장치로 사용하기 위해서는 정확한 전압 합성을 위한 전압 제어기가 필요하다. 이러한 제어기는 컨버터 출력의 LC필터에 의한 공진 (Resonance)을 억제할 수 있어야 할 뿐 아니라, 출력 전압을 지령 전압과 비교했을 때 크기의 왜곡이나 시지연이 없도록 합성해주어야 한다.

본 논문에서는 3상 임의 전압 합성이 가능한 교류 전원 장치에 사용될 3레벨 4레그 컨버터의 전압 합성을 위해 커먼 모드 전압 저감을 위한 PWM 방법, 데드 타임 전압 왜곡 보상을 위한 PWM 방법 및 전압 제어 방법을 제안한다. 제안된 방법의 성능은 이론적인 해석과 함께, 컴퓨터 모의 실험, 5kW용량 3레벨 4레그 컨버터 실험 등을 통하여 검증하였다. 커먼 모드 전압에 관하여 PPPWM 방법을 적용하면 통상의 SVPWM 방법을 적용했을 때에 비해 크기는 66%, 변화 횟수는 75% 줄어든 것을 확인하였다. 그리고 제안된 데드 타임 보상 방법과 전압 제어기를 사용했을 때에는 저 전압 및 고 전압 조건에서 VTR의 값이 증가함을 확인하였다.

주요어 : 3레벨 4레그, 커먼 모드 전압, 데드 타임, 임의 전압 합성,
전압 제어기

학 번 : 2011-30977

목 차

초 록.....	i
목 차.....	iii
표 목차.....	vi
그림 목차.....	vii
제 1 장 서 론.....	1
1.1 연구의 배경	1
1.2 연구의 목표	6
1.3 논문의 구성	7
제 2 장 커먼 모드 전압 (Common-mode Voltage) 저감[22]	10
2.1 3레벨 4레그 컨버터에서의 커먼 모드 전압	11
2.2 기존 PWM 방법의 커먼 모드 전압.....	14
2.3 제안된 커먼 모드 전압 저감 PWM 방법	22
2.3.1 제안된 커먼 모드 전압 저감 PWM 방법의 원리	22
2.3.2 제안된 커먼 모드 전압 저감 PWM 방법의 구현	25
2.3.3 제안된 커먼 모드 전압 저감 PWM 방법의 구현 변형.....	30
2.4 PWM 방법의 성능 비교	35
2.4.1 전압 사용률.....	35

2.4.2 HDF (Harmonic Distortion Factor)	42
2.5 모의 실험 결과	49
2.6 실험 결과.....	54
제 3 장 3레벨 4레그 컨버터의 제어 성능 개선	70
3.1 3레벨 토폴로지의 데드 타임 보상.....	70
3.1.1 3 레벨 토폴로지의 데드 타임 영향	71
3.1.1.1 3 레벨 토폴로지의 전압 합성	71
3.1.1.2 3 레벨 토폴로지의 데드 타임 영향	76
3.1.1.3 3 레벨 토폴로지의 데드 타임 영향 상세 분석	85
3.1.2 3 레벨 토폴로지의 데드 타임 보상	112
3.1.2.1 저 전압 데드 타임의 보상 (AOVPWM, Alternative Offset Voltage PWM) [67]	133
3.1.2.2 중, 고 전압 데드 타임의 보상 (OMVPWM, Optimal Margin Voltage PWM) [67]	139
3.1.2.3 전압 사용률	144
3.1.3 모의 실험 결과	149
3.1.4 실험 결과	175
3.2 전압 제어기	212
3.2.1 기존 전압 제어기	216
3.2.2 제안된 전압 제어기	230
3.2.3 모의 실험	236
3.2.4 교류 전원 장치	246
3.2.4.1 제안된 전압 제어기와 교류 전원 장치	246
3.2.5 실험 결과	276

제 4 장 결론.....	308
4.1 연구 결과.....	308
4.2 향후 과제.....	311
부 록 A . 삼상 4선식 구조	314
A.1 삼상 4선식 구조의 필요성.....	314
A.2 삼상 4선식 구조 종류.....	322
부 록 B . 기존 교류 전원 장치	326
참고 문헌.....	329
Abstract.....	337

표 목차

표 2.1 전압 변조 방식에 따른 커먼 모드 전압	21
표 2.2 그림 2.9 에 사용된 값	33
표 2.3 PWM 방법 별 성능 요약	48
표 3.1 저 전압 조건에서의 데드 타임 영향을 억제하기 위한 보정된 극 전압 지령 (DTCM1)	118
표 3.2 저 전압 조건에서의 데드 타임 영향을 억제하기 위한 최종 극 전압 지령 (DTCM2)	126
표 3.3 저 전압에서의 모의 실험 조건	151
표 3.4 고 전압에서의 모의 실험 조건	164
표 3.5 저 전압에서의 실험 조건	177
표 3.6 고 전압에서의 실험 조건	189
표 3.7 단일 루프 (single-loop) 전압 제어기 이득	234
표 3.8 손실 모의 실험 조건	269
표 3.9 작은 전압에서의 실험 조건 (단일 루프 전압 제어기)	277
표 3.10 큰 전압 크기에서의 실험 조건 (단일 루프 전압 제어기)	285
표 A.1 같은 상 전압 크기를 출력하기 위한 직류단 전압	324
표 A.2 같은 직류단 전압에서 출력 가능한 상 전압 크기	325

그림 목차

그림 1.1 토폴로지 (a) 2레벨, (b) 3레벨 (NPC), (c) 3레벨 (T-type)	4
그림 2.1 3레벨 4레그 컨버터 시스템에서 커먼 모드 전압	11
그림 2.2 기존 삼각파 비교 전압 변조 방식의 구현	14
그림 2.3 스위칭 패턴 (공간 벡터 전압 변조 방식 적용 시)	17
그림 2.4 스위칭 패턴 (정현파 전압 변조 방식 적용 시)	20
그림 2.5 스위칭 패턴 (제안된 커먼 모드 전압 저감 PWM 방법, PPPWM1)	24
그림 2.6 제안된 커먼 모드 전압 저감을 위한 PWM 방법 블록도	26
그림 2.7 스위칭 패턴 (제안된 커먼 모드 전압 저감 PWM 방법, PPPWM2)	31
그림 2.8 스위칭 패턴 (제안된 커먼 모드 전압 저감 PWM 방법, PPPWM3)	32
그림 2.9 제안된 커먼 모드 전압 저감 PWM 방법에서 f 레그 극 전압 지령들 및 옵셋 전압 계산 방법	34
그림 2.10 PWM 별 전압 사용률 제한 값	39
그림 2.11 PWM 방법 별 정규화된 상 전압과 극 전압의 관계	40
그림 2.12 PWM 방법 별 극 전압과 옵셋 전압	41
그림 2.13 3레벨 4레그 컨버터의 PWM 방법 별 고조파 자속 궤적	43
그림 2.14 3레벨 4레그 컨버터의 PWM 방법 별 PWM 사이클 고조파 자속 실효치 (a) $M_i = 0.5$, (b) $M_i = 0.86$	45

그림 2.15 3레벨 4레그 컨버터의 PWM 방법 별 HDF	46
그림 2.16 모의 실험에 사용된 회로	49
그림 2.17 PPPWM3 적용 시 4개 극 전압 파형 및 그때의 커먼 모 드 전압	50
그림 2.18 상 전압과 PWM 방법 별 커먼 모드 전압	52
그림 2.19 그림 2.18의 커먼 모드 전압 확대 파형	53
그림 2.20 실험 세트 (5kW T-type 4레그)	54
그림 2.21 상 전류와 커먼 모드 전압 (PPPWM3, $V_{fn}^* = 0$)	55
그림 2.22 상 전류와 커먼 모드 전압 (PPPWM3, $V_{fn}^* \neq 0$)	56
그림 2.23 커먼 모드 전압 (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3.....	58
그림 2.24 커먼 모드 전압 (그림 2.23 의 확대 파형) (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3	60
그림 2.25 그림 2.23 의 커먼 모드 전압 FFT (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3.....	62
그림 2.26 커먼 모드 전압의 FFT (그림 2.25의 확대 파형) (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3.....	64
그림 2.27 전압 제어 시 부하 전압, 부하 전류 및 커먼 모드 전압 (PPPWM3)	65
그림 2.28 전압 제어 시 커먼 모드 전압의 FFT (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3.....	67
그림 2.29 커먼 모드 전압 (100m 케이블) (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3.....	69
그림 3.1 3레벨 4레그 컨버터 시스템에서 한 레그	72

그림 3.2 3레벨 토폴로지에서의 극 전압 합성 원리 (a) $V_{an}^* \geq 0$,	
(b) $V_{an}^* < 0$	75
그림 3.3 전압/전류 곡선 (a) IGBT, (b) 다이오드	79
그림 3.4 데드 타임을 고려한 3레벨 토폴로지에서의 극 전압 합성 원리	83
그림 3.5 3레벨 토폴로지의 영역 A에서 극 전압	87
그림 3.6 3레벨 토폴로지의 영역 B에서 극 전압	89
그림 3.7 3레벨 토폴로지의 영역 C에서 극 전압	91
그림 3.8 3레벨 토폴로지의 영역 D에서 극 전압	94
그림 3.9 3레벨 토폴로지의 영역 E에서 극 전압	96
그림 3.10 3레벨 토폴로지의 영역 F에서 극 전압	98
그림 3.11 3레벨 토폴로지의 영역 G에서 극 전압	101
그림 3.12 3레벨 토폴로지의 영역 H에서 극 전압	103
그림 3.13 3레벨 토폴로지의 영역 I에서 극 전압	106
그림 3.14 3레벨 토폴로지의 영역 J에서 극 전압	108
그림 3.15 지령 극 전압 vs. 출력 극 전압 ($ i_x \approx 0$)	110
그림 3.16 지령 극 전압 vs. 출력 극 전압 ($ i_x \gg 0$)	111
그림 3.17 데드 타임 보상 전 지령 극 전압, 평균 출력 극 전압, 상 전류	113
그림 3.18 그림 3.17의 FFT 결과	114
그림 3.19 지령 극 전압 vs. 출력 극 전압 ($i_x \gg 0$)	115
그림 3.20 지령 극 전압 vs. 출력 극 전압 ($i_x \ll 0$)	116
그림 3.21 DTCM1 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류	120

그림 3.22 DTCM1 적용 시 지령 극 전압, 평균 출력 극 전압의 FFT	121
그림 3.23 DTCM1 의 영역 A에서 전압 합성	122
그림 3.24 DTCM1의 영역 D에서 전압 합성	123
그림 3.25 DTCM1의 영역 B에서 전압 합성	124
그림 3.26 DTCM1 의 영역 C에서 전압 합성	125
그림 3.27 DTCM2의 영역 B에서 전압 합성	128
그림 3.28 DTCM2의 영역 C에서 전압 합성	129
그림 3.29 DTCM2 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류	130
그림 3.30 DTCM2 적용 시 지령 극 전압, 평균 출력 극 전압의 FFT	131
그림 3.31 SVPWM과 $+\frac{V_{dc}}{4}$ 적용 시 지령 극 전압: V_{an}^* , V_{bn}^* , V_{cn}^* , V_{fn}^*	134
그림 3.32 모의 실험에서의 데드 타임 보상 방법.....	135
그림 3.33 SVPWM과 $+\frac{V_{dc}}{4}$ 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류.....	136
그림 3.34 그림 3.33의 FFT	137
그림 3.35 AOVPWM 적용 시 지령 극 전압: V_{an}^* , V_{bn}^* , V_{cn}^* , V_{fn}^*	138
그림 3.36 OMVPWM 원리.....	141
그림 3.37 OMVPWM 적용 시 극 전압 파형: V_{an}^* , V_{bn}^* , V_{cn}^* , V_{fn}^*	142

그림 3.38 OMVPWM 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류	143
그림 3.39 OMVPWM 적용 시 극 전압 파형: V_{an}^* , V_{bn}^* , V_{cn}^* , V_{fn}^*	147
그림 3.40 상 전압 지령 크기에 따라 데드 타임 보상을 위한 PWM 방법	148
그림 3.41 모의 실험 회로	149
그림 3.42 모의 실험 결과 - Sim1 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	153
그림 3.43 모의 실험 결과 - Sim2 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	154
그림 3.44 모의 실험 결과 - Sim3 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	155
그림 3.45 모의 실험 결과 - Sim4 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	157
그림 3.46 모의 실험 결과 - Sim5 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	158
그림 3.47 모의 실험 결과 - Sim6 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	160
그림 3.48 모의 실험 결과 - Sim7 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	161
그림 3.49 모의 실험 결과 - Sim8 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	162
그림 3.50 모의 실험 결과 - Sim9 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	163

그림 3.51	모의 실험 결과 - Sim10 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	166
그림 3.52	모의 실험 결과 - Sim11 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	167
그림 3.53	모의 실험 결과 - Sim12 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	168
그림 3.54	모의 실험 결과 - Sim13 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	170
그림 3.55	모의 실험 결과 - Sim14 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	171
그림 3.56	모의 실험 결과 - Sim15 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	173
그림 3.57	모의 실험 결과 - Sim16 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	174
그림 3.58	전류와 전압 오차	176
그림 3.59	실험 결과 - 실험 1.....	179
그림 3.60	실험 결과 - 실험 2.....	180
그림 3.61	실험 결과 - 실험 3.....	181
그림 3.62	실험 결과 - 실험 4.....	183
그림 3.63	실험 결과 - 실험 5.....	184
그림 3.64	실험 결과 - 실험 6.....	186
그림 3.65	실험 결과 - 실험 7.....	187
그림 3.66	실험 결과 - 실험 8.....	188
그림 3.67	실험 결과 - 실험 9.....	191
그림 3.68	실험 결과 - 실험 10	192

그림 3.69 실험 결과 - 실험 11	193
그림 3.70 실험 결과 - 실험 12	195
그림 3.71 실험 결과 - 실험 13	196
그림 3.72 실험 결과 - 실험 14	198
그림 3.73 실험 결과 - 실험 15	199
그림 3.74 실험 결과 - 실험 16	200
그림 3.75 실험 결과 - 고 전류 부하 조건 (저 전압)	202
그림 3.76 실험 결과 - 고 전류 부하 조건 (고 전압)	203
그림 3.77 부하 조건 - 다이오드 부하1.....	204
그림 3.78 실험 결과 - 다이오드 부하 조건1 (저 전압)	205
그림 3.79 실험 결과 - 다이오드 부하 조건1 (고 전압)	206
그림 3.80 부하 조건 - 다이오드 부하2.....	207
그림 3.81 실험 결과 - 다이오드 부하 조건2 (저 전압)	208
그림 3.82 실험 결과 - 다이오드 부하 조건2 (고 전압)	209
그림 3.83 커먼 모드 전압 (a) SVPWM, (b) AOVPWM	210
그림 3.84 3레벨 4레그 컨버터 구조	212
그림 3.85 한 상 (x 상) 등가 회로.....	213
그림 3.86 한 상 (x 상) 등가 회로의 블록도	214
그림 3.87 멀티 루프 (multi-loop) 전압 제어기의 블록도.....	216
그림 3.88 오픈 루프 (open-loop) 전압 제어기의 블록도	217
그림 3.89 오픈 루프 (open-loop) 전압 제어기 모의 실험1	218
그림 3.90 오픈 루프 (open-loop) 전압 제어기 모의 실험2	219
그림 3.91 오픈 루프 (open-loop) 전압 제어기 모의 실험3	220
그림 3.92 오픈 루프 (open-loop) 전압 제어기 모의 실험4 (a) 파 형, (b) (a)의 FFT	221

그림 3.93 오픈 루프 (open-loop) 전압 제어기 모의 실험5 (a) 파형, (b) (a)의 FFT	222
그림 3.94 오픈 루프 (open-loop) 전압 제어를 포함한 한 상 (x 상) 등가 회로의 블록도	223
그림 3.95 제정수 오차 없을 때 오픈 루프 (open-loop) 전압 제어기 보드 선도.....	225
그림 3.96 오픈 루프 (open-loop) 전압 제어기의 TF_IL 보드 선도.....	226
그림 3.97 오픈 루프 (open-loop) 전압 제어기 모의 실험6 (a) 파형, (b) (a)의 FFT	227
그림 3.98 오픈 루프 (open-loop) 전압 제어기 모의 실험7 (a) 파형, (b) (a)의 FFT	228
그림 3.99 단일 루프 (single-loop) 전압 제어기 블록도.....	230
그림 3.100 단일 루프 (single-loop) 전압 제어기의 보드 선도.....	235
그림 3.101 단일 루프 (single-loop) 전압 제어기 모의 실험8 (a) 파형, (b) (a)의 FFT	236
그림 3.102 단일 루프 (single-loop) 전압 제어기 모의 실험9 (a) 파형, (b) (a)의 FFT	237
그림 3.103 단일 루프 (single-loop) 전압 제어기 모의 실험10 (a) 파형, (b) (a)의 FFT	238
그림 3.104 단일 루프 (single-loop) 전압 제어기 모의 실험11 (a) 파형, (b) (a)의 FFT	239
그림 3.105 PWM 방법 별 단일 루프 (single-loop) 전압 제어기 모의 실험 - High Mi (a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1, (e) PPPWM2,	

(f)PPPWM3.....	241
그림 3.106 그림 3.105의 파형 FFT 결과- High Mi (a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1, (e) PPPWM2, (f)PPPWM3.....	242
그림 3.107 PWM 방법 별 단일 루프 (single-loop) 전압 제어기 모의 실험 - Low Mi (a) SVPWM, (b) SPWM, (c) AOVPWM+SVPWM, (d) PPPWM1, (e) PPPWM2, (f)PPPWM3.....	244
그림 3.108 그림 3.107의 파형 FFT 결과- Low Mi (a) SVPWM, (b) SPWM, (c) AOVPWM+SVPWM, (d) PPPWM1, (e) PPPWM2, (f)PPPWM3.....	245
그림 3.109 LC필터의 보드 선도	247
그림 3.110 비율 제한기 블록도.....	248
그림 3.111 노치 필터의 보드 선도.....	250
그림 3.112 수동 댐핑 방법 (a) 인덕터 직렬 저항, (b) 인덕터 병렬 저항, (c) 캐패시터 직렬 저항, (d) 캐패시터 병렬 저항.....	251
그림 3.113 인덕터에 직렬 저항 추가 시 한 상 등가 블록도.....	253
그림 3.114 캐패시터에 병렬 저항 추가 시 한 상 등가 블록도 ...	254
그림 3.115 ZOH로 이산화된 플랜트 블록도.....	258
그림 3.116 모의 실험 - (a) 연속 시간 모델에서의 캐패시터 전압 ($V_{cap_a}^{CM}$)과 이산화된 모델에서의 캐패시터 전압 ($V_{cap_a}^{DM}$), (b) (a)의 확대 파형.....	259
그림 3.117 제어기가 포함된 이산화된 플랜트 블록도	260
그림 3.118 댐핑 저항(R_{damp_LS})에 따른 Pole-zero 맵.....	262
그림 3.119 그림 3.100 확대 파형	263

그림 3.120 단일 루프 (single-loop) 전압 제어기 보드 선도 ($\omega_{vc} = 2\pi 5600[\text{rad} / \text{s}]$)	265
그림 3.121 단일 루프 (single-loop) 전압 제어기 모의 실험	12266
그림 3.122 Vincotech 10-FZ12NMA080SH01-M260F 상/하단 스위치 손실 데이터	267
그림 3.123 Vincotech 10-FZ12NMA080SH01-M260F 중성단 스 위치 손실 데이터	268
그림 3.124 Vincotech 모듈의 전체 소자 손실	270
그림 3.125 Vincotech 모듈의 소자 손실 (a) 도통 손실, (b) 스위칭 손실	271
그림 3.126 Rohm BSM120D12P2C005 손실 데이터	272
그림 3.127 Rohm 모듈의 소자 손실 (a) 전체 손실, (b) 도통 손실, (c) 스위칭 손실	273
그림 3.128 Vincotech 모듈 손실	274
그림 3.129 실험 결과 - 실험 1	279
그림 3.130 실험 결과 - 실험 2	280
그림 3.131 실험 결과 - 실험 3	281
그림 3.132 실험 결과 - 실험 4	282
그림 3.133 실험 결과 - 실험 5	283
그림 3.134 실험 결과 - 실험 6	284
그림 3.135 실험 결과 - 실험 7	287
그림 3.136 실험 결과 - 실험 8	288
그림 3.137 실험 결과 - 실험 9	289
그림 3.138 실험 결과 - 실험 10	290
그림 3.139 실험 결과 - 실험 11	291

그림 3.140 실험 결과 - 실험 12	292
그림 3.141 실험 결과 - 고 전류 부하 조건 (저 전압)	294
그림 3.142 실험 결과 (FFT) - 고 전류 부하 조건 (저 전압) ..	295
그림 3.143 실험 결과 - 고 전류 부하 조건 (고 전압)	296
그림 3.144 실험 결과 (FFT) - 고 전류 부하 조건 (고 전압) ..	297
그림 3.145 부하 조건 - 다이오드 부하1	298
그림 3.146 실험 결과 - 다이오드 부하 조건1 (저 전압)	299
그림 3.147 실험 결과 (FFT) - 다이오드 부하 조건1 (저 전압)	300
그림 3.148 실험 결과 - 다이오드 부하 조건1 (고 전압)	301
그림 3.149 실험 결과 (FFT) - 다이오드 부하 조건1 (고 전압)	302
그림 3.150 부하 조건 - 다이오드 부하2	303
그림 3.151 실험 결과 - 다이오드 부하 조건2 (저 전압)	304
그림 3.152 실험 결과 (FFT) - 다이오드 부하 조건2 (저 전압)	305
그림 3.153 실험 결과 - 다이오드 부하 조건2 (고 전압)	306
그림 3.154 실험 결과 (FFT) - 다이오드 부하 조건2 (고 전압)	307
그림 A.1 일반적인 계통 연계형 3상 컨버터 구조	314
그림 A.2 계통 연결 없는 3상 컨버터 시스템 구조.....	315
그림 A.3 평형 부하에서의 부하 전압 및 부하 전류	316
그림 A.4 불평형 부하에서의 부하 전압 및 부하 전류.....	317
그림 A.5 불평형 부하 문제 해결을 위한 Δ/Y 변압기 사용 구조	318
그림 A.6 불평형 부하 문제 해결을 위한 4선식 컨버터 사용 구조	319
그림 A.7 평형 부하에서의 부하 전압 및 부하 전류	320
그림 A.8 불평형 부하에서의 부하 전압 및 부하 전류.....	321
그림 A.9 3레그 1선 구조	322

그림 A.10 4레그 구조.....	323
그림 B.1 COMPISO Digital Amplifier (CDA) 구조	326
그림 B.2 MX series 구조	327
그림 B.3 MX series의 optional EMI 필터.....	328

제 1 장 서 론

1.1 연구의 배경

환경 및 에너지 문제로 인해 분산 전원 (Distributed generation system)에 대한 관심이 점점 증대되고 있다. 이와 같이 신재생 에너지나 에너지 저장 장치로 구성된 분산 전원을 계통과 연결하기 위해서는 전력용 컨버터 (Converter)가 주로 이용되고 있다. 이렇게 전력 제어를 위한 전력용 컨버터를 전력 변환 장치 (Power Conditioning System, PCS)라고 한다. 이렇게 부하 혹은 계통에 에너지를 주고 받을 경우에도 컨버터가 사용되고, 전력 품질 보상을 위해서도 컨버터가 사용된다.

전력 품질 보상용 컨버터는 연결 형태에 따라 병렬형, 직렬형, 직/병렬형으로 나눌 수 있다. 병렬로 연결되는 시스템은 정지형 무효 전력 보상기 (STATic COMPensator, STATCOM), 능동 고조파 필터 (Active Power Filter, APF) 등이 있다. STATCOM은 계통에 연결된 부하에 의해 발생하는 용량성 전류나 유도성 전류를 흡수하여 계통에 무효 전류가 흐르지 않도록 해주는 역할을 한다[1]. APF는, 부하에서 발생한 고조파 전류로 인해 부하가 계통 연계 규정의 고조파 제한 값을 어길 수 있으므로, 고조파를 흡수하여 계통에는 깨끗한 정현파의 전류만 흐르도록 하는 기능을 한다[2, 3]. 계통에 직렬로 연결되는 대표적인 전력 품질 보상용 컨버터는 동적 전압 보상기 (Dynamic Voltage Restorer, DVR)로 계통 전압의 급상승 (Swell)이나 급하강 (Sag) 등이 발생해 전압 왜곡이 생겼을 때, 전압 상승분을 상쇄하거나 전압

부족분을 보충하여 깨끗한 정현파 전압이 부하에 인가되도록 해주는 기능을 한다[4]. 계통에 직/병렬로 연결된 시스템은 통합 전력 품질 제어기 (Unified Power Quality Controller, UPQC)로 불리우며 전원단의 이상 유무나 부하단의 비선형성이나 불평형에 상관없이 부하단에 평형 정현파 전압을 인가할 수 있고, 계통단에는 고조파 전류나 무효 전류가 흐르지 않도록 해줄 수 있다[5].

이와 같이 전력 제어나 전력 품질 향상 등을 위한 컨버터의 사용이 점차 늘어나고 있다. 하지만 이러한 제품들을 실제 사용하기 위해서는 계통이 비정상적인 경우에도 계통 연계 규정을 준수하면서 주어진 기능이 정상적으로 동작하는지 확인되어야 하고, 계통 상황에 따라 그 동작 모드가 규정에 따라 적절히 전환되는지 확인해야 한다. 따라서 컨버터의 제작 후 비정상적인 계통 상황에서도 테스트해야 한다. 그러나 계통 상황이 언제 그리고 어떤 문제가 생길지 알 수 없으므로, 비정상적인 계통 상황을 모의 (Emulation)할 수 있어야 한다. 이렇게 계통을 모의할 수 있는 시스템을 임의 전압 파형 발생 (Arbitrary Voltage Waveform Generator) 교류 전원 장치라 하고, 여러 가지 계통 연계 시스템의 수요 증가에 따라 이러한 교류 전원 장치에 대한 관심 또한 증가하고 있다. 이러한 교류 전원 장치 또한 전력 전자 기술에 기반한 컨버터로 구성되어 있다[6, 7].

일반적으로 컨버터 토폴로지 (Topology)는 몇 개의 레벨 (Level)을 가지는지 혹은 몇 개의 레그 (Leg)로 구성되어 있는지에 따라 나눌 수 있다. 먼저 레벨 수에 따라 토폴로지를 나눠보면 그림 1.1 (a)와 같이 극 (Pole) 전압이 $V_{dc}/2$, $-V_{dc}/2$ 로 2가지인 보통의 컨버터를 2레벨 토폴로지라 부른다. 2레벨 토폴로지는 간단한 구조 및 제어의

용이성으로 인해 지금까지도 가장 널리 사용되는 구조이다. 이 외에 멀티 레벨 (Multi-level) 토폴로지의 사용이 점점 증대되고 있다. 멀티 레벨 토폴로지는 2레벨 토폴로지에 비해 효율도 좋을 뿐 아니라, 레벨 수가 많아져서 2레벨 토폴로지에 비해 작은 필터 값을 사용할 수 있는 가능성이 있다. 특히 비용, 크기, 무게에서 큰 비중을 차지하는 인덕터의 인덕턴스 값을 줄일 수 있다는 장점이 있다. 또한 매 스위칭 시 전압 변동율 (dv/dt)의 감소로 인해 커먼 모드 전류 (Common-mode current)가 작아지게 된다. 멀티 레벨 토폴로지 중에서 3레벨 토폴로지는 상대적인 기술의 성숙 및 제어의 용이성으로 인해 가장 널리 사용되는 토폴로지이다. 3레벨 토폴로지는 $V_{dc}/2, 0, -V_{dc}/2$ 와 같은 극 전압을 가지게 되는데 대표적인 토폴로지로는 NPC (Neutral Point Clamped)와 T-type 이 있다. NPC는 1981년 Nabae 교수가 제안한 회로로 그림 1.1 (b)와 같이 구성된다[8]. T-type 은 단어 그대로 스위치의 배치가 영어 문자 T자와 같은 형태로 그림 1.1 (c)와 같다[9-11]. T-type은 NPC와 달리 직류단 중성점과 레그 출력 사이에 양방향 (Bidirectional) 스위치가 사용된다. 소자의 개수만 고려하면 NPC에 비해 레그 당 다이오드 2개가 적다는 장점이 있다. 여기서 T-type은 NPC에 비해 도통 손실이 작다는 장점이 있으나 직류단의 +와 -를 연결하는 스위치들의 내압은 직류단 전압 크기 이상이어야 한다는 단점이 있다[12, 13].

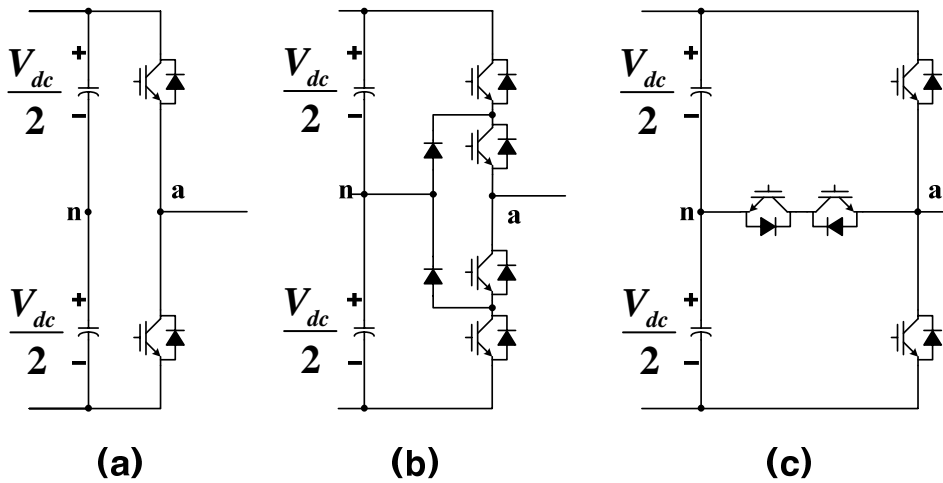


그림 1.1 토폴로지 (a) 2레벨, (b) 3레벨 (NPC), (c) 3레벨 (T-type)

Figure 1.1 Topology (a) 2 level, (b) 3 level (NPC), (c) 3 level (T-type)

보통의 3상 시스템의 경우에 컨버터의 레그 수는 3개이다. 컨버터가 3상 부하를 구동하는 경우 부하에는 선간 전압이 인가되므로, 컨버터의 선간 합성되는 전압이 중요하게 된다. 일반적인 계통 연계 시스템이나 3상 전동기를 부하로 사용하는 컨버터는 통상 3개의 레그를 사용하고 있다. 그러나 풍력 에너지, 태양광 에너지와 같은 신/재생 에너지 혹은 배터리 등과 같은 에너지 저장 장치 (Energy storage system, ESS)에 사용되는 컨버터 시스템의 경우에 계통이 끊어져도 부하에 지속적으로 에너지를 공급해줄 수 있어야 한다. 이와 같은 경우에 부하가 불평형 (Unbalanced)되어 있는 경우에도 부하에 걸리는 전압은 평형 (Balanced)이어야 한다. 그렇지 않을 경우 저전압 (Under-voltage)으로 부하에 연결된 시스템이 동작을 멈추거나 심할 경우

과전압 (Over-voltage)으로 인해 부하 시스템이 손상을 입을 수도 있다. 이와 같은 경우에 부하와 컨버터 사이에 Δ/Y 변압기를 설치하여 불평형 부하에 대응할 수도 있다. 이때 3상 3레그 컨버터를 변압기의 Δ 결선에 연결하고, 변압기의 Y결선을 부하에 연결하는데 부하의 중성점을 변압기 Y결선의 중성점에 연결해준다. 이와 같은 경우에 부하가 불평형 되더라도 부하에 걸리는 전압은 평형을 유지할 수 있다. 이렇게 변압기를 사용하는 방법 외에도 컨버터 구조를 4선식으로 사용해서도 불평형 부하에 대응할 수 있다. 4선식 구조는 3레그 1선 구조와 4레그 구조가 있다. 3레그 1선 구조는 3레그의 연결은 기존 3상 시스템과 같고 한 선은 직류단 캐패시터의 중성점과 부하의 중성점에 연결하는 구조이다[14]. 이와 같은 구조는 사용 가능한 PWM 방법이 SPWM (Sinusoidal PWM)으로 한정되고, 영상분 전류에 의한 직류단 전압의 흔들림 방지를 위해서 큰 용량의 캐패시터가 필요한 특징이 있다. 4레그 구조는 기존의 3레그에 한 개의 레그를 추가로 이용하는 구조이다[15-17]. 이 구조에서는 4번째 레그의 자유도로 인해 다양한 PWM 방법이 적용 가능하여 PWM 방법에 따라서 3레그 1선식 구조에 비해 높은 전압 사용율을 가진다. 자세한 내용은 부록에 첨부 하였다. 병원이나 데이터 센터와 같이 항상 안정적인 전원이 공급되어야 하는 곳에 설치하는 UPS (Uninterruptible Power Supply)[18]에는 통상 4레그 구조의 컨버터가 널리 사용된다. 또한 계통 전압이 왜곡 되어도 완전한 정현파 형태의 전압이 인가되어야 하는 정밀 부하에는 DVR (Dynamic Voltage Restorer)[19]이 사용되는데 이와 같은 DVR을 구현하기 위한 컨버터에도 4레그 구조가 사용된다. 또한 Boeing Co.가 제작하는 항공기 전원 시스템에도 삼상 교류 전원 합성을 위해 4레그

구조의 컨버터가 폭 넓게 사용되고 있다[20].

1.2 연구의 목표

본 논문에서는 교류 전원 장치로 사용하기 위한 3레벨 (Level) 4레그 (Leg) 전압형 컨버터의 출력 전압 합성을 위한 제어 방법과 그 구현에 대하여 논하고자 한다. 일반적으로 컨버터는 부하 시스템에서 원하는 전압을 만들어 주기 위해서 스위칭 주기 동안 펄스의 폭 (duty)을 조절하면서 평균적으로 극 전압을 합성하게 된다. 이와 같이 스위칭 동작을 기반으로 하는 컨버터의 기본 동작 원리에 의해 직류단 전압의 중성점과 부하의 중성점 전압으로 정의되는 커먼 모드 전압이 급격하게 변하는 현상이 생기게 된다. 이러한 커먼 모드 전압은 전압 양단에 위치하는 기생 캐패시터 (Parasitic Capacitor)에 커먼 모드 전류를 발생시키고, 이러한 커먼 모드 전류는 시스템 자체의 정상적인 동작에 문제를 줄 뿐만 아니라, 시스템 주변의 다른 전자기기의 오작동을 일으키기도 한다. 따라서 이러한 커먼 모드 전압을 억제하는 것이 컨버터 운영에 있어서 중요한 이슈가 되고 있다[21].

또한 컨버터는 구성하고 있는 전력 스위치의 상보적인 (complementary) 동작에 의해 전압을 합성하게 되는데 게이팅 신호의 시간 지연 등으로 인한 직류단 (DC-link)의 단락 (short)을 방지하기 위하여 상보적으로 동작하는 스위치에 동시에 오프 (off)가 되도록 스위치의 게이팅 신호를 설정한다. 이와 같이 동시에 오프되는 시간을 데드 타임 (Dead-time)이라고 한다. 이러한 데드 타임 시간 동안에는 스위치에 병렬로 연결된 역방향 다이오드로 흐르는 전류에 의해

출력되는 전압이 결정된다. 따라서 출력 전압은 의도하는 바와 달리 전류 방향에 따라 결정되므로 출력 전압에 왜곡이 발생하게 된다. 따라서 특히 교류 전원 장치와 같이 정확한 전압 합성이 필요한 시스템의 경우에는 데드 타임 보상이 필수적인 요소이다.

마지막으로 컨버터를 교류 전원 장치로 사용하기 위해서는 전압 제어기가 필수적인 요소이다. 실제로 원하는 교류 전압을 제대로 합성하기 위해서는 스위칭에 의해 발생하는 높은 고조파 성분을 제거해야 하므로 컨버터 출력단에 L필터 혹은 LC필터와 같은 고조파 억제 장치가 사용된다. 그리고 필터 뒤에 사용자의 부하가 연결되게 된다. 본 논문에서는 필터의 크기를 최소화하기 위해 LC필터를 사용하였다. 이와 같은 LC필터를 사용한 시스템에서 부하는 캐패시터와 병렬로 연결되게 되는데 이와 같은 캐패시터에 원하는 전압을 합성해주기 위해서는 LC필터에 의한 공진 억제뿐만 아니라 인덕터에 의한 전압 강하 또한 보상해주어야 한다.

따라서 본 논문에서는 임의 전압 발생 교류 전원 장치로서 컨버터를 활용하기 위하여 커먼 모드 전압 저감 방법, 데드 타임으로 인한 전압 왜곡을 방지하기 위한 보상 방법, 출력 전압 제어기의 설계 방법을 제안한다. 또한 이론적 분석과 컴퓨터 모의 실험 및 실제 제작된 5kW 실험 장치를 이용한 광범위한 실험을 통하여 제안된 방법들의 타당성을 검증한다.

1.3 논문의 구성

본 논문은 다음과 같이 구성되어 있다.

1장에서는 본 논문에서 다루고자 하는 컨버터의 사용 분야에 대해 설명하고, 이 중 3레벨 4레그 컨버터의 사용 배경에 대해 간략하게 서술한 후 본 논문에서 논의할 연구의 목표를 제시하고 본 논문의 구성 방식을 기술한다.

2장에서는 3레벨 4레그 컨버터에서의 커먼 모드 저감을 위한 여러 가지 PWM 방법 (Reduced Common-Mode Voltage PWM, RCMVPWM)을 소개한다. 제안된 PWM 방법 (PPPWM)은 상 전압의 왜곡을 방지하면서 동시에 커먼 모드 전압을 기존 PWM 방법에 비해 줄일 수 있는 방법이다.

3장에서는 추가적으로 3레벨 4레그의 제어 성능을 향상시킬 수 있는 방법에 대하여 다룬다. 먼저 데드 타임에 의한 전압 왜곡 및 보상 방법에 대해 언급한다. 특히, 2레벨 토폴로지에서 나타나지 않고 3레벨 토폴로지에서만 특이하게 발생하는 데드 존 (Dead zone) 및 데드 존 회피를 위한 방법에 대해 논의한다. 교류 전원 장치와 같이 부하에 원하는 전압을 합성해야 하는 시스템에서 컨버터 동작 시 발생하는 데드 타임에 의한 전압 왜곡은 부하에 인가될 전압을 왜곡 시키게 된다. 따라서 3레벨 토폴로지에서 이를 피하기 위한 PWM 방법을 다룬다. 그 중 하나는 전압 지령의 크기가 작은 경우에 적용할 수 있는 방법 (AOVPWM)이고, 다른 하나는 지령 전압의 크기가 큰 경우에 적용할 수 있는 방법 (OMVPWM)이다. 다음으로 원하는 전압 지령의 합성을 위한 전압 제어기에 대해 다룬다. 기존 전압 제어기는 데드 타임에 의한 전압 왜곡에 취약하지만, 제안된 전압 제어기는 데드 타임에 의한 전압 왜곡 오차에 강인하다는 장점을 가진다. 제안된 제어기에 대한 이론적 분석을 통하여 제어기의 성능을 검증하였다. 추가적으로 데드 타임 보상

방법을 적용한 전압 제어기를 이용하여 교류 전원 장치로서의 특성을 평가해본다.

마지막으로 4장에서는 본 논문의 연구 결과를 요약하며 향후 과제에 대하여 언급한다.

삼상 4선식 구조의 필요성 및 삼상 4선식 구조의 종류에 대해서는 부록에서 언급한다. 4선식 구조 중 3레그 1선 구조와 4레그 구조의 특성을 비교하여 장단점을 파악한다. 또한 기존 교류 전원 장치의 구조와 특징을 부록에서 소개한다.

제 2 장 커먼 모드 전압 (Common-mode Voltage) 저감[22]

PWM 컨버터는 스위칭 동작으로 전압을 합성하는 원리 때문에 대부분의 컨버터에서 커먼 모드 전압이 발생하게 된다. 높은 주파수 성분의 커먼 모드 전압은 시스템과 접지 (Ground) 사이에 존재하는 기생 캐패시터를 통해 커먼 모드 전류를 흘리게 한다. 커먼 모드 전류는 컨버터 자체와 컨버터 주변 전자 기기의 오작동을 일으키는 EMI 노이즈의 주된 요인이 된다[23]. 실제 많은 응용 분야에서 PWM 컨버터의 스위칭 주파수가 점점 증가하므로 커먼 모드 전압에 의한 문제도 증가하고 있다. 따라서 커먼 모드 저감을 위한 기술들이 주목을 받고 있다[24-27].

커먼 모드 전압과 커먼 모드 전류는 수동적인 방법과 능동적인 방법으로 억제될 수 있다. 수동적인 방법은 커먼 모드 인덕터 혹은 커먼 모드 변압기와 같은 자기적 (Magnetic)인 회로를 적용하는 것이다[28-32]. 그러나 부가적인 자기 회로의 적용은 시스템의 비용 및 크기를 증가시킨다는 단점이 있다. 능동적인 방법은 크게 3가지로 나눌 수 있다. 하나는 기본 회로 외에 반도체 소자와 같은 능동 소자를 추가하는 방법이 있다[33]. 다른 하나는 기본 회로를 2레벨 토폴로지가 아닌 NPC와 같은 멀티 레벨 토폴로지 (Multi level topology)를 이용하는 것이다[34-36]. 멀티 레벨 토폴로지를 이용하는 경우에는 극 (Pole) 전압이 여러 개의 전압 레벨을 가지므로 커먼 모드 전압은 자연적으로

줄게 된다. 마지막 방법은 기본 회로에 부가적인 회로 없이 PWM 방법을 바꾸는 방법이다. 이 방법은 소프트웨어의 변경만으로 적용이 가능하다. 따라서 이 방법이 적용 가능할 경우 커먼 모드 전압 문제에 대한 가장 경제적인 대책이 될 수 있다.

본 장에서는 3레벨 4레그 토폴로지에서의 PWM 방법 변경을 통한 커먼 모드 전압 저감 방법에 대해 살펴본다.

2.1 3레벨 4레그 컨버터에서의 커먼 모드 전압

본 논문에서 사용중인 컨버터의 토폴로지는 그림 2.1과 같이 3레벨 4레그 토폴로지이다.

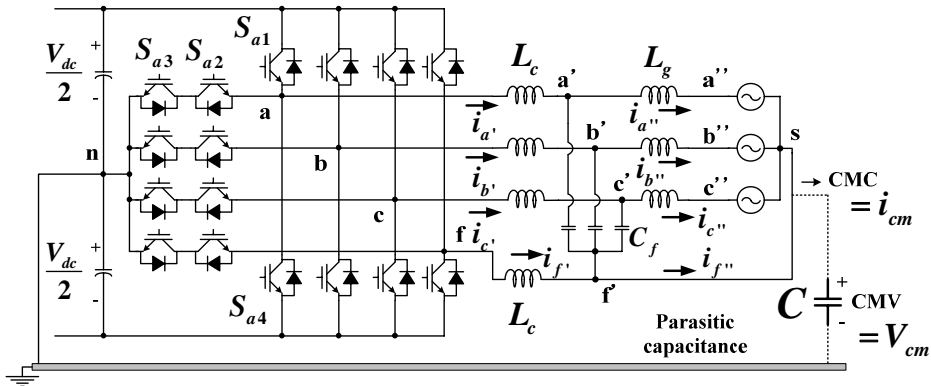


그림 2.1 3레벨 4레그 컨버터 시스템에서 커먼 모드 전압

Figure 2.1 Common-mode voltage in three level four leg converter

이와 같은 시스템에서 커먼 모드 전압은 부하의 중성점, 's', 과

직류단 전압의 중성점, 'n', 사이의 전압차, V_{sn} 으로 정의할 수 있다. 특히, 4레그 컨버터의 경우 커먼 모드 전압을 수식으로 표현하면 (2.1)과 같다[37].

$$V_{sn} = \frac{V_{an} + V_{bn} + V_{cn} + V_{fn} + (R_g i_{f^n} + L_g \frac{d}{dt} i_{f^n}) - 3V_0}{4}. \quad (2.1)$$

여기서 영상분 전압 (V_0)는 아래와 같다.

$$V_0 = \frac{V_{a^*s} + V_{b^*s} + V_{c^*s}}{3}. \quad (2.2)$$

식 (2.1)과 같이 커먼 모드 전압은 4개 레그의 극 전압과 영상분 전류, 영상분 전압의 관계식으로 표현할 수 있다. 만약 영상분 전류와 영상분 전압의 크기가 모두 0이라면 커먼 모드 전압의 크기는 4개 레그의 극 전압으로만 표시가 가능하고 아래와 같다.

$$V_{sn} = \frac{V_{an} + V_{bn} + V_{cn} + V_{fn}}{4}. \quad (2.3)$$

이 값은 순시적인 값으로 (2.4)와 같이 스위칭 상태 (Switching state)를 이용하여 표현할 수 있다.

$$V_{sn} = \frac{S_a + S_b + S_c + S_f}{4} \frac{V_{dc}}{2}. \quad (2.4)$$

여기서 각각의 스위칭 상태는 아래와 같이 정의된다.

$$S_x = \begin{cases} 1, S_{x1} : on \\ 0, S_{x2}, S_{x3} : on \\ -1, S_{x4} : on \end{cases}, x = a, b, c, f. \quad (2.5)$$

커먼 모드 전압은 (2.4)와 같이 스위칭 상태 (S_a, S_b, S_c, S_f)와 직류단 전압 (V_{dc})으로 표현해줄 수 있는데, 이는 새로운 변수, S_{CMV} ,를

이용하여 (2.6)과 같이 표현 될 수 있다.

$$V_{sn} = \frac{S_{CMV}}{4} \frac{V_{dc}}{2}. \quad (2.6)$$

이때, S_{CMV} 는 아래와 같이 정의된다.

$$S_{CMV} \triangleq S_a + S_b + S_c + S_f. \quad (2.7)$$

커먼 모드 전압은 식 (2.6)에 의하면 S_{CMV} 와 직류단 전압에 의해 결정되는 것을 알 수 있다.

2.2 기존 PWM 방법의 커먼 모드 전압

기존 PWM 방법 중 삼각파 비교를 이용한 PWM 방식의 구현은 아래 그림 2.2와 같다.

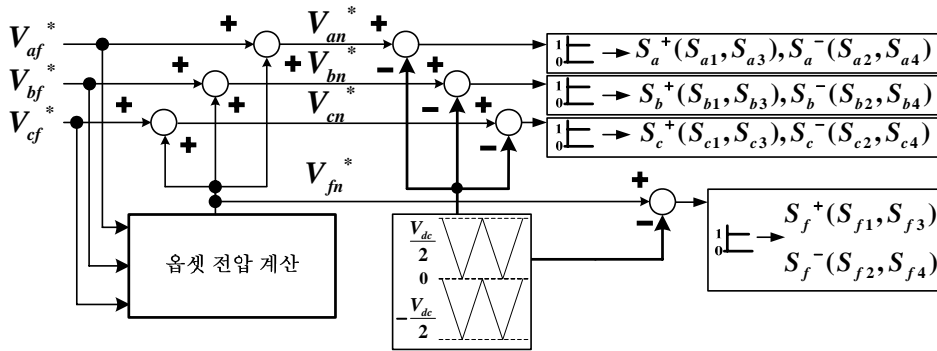


그림 2.2 기존 삼각파 비교 전압 변조 방식의 구현

Figure 2.2 Carrier-based conventional PWM method block diagram

어떠한 제어기에 의해 상 전압 (Phase voltage) 지령 (V_{af}^* , V_{bf}^* , V_{cf}^*)이 생성 되면 그 전압을 이용하여 사용하고자 하는 PWM 방법에 의해 오프셋 전압 (Offset voltage)을 계산해주게 된다. 그 오프셋 전압은 a, b, c 레그 각각의 상 전압 지령에 더해져 a, b, c 레그의 극 전압 지령을 생성해 주게 되고, 오프셋 전압 자체는 4레그 컨버터의 경우에는 f 레그의 극 전압 지령이 된다.

기존 PWM 방법 중 공간 벡터 전압 변조 방식 (SVPWM, Space

Vector PWM)과 정현파 전압 변조 방식 (SPWM, Sinusoidal PWM)은 간단하게 옵셋 전압을 변경함으로써 쉽게 구현할 수 있다[38].

먼저 공간 벡터 전압 변조 방식은 그림 2.2에서의 옵셋 전압을 아래와 같이 정해주면 된다[39, 40].

$$V_{fn}^* = -\frac{V_{\max}^* + V_{\min}^*}{2}. \quad (2.8)$$

여기서 V_{\max}^* , V_{\min}^* 은 각각 (2.9), (2.10)과 같다.

$$V_{\max}^* = \max(V_{af}^*, V_{bf}^*, V_{cf}^*). \quad (2.9)$$

$$V_{\min}^* = \min(V_{af}^*, V_{bf}^*, V_{cf}^*). \quad (2.10)$$

공간 벡터 전압 변조 방식을 적용했을 때의 예시 스위칭 패턴은 그림 2.3과 같다. 이때 스위칭 패턴은 2가지 형태 (Case A, Case B)로만 나오게 된다. Case A의 경우는 3개의 상 전압 (Phase voltage) 지령 (V_{af}^* , V_{bf}^* , V_{cf}^*) 중 2개가 양 (+)인 경우이고, Case B의 경우는 3개의 상 전압 지령 중 1개가 양 (+)인 경우이다. 그림 2.3에서 붉은 색 점은 극 전압 지령과 비교하기 위한 삼각파의 일부이다.

먼저 Case A의 스위칭 패턴을 살펴보면, a, c, f 레그의 극 전압 지령은 양이므로, 스위칭 상태는 0에서 1로 변하게 되고, b 레그의 극 전압 지령은 음이므로, -1에서 0으로 변하게 된다. 따라서 (2.7)에서 정의된 바와 같이 S_{CMV} 의 초기 값은 -1이 되고, 마지막 값은 3이 된다. S_{CMV} 는 4개의 극 전압 지령이 삼각파와 만날 때마다 값이 증가하므로, -1, 0, 1, 2, 3과 같이 총 5가지 값을 가지게 된다. (2.6)에 의하면 해당하는

커먼 모드 전압은 $-\frac{1}{8}V_{dc}$, 0 , $\frac{1}{8}V_{dc}$, $\frac{2}{8}V_{dc}$, $\frac{3}{8}V_{dc}$ 가 된다.

같은 방식으로 Case B의 스위칭 패턴을 살펴보면, a 레그의 극 전압 지령은 양이므로, 스위칭 상태는 0에서 1로 변하게 되고, b, c, f 레그의 극 전압 지령은 음이므로, -1에서 0으로 변하게 된다. 따라서 (2.7)에서 정의된 바와 같이 S_{CMV} 의 초기 값은 -3이 되고, 마지막 값은 1이 된다. S_{CMV} 는 4개의 극 전압 지령이 삼각파와 만날 때마다 값이 증가하므로, -3, -2, -1, 0, 1과 같이 총 5가지 값을 가지게 된다. 따라서 식 (2.6)에 의하여 해당하는 커먼 모드 전압은 $-\frac{3}{8}V_{dc}$, $-\frac{2}{8}V_{dc}$, $-\frac{1}{8}V_{dc}$, 0, $\frac{1}{8}V_{dc}$ 가 된다.

Case A, Case B 두 가지 경우를 종합하면, S_{CMV} 는 -3, -2, -1, 0, 1, 2, 3의 값을 가지게 되고, 커먼 모드 전압은 $-\frac{3}{8}V_{dc}$, $-\frac{2}{8}V_{dc}$, $-\frac{1}{8}V_{dc}$, 0, $\frac{1}{8}V_{dc}$, $\frac{2}{8}V_{dc}$, $\frac{3}{8}V_{dc}$ 가 된다.

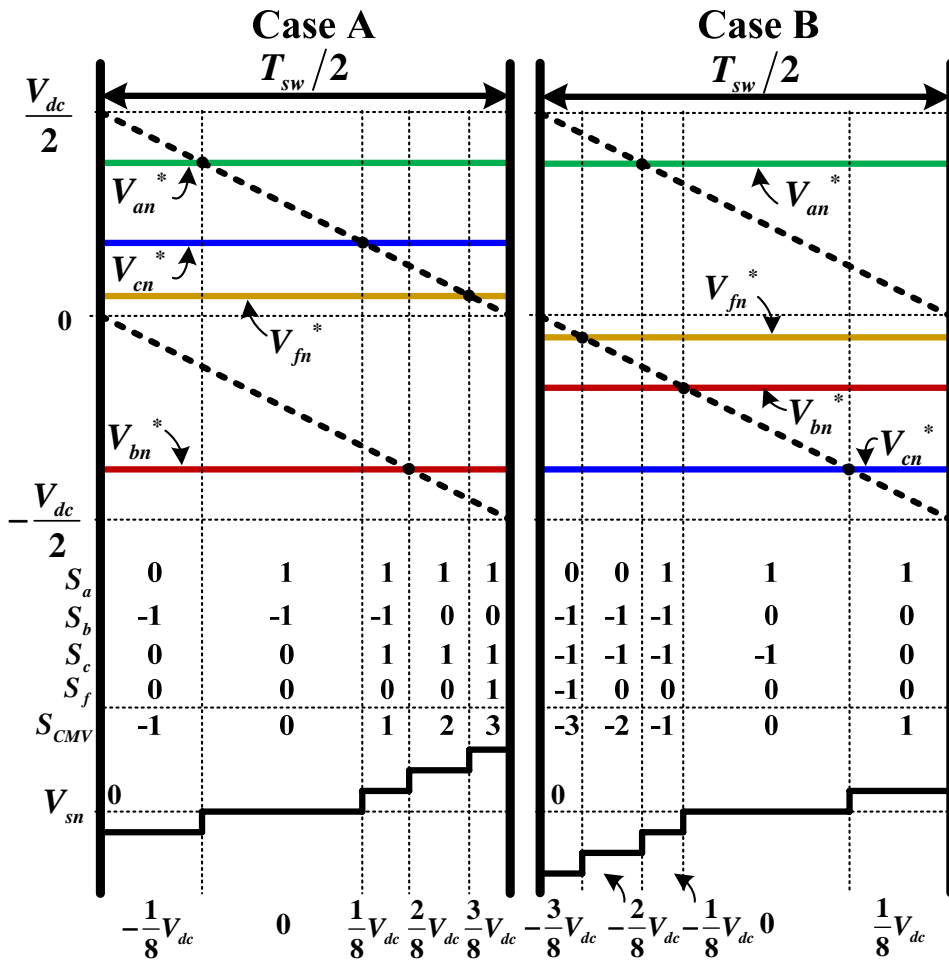


그림 2.3 스위칭 패턴 (공간 벡터 전압 변조 방식 적용 시)

Figure 2.3 Switching pattern of SVPWM

다음으로 정현과 전압 변조 방식은 그림 2.2 에서의 움셋 전압을 아래와 같이 정해주면 된다.

$$V_{fn}^* = 0. \quad (2.11)$$

정현과 전압 변조 방식을 적용했을 때의 예시 스위칭 패턴은 그림 2.4와 같다. 이때에도 스위칭 패턴은 2가지 형태 (Case A, Case B)로만 나오게 된다. Case A의 경우는 3개의 상 전압 (Phase voltage) 지령 ($V_{af}^*, V_{bf}^*, V_{cf}^*$) 중 2개가 양 (+)인 경우이고, Case B의 경우는 3개의 상 전압 지령 중 1개가 양 (+)인 경우이다.

먼저 Case A의 스위칭 패턴을 살펴보면, a, c 레그의 극 전압 지령은 양이므로, 스위칭 상태는 0에서 1로 변하게 되고, b 레그의 극 전압 지령은 음이므로, -1에서 0으로 변하게 된다. 그리고 f 레그 극 전압 지령은 0이므로, 스위칭 상태는 변하지 않게 된다. 따라서 (2.7)에서 정의된 바와 같이 S_{CMV} 의 초기 값은 -1이 되고, 마지막 값은 2가 된다. S_{CMV} 는 4개의 극 전압 지령이 삼각파와 만날 때마다 값이 증가하므로, -1, 0, 1, 2과 같이 총 4가지 값을 가지게 된다. (2.6)에 의하면 해당하는 커먼 모드 전압은 $-\frac{1}{8}V_{dc}$, 0, $\frac{1}{8}V_{dc}$, $\frac{2}{8}V_{dc}$ 가 된다.

같은 방식으로 Case B의 스위칭 패턴을 살펴보면, a 레그의 극 전압 지령은 양이므로, 스위칭 상태는 0에서 1로 변하게 되고, b, c 레그의 극 전압 지령은 음이므로, -1에서 0으로 변하게 된다. 따라서 (2.7)에서 정의된 바와 같이 S_{CMV} 의 초기 값은 -2가 되고, 마지막 값은 1이 된다. S_{CMV} 는 4개의 극 전압 지령이 삼각파와 만날 때마다 값이 증가하므로, -2, -1, 0, 1과 같이 총 4가지 값을 가지게 된다. 따라서 (2.6)에 의해

해당하는 커먼 모드 전압은 $-\frac{2}{8}V_{dc}$, $-\frac{1}{8}V_{dc}$, 0 , $\frac{1}{8}V_{dc}$ 가 된다.

Case A, Case B 두 가지 경우를 종합하면, S_{CMV} 는 $-2, -1, 0, 1, 2$ 의 값을 가지게 되고, 커먼 모드 전압은 $-\frac{2}{8}V_{dc}$, $-\frac{1}{8}V_{dc}$, 0 , $\frac{1}{8}V_{dc}$,

$\frac{2}{8}V_{dc}$ 가 된다.

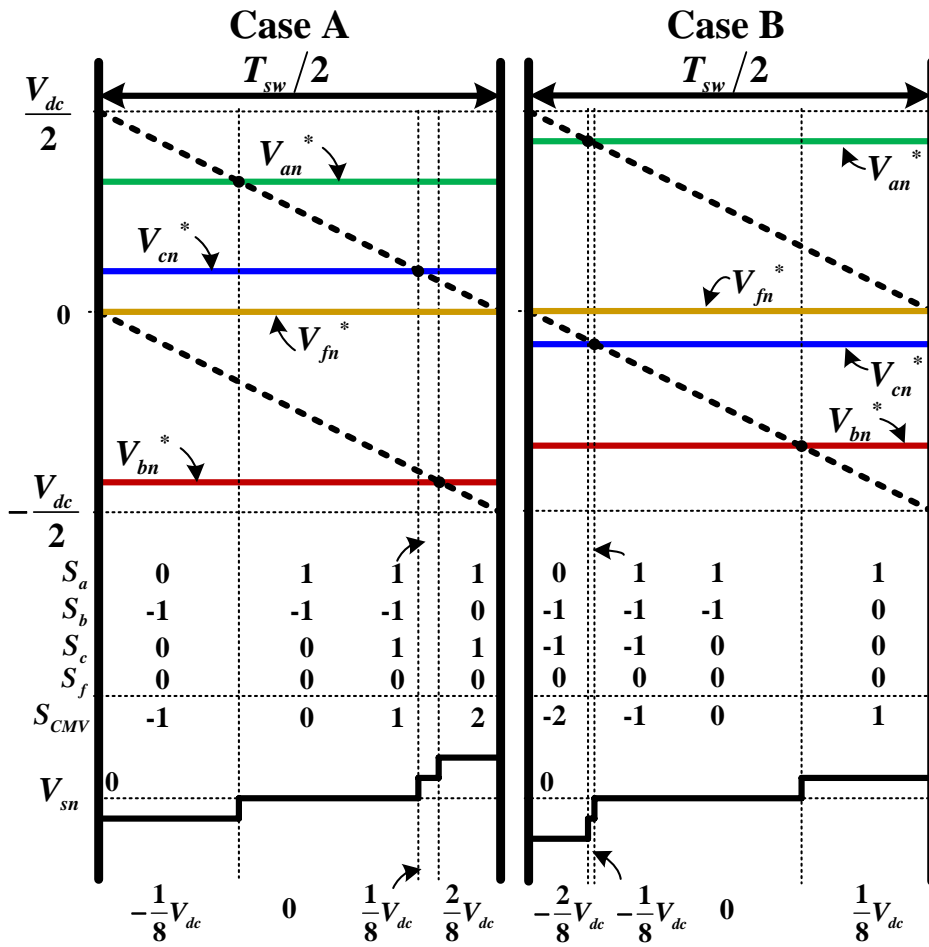


그림 2.4 스위칭 패턴 (정현파 전압 변조 방식 적용 시)

Figure 2.4 Switching pattern of SPWM

기존 PWM 방법을 적용했을 때, 각각의 커먼 모드 전압은 표 2.1에 정리되어 있다.

표 2.1 전압 변조 방식에 따른 커먼 모드 전압

Table 2.1 Common-mode voltage according to PWM methods

항목	SVPWM	SPWM
ΔV_{sn}	$\frac{1}{8}V_{dc}$	$\frac{1}{8}V_{dc}$
$V_{sn,pk-pk}$	$\frac{3}{4}V_{dc}$	$\frac{2}{4}V_{dc}$
V_{sn} 변화 횟수 ($T_{sw}/2$ 동안)	4	3

여기서 정현파 전압 변조 방식을 적용했을 때, S_{CMV} 의 두 가지 법칙을 확인할 수 있다. 하나는 삼각파가 최고점에 있을 때, S_{CMV} 는 -1 또는 -2 의 값을 가지게 된다. 다른 하나는 각각의 극 전압 지령이 삼각파와 만나는 지점에서 S_{CMV} 는 1씩 증가하게 된다.

2.3 제안된 커먼 모드 전압 저감 PWM 방법

2.3.1 제안된 커먼 모드 전압 저감 PWM 방법의 원리

실제 문제가 되는 것은 커먼 모드 전압 그 자체가 아니라 커먼 모드 전류이다. 따라서 커먼 모드 전류를 줄이는 것이 중요하다. 그림 2.1에서 커먼 모드 전류와 커먼 모드 전압의 관계는 (2.12)와 같다.

$$i_{cm} = \frac{dV_{cm}}{dt}. \quad (2.12)$$

식 (2.12)를 살펴보면, 커먼 모드 전류를 줄이기 위해서는 커먼 모드 전압의 크기를 줄이는 것도 중요하고, 커먼 모드 전압의 변화 횟수를 줄이는 것 또한 중요하다.

2.2절에서 확인한 정현파 전압 변조 방식 적용 시 S_{CMV} 의 2가지 법칙을 근거해서 S_f 를 적절히 조작해준다면, S_{CMV} 를 최대한 작은 값을 가지도록 하면서 동시에 그 변화 횟수도 줄일 수 있다. 다시 한번 그림 2.4와 같은 정현파 전압 변조 방식 적용 시 스위칭 패턴을 살펴보면, S_{CMV} 는 Case A에서 -1, 0, 1, 2의 값을 가지고, Case B에서 -2, -1, 0, 1의 값을 가지게 된다. 정현파 전압 변조 방식에서 S_f 는 항상 0을 가지게 된다.

여기서 S_f 가 항상 0이 아니라 만약 Case A에서는 1, 0, -1, -2의 값을 가지고, Case B에서는 2, 1, 0, -1을 가지게 된다고 가정하자.

그럴 경우 최종적인 \mathbf{S}_{CMV} 는 Case A와 Case B 모두의 경우에서 항상 0, 0, 0, 0이 된다. 이것은 (2.6)에 의해 커먼 모드 전압이 항상 0V임을 의미하고, (2.12)에 의하면 커먼 모드 전류는 0A가 됨을 알 수 있다. 하지만 불행히도 (2.5)에 의하면 \mathbf{S}_f 는 2 또는 -2의 값을 가질 수 없다. 따라서 최대한 커먼 모드 전압을 줄이기 위한 \mathbf{S}_f 는 Case A에서는 1, 0, -1, -1 이 되고, Case B에서는 1, 1, 0, -1 이 된다. 따라서 이때의 \mathbf{S}_{CMV} 는 Case A에서 0, 0, 0, 1 이 되고, Case B에서 -1, 0, 0, 0 이 된다. 최종적인 커먼 모드 전압은 Case A에서 0, 0, 0, $\frac{1}{8}V_{dc}$ 가 되고, Case B에서는 $-\frac{1}{8}V_{dc}$, 0, 0, 0 이 된다. 이렇게 된다면 커먼 모드 전압의 첨두치 ($V_{sn,pk-pk}$)는 $\frac{1}{4}V_{dc}$ 로 줄어들게 되고, $T_{sw}/2$ 동안 커먼 모드 전압의 변화 횟수는 1로 줄어들게 된다. 이때의 스위칭 패턴은 그림 2.5와 같다.

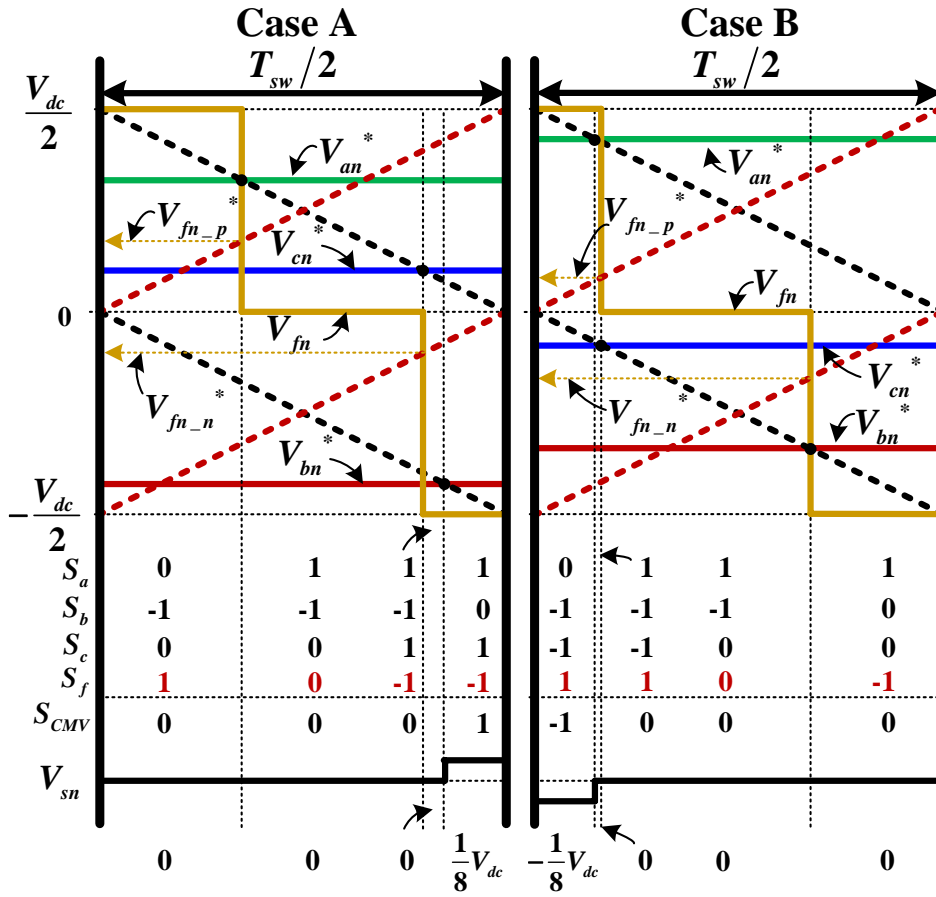


그림 2.5 스위칭 패턴 (제안된 커먼 모드 전압 저감 PWM 방법, PPPWM1)

Figure 2.5 Switching pattern of PPPWM1

2.3.2 제안된 커먼 모드 전압 저감 PWM 방법의 구현

2.3.1절에서와 같이 S_f 를 구현하기 위해서는 f 레그의 극 전압은 그림 2.5와 같이 $T_{sw}/2$ 동안 $\frac{1}{2}V_{dc}$, 0, $-\frac{1}{2}V_{dc}$ 의 3가지 값을 가져야 한다. 이는 2 가지 값 ($0, \frac{1}{2}V_{dc}$ 혹은 $-\frac{1}{2}V_{dc}, 0$)을 가지는 a, b, c 레그 극 전압과는 다르게 된다.

3레벨 토폴로지에서의 삼각파 변조 방식은 2개의 삼각파를 사용하므로, $T_{sw}/2$ 동안 f 레그가 3개의 값을 가지도록 구현 할 수 있다. 제안하는 커먼 모드 전압 저감 PWM 방법의 블록도는 그림 2.6과 같다. 제안된 방법을 구현하기 위해서는 기존 PWM 방법인 그림 2.2에 비해 두 가지가 변경되어야 한다. 하나는 S_f 가 역순의 스위칭 상태를 가지기 위해 f 레그 극 전압 비교를 위한 삼각파의 위상은 a, b, c 레그에 사용된 삼각파의 위상과 180도 차이가 나야 한다. 또 다른 하나는 위 삼각파 ($0 \sim \frac{1}{2}V_{dc}$)와 아래 삼각파 ($-\frac{1}{2}V_{dc} \sim 0$)에 각각 사용될 f 레그 극 전압 지령들 (V_{fn-p}^* , V_{fn-n}^*)이 필요하다.

그림 2.5의 제안된 커먼 모드 전압 저감 PWM 방법의 스위칭 패턴에서 f 레그 극 전압을 살펴보면, Case A에서 V_{fn-p}^* 는 $\frac{V_{dc}}{2} - V_{an}^*$ 가 되어

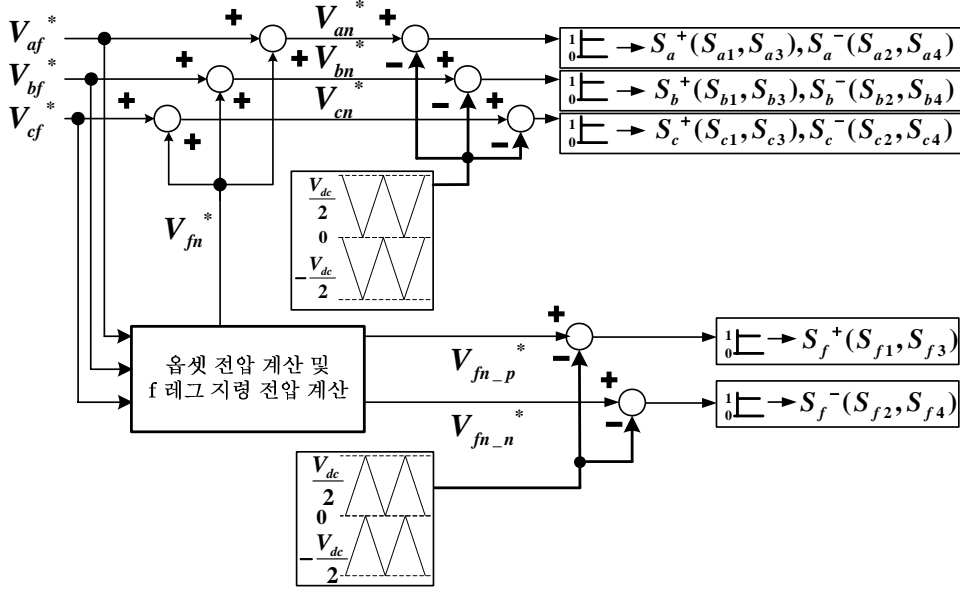


그림 2.6 제안된 커먼 모드 전압 저감을 위한 PWM 방법 블록도

Figure 2.6 Block diagram of proposed reduced common-mode voltage PWM

야 하고, V_{fn-n}^* 는 $-V_{cn}^*$ 가 된다.

f 레그 지령 (V_{fn-p}^* , V_{fn-n}^*)을 일반적으로 표현 하면 Case A에서는 (2.13)과 같다.

$$\begin{cases} V_{fn-p}^* = \frac{V_{dc}}{2} - V_{\max_pole}^p \\ V_{fn-n}^* = -V_{\mid_pole}^p \end{cases} \quad (2.13)$$

여기서 $V_{\max_pole}^p$, $V_{\mid_pole}^p$, $V_{\min_pole}^p$ 은 (2.14)와 같이 정의된다.

$$\begin{cases} V_{\max_pole}^p = \max(V_{an}^p, V_{bn}^p, V_{cn}^p) \\ V_{\text{mid_pole}}^p = \text{mid}(V_{an}^p, V_{bn}^p, V_{cn}^p) \\ V_{\min_pole}^p = \min(V_{an}^p, V_{bn}^p, V_{cn}^p) \end{cases} \quad (2.14)$$

또 다시 $V_{an}^p, V_{bn}^p, V_{cn}^p$ 은 아래와 같이 정의된다.

$$V_{xn}^p \triangleq \begin{cases} V_{xn}^*, & V_{xn}^* \geq 0 \\ V_{xn}^* + \frac{V_{dc}}{2}, & V_{xn}^* < 0 \end{cases}, x = a, b, c. \quad (2.15)$$

또한 같은 방식으로 Case B에서의 f 레그 지령 ($V_{fn_p}^*, V_{fn_n}^*$)을 일반적으로 표현을 하면 (2.16)과 같다.

$$\begin{cases} V_{fn_p}^* = \frac{V_{dc}}{2} - V_{\text{mid_pole}}^p \\ V_{fn_n}^* = -V_{\min_pole}^p \end{cases} \quad (2.16)$$

식 (2.13), (2.16)과 같이 f 레그 지령 전압들을 설정해주면, 커먼 모드 전압을 최소로 줄일 수 있다.

하지만, (2.13), (2.16)을 적용 하면, $T_{sw}/2$ 동안 f 레그 극 전압의 평균은 0이 아니게 된다. 따라서 0이 아닌 f 레그 극 전압에 의해 그림 2.1 에서 a, b, c 상 전압($V_{a'f'}, V_{b'f'}, V_{c'f'}$)에 왜곡이 발생하게 된다. 따라서 그림 2.6 에서 어떠한 읍셋 전압 (V_{fn}^*)이 적절하게 상 전압 지령에 더해져야 출력 상 전압의 왜곡을 막아줄 수 있다.

먼저 커먼 모드 전압 저감을 위해 변형된 f 레그의 극 전압 값을 살펴보자. 그림 2.5의 Case A의 경우에 $T_{sw}/2$ 동안 f 레그의 평균 극 전압

($V_{fn_average}$)은 (2.17)과 같이 된다.

$$V_{fn_average} = \frac{V_{dc}}{2} - V_{\max_pole}^p - V_{\min_pole}^p. \quad (2.17)$$

식 (2.17)에서 f 레그 평균 극 전압은 각각 상 전압에 더해질 옴셋 전압 (V_{fn}^*)과 같아야 한다. 따라서 (2.18)과 같이 정리할 수 있다.

$$V_{fn}^* = \frac{V_{dc}}{2} - V_{\max_pole}^p - V_{\min_pole}^p. \quad (2.18)$$

여기서 $V_{\max_pole}^p$, $V_{\min_pole}^p$, $V_{\min_pole}^p$ 은 극 전압이므로 (2.19)와 같이 다시 상 전압과 옴셋 전압의 합으로 표현해 줄 수 있다.

$$\begin{cases} V_{\max_pole}^p = V_{\max_phase}^p + V_{fn}^* \\ V_{\min_pole}^p = V_{\min_phase}^p + V_{fn}^* \\ V_{\min_pole}^p = V_{\min_phase}^p + V_{fn}^* \end{cases} \quad (2.19)$$

이때 $V_{\max_phase}^p$, $V_{\min_phase}^p$, $V_{\min_phase}^p$ 은 아래와 같다.

$$\begin{cases} V_{\max_phase}^p = \max(V_{af}^p, V_{bf}^p, V_{cf}^p) \\ V_{\min_phase}^p = \min(V_{af}^p, V_{bf}^p, V_{cf}^p) \\ V_{\min_phase}^p = \min(V_{af}^p, V_{bf}^p, V_{cf}^p) \end{cases} \quad (2.20)$$

또 다시 V_{af}^p , V_{bf}^p , V_{cf}^p 은 아래와 같이 정의 된다.

$$V_{xf}^p \triangleq \begin{cases} V_{xf}^* & , V_{xf}^* \geq 0 \\ V_{xf}^* + \frac{V_{dc}}{2} & , V_{xf}^* < 0 \end{cases}, x = a, b, c. \quad (2.21)$$

식 (2.18)에 (2.19)를 대입하여 다시 정리해주면 (2.22)와 같다.

$$V_{fn}^* = \frac{V_{dc}}{2} - (V_{\max_phase}^p + V_{fn}^*) - (V_{\min_phase}^p + V_{fn}^*). \quad (2.22)$$

(2.22)를 옴셋 전압에 관해 정리하면 (2.23)과 같다.

$$V_{fn}^* = \frac{1}{3} \left(\frac{V_{dc}}{2} - V_{\max_phase}^p - V_{\min_phase}^p \right). \quad (2.23)$$

같은 방식으로 Case B에서의 윗 전압은 (2.24)와 같다.

$$V_{fn}^* = \frac{1}{3} \left(\frac{V_{dc}}{2} - V_{\max_phase}^p - V_{\min_phase}^p \right). \quad (2.24)$$

식 (2.13), (2.16)와 같이 f 레그 지령 전압들을 설정해주고, (2.23), (2.24)를 이용하여 윗 전압을 설정해주면, 상 전압의 왜곡은 없으면서도 커먼 모드 전압을 최소로 줄일 수 있다.

2.3.3 제안된 커먼 모드 전압 저감 PWM 방법의 구현 변형

2.3.2절에서 언급한 커먼 모드 전압 저감 PWM 방법을 PPPWM1 (Push-Pull PWM1)으로 부르도록 한다. 그림 2.5에서의 PPPWM1 스위칭 패턴에서 볼 수 있듯이, f 레그의 극 전압은 3개의 a, b, c 레그 극 전압이 변동하는 순간에 동기되어 (Synchronize) 값이 변하게 된다. Case A에서 f 상의 극 전압 변동은 첫 번째, 두 번째 극 전압 변화와 동기되어 변하게 된다. Case B에서는 두 번째, 세 번째 극 전압 변화와 동기되어 변하게 된다.

f 레그의 극 전압 변동 순간을 바꿀 수 있는데, 그 변형을 각각 PPPWM2, PPPWM3라 부르도록 한다. PPPWM2는 f 레그 극 전압이 Case A에서 두 번째, 세 번째 극 전압 변화와 동기되어 변하게 하고, Case B에서는 첫 번째, 두 번째 극 전압 변화와 동기되어 변하게 한다. PPPWM3는 Case A와 Case B 모두에서 첫 번째, 세 번째 극 전압 변화와 동기되어 변하게 한다.

그림 2.7과 그림 2.8은 각각 PPPWM2의 스위칭 패턴과 PPPWM3의 스위칭 패턴이다.

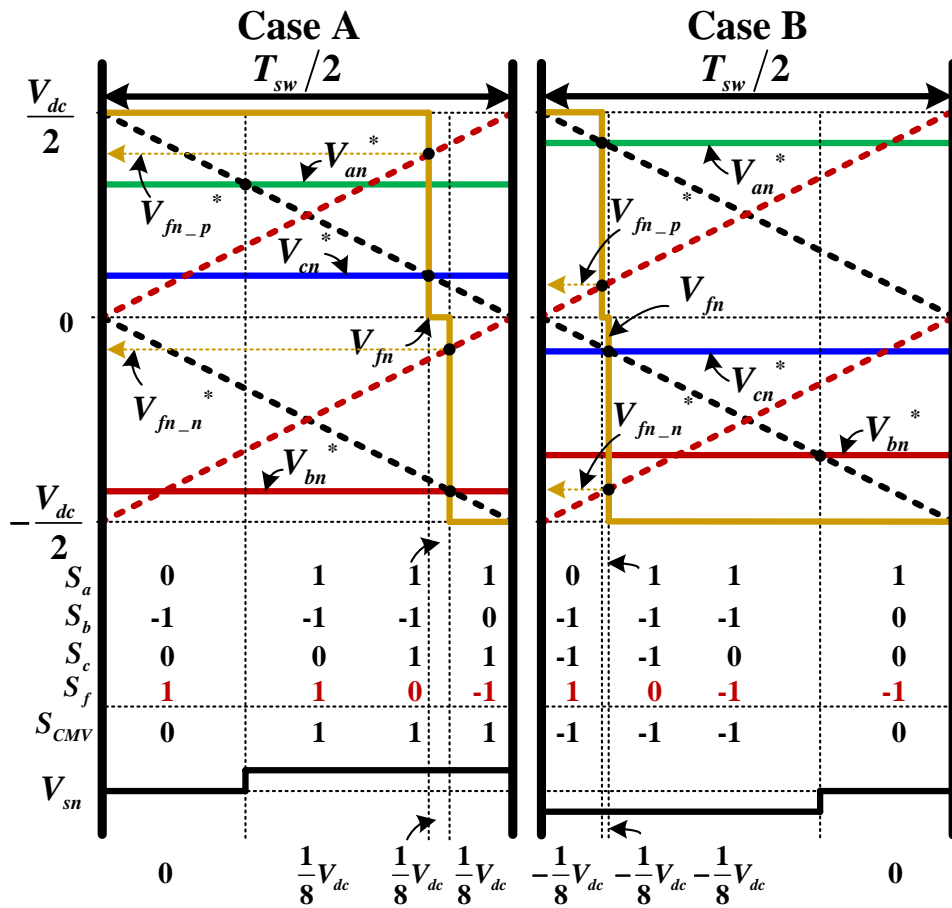


그림 2.7 스위칭 패턴 (제안된 커먼 모드 전압 저감 PWM 방법, PPPWM2)

Figure 2.7 Switching pattern of PPPWM2

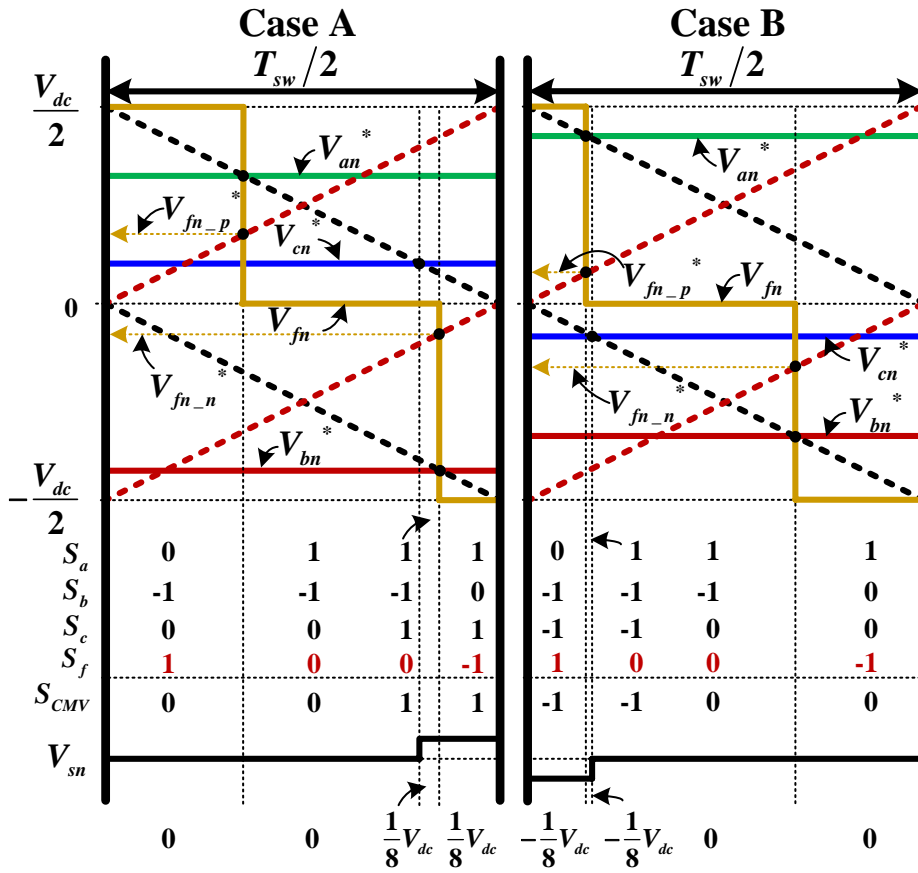


그림 2.8 스위칭 패턴 (제한된 커먼 모드 전압 저감 PWM 방법, PPPWM3)

Figure 2.8 Switching pattern of PPPWM3

PPPWM1, PPPWM2 그리고 PPPWM3 의 각 방법을 적용할 때 각각의 경우에서 커먼 모드 전압 (V_{sn})을 살펴보면 a, b, c 레그 극 전압은 같더라도 커먼 모드 전압의 모양이 다른 것을 알 수 있다. 그러나 $T_{sw}/2$ 동안 커먼 모드 전압의 변동은 모든 방법에서 한번씩만 변동하는 것을 알 수 있다. 따라서 (2.12)의 관계에서 보면 커먼 모드 전류는 한번만 발생하게 된다.

그림 2.9 는 제안된 커먼 모드 전압 저감 PWM 방법의 f 레그 극 전압 지령들과 옅섯 전압을 계산하는 순서도 (Flow chart)이다. 그림 2.9 의 a, b, c, d 값은 PWM 방법에 따라 표 2.2 에 정리되어 있다.

표 2.2 그림 2.9 에 사용된 값

Table 2.2 Values for flowchart in Figure 2.9

PWM 방법	Case	a	b	c	d
PPPWM1	A	$V_{\max_phase}^p$	$V_{\mid_phase}^p$	$V_{\max_pole}^p$	$V_{\mid_pole}^p$
	B	$V_{\mid_phase}^p$	$V_{\min_phase}^p$	$V_{\mid_pole}^p$	$V_{\min_pole}^p$
PPPWM2	A	$V_{\mid_phase}^p$	$V_{\min_phase}^p$	$V_{\mid_pole}^p$	$V_{\min_pole}^p$
	B	$V_{\max_phase}^p$	$V_{\mid_phase}^p$	$V_{\max_pole}^p$	$V_{\mid_pole}^p$
PPPWM3	A	$V_{\max_phase}^p$	$V_{\min_phase}^p$	$V_{\max_pole}^p$	$V_{\min_pole}^p$
	B				

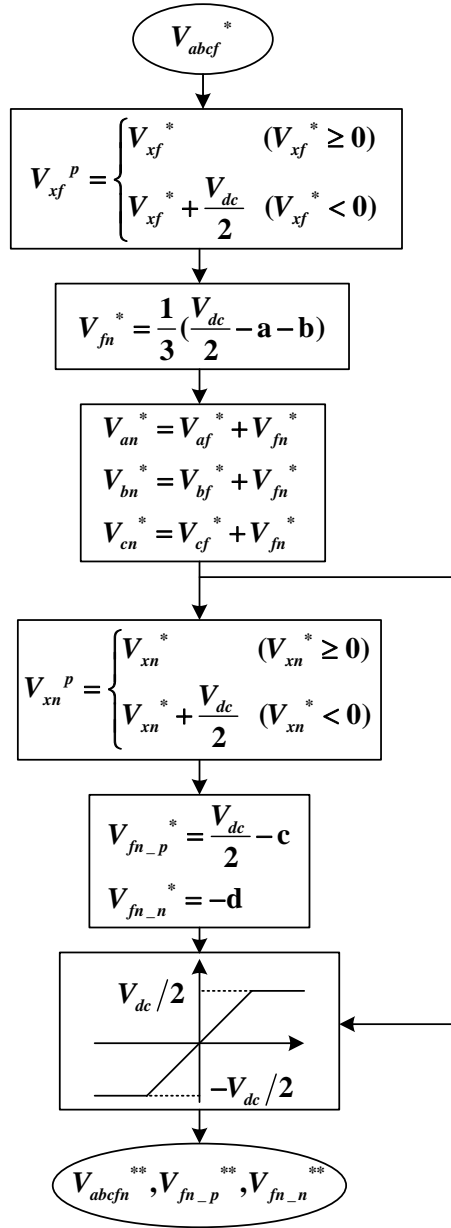


그림 2.9 제안된 커먼 모드 전압 저감 PWM 방법에서 f 레그 극 전압
지령들 및 옵셋 전압 계산 방법

Figure 2.9 Flow chart of PPPWM methods

2.4 PWM 방법의 성능 비교

2.3절에서 살펴본 PWM 방법들의 성능을 기존 연구에서 사용한 PWM 평가 지수를 이용하여 비교하였다[41, 42]. 여기서는 전압 사용률과 HDF (Harmonic Distortion Factor)를 살펴보도록 한다.

2.4.1 전압 사용률

전압 사용률은 컨버터의 주요 평가 항목 중 하나로 고정된 직류단 전압에서 얼마나 큰 교류 전압을 합성할 수 있는지 평가하는 지표이다. 전압 사용률이 높을수록 바람직하다.

여기서 전압 변조 지수 (Modulation index)는 아래와 같이 정의한다 [42].

$$Mi \triangleq \frac{V_{lm}}{V_{dc}/2}. \quad (2.25)$$

여기서 V_{lm} 은 출력 상 전압의 기본파 성분의 크기이다.

전압 변조 지수가 어떠한 한계 값 이내에서는 출력 교류 전압이 지령 값 그대로 출력이 된다(Linear region). 하지만 어떠한 한계 값 이상으로 지령이 생성된 경우(Over modulation)에는 출력 전압이 그만큼 못나가게 된다(Non-linear region). 따라서 출력 전압에 고조파 성분이 포함되게 되고, 부족한 전압 때문에 시스템의 동특성이 떨어지게 된다. 이때 어떠한 한계 값을 여기서 전압 사용률 (Voltage linearity limit)이라 할 수 있다. 사용하는 전압 변조 (PWM) 방법에 따라 전압 사용률이 달라지게 된다.

각각의 PWM 방법의 전압 사용률을 살펴보자. 전압 사용률을 살펴보기 위해서 상 전압을 (2.26)과 같다고 가정할 수 있다.

$$\begin{cases} V_{af}^* = V_m \sin \omega t \\ V_{bf}^* = V_m \sin(\omega t - \frac{2}{3}\pi) . \\ V_{cf}^* = V_m \sin(\omega t + \frac{2}{3}\pi) \end{cases} \quad (2.26)$$

식 (2.26)에서 상 전압 지령의 크기는 V_m 이 된다.

먼저 정현과 전압 변조 방식 (SPWM)의 전압 사용률을 살펴보자. 정현과 전압 변조 방식의 윗셋 전압은 (2.11)과 같다. 이때는 상 전압 지령과 극 전압 지령이 같게 된다. 극 전압 지령의 크기의 최대값은 (2.27)과 같다.

$$(V_{xn}^*)_{peak} = V_m . \quad (2.27)$$

극 전압 지령이 제대로 출력되기 위해서는 (2.28)을 만족해야 한다.

$$(V_{xn}^*)_{peak} \leq V_{dc} / 2 . \quad (2.28)$$

식 (2.28)에 (2.27)을 대입하면, (2.29)와 같다.

$$V_m \leq V_{dc} / 2 . \quad (2.29)$$

식 (2.29)를 (2.25)와 같은 형태로 다시 정리하면 (2.30)과 같다.

$$Mi \triangleq \frac{V_m}{V_{dc} / 2} \leq 1 . \quad (2.30)$$

식 (2.30)을 통해서 정현과 전압 변조 방식의 경우 전압 사용률은 1이 됨을 알 수 있다.

공간 벡터 전압 변조 방식의 경우에 윗셋 전압은 (2.8)과 같다. 이때

극 전압 크기의 최대값은 (2.31)과 같다.

$$(V_{xn}^*)_{peak} = \frac{\sqrt{3}}{2} V_m. \quad (2.31)$$

식 (2.31) 또한 (2.28)에 대입해주고, (2.25)의 형태로 정리해주면 식 (2.32)와 같다.

$$Mi \triangleq \frac{V_m}{V_{dc}/2} \leq \frac{2}{\sqrt{3}} = 1.1547. \quad (2.32)$$

공간 벡터 전압 변조 방식의 경우 전압 사용률은 1.1547이 된다. 이 값의 의미는 공간 벡터 전압 변조 방식의 경우에는 삼각파 비교 변조 방법 (SPWM)보다 15.47% 정도 더 큰 크기의 상 전압을 합성할 수 있음을 의미한다.

PPPWM 방법들에서의 전압 사용률을 살펴보면, 기존 PWM 방법과는 다르게 복잡하다. 이는 옅색 전압에 해당하는 성분이 기존 PWM 방법들에서는 상 전압의 크기에만 관련되어 있는데 반해, PPPWM 방법들은 직류단 전압과도 연관이 되기 때문이다.

먼저 PPPWM1 방법에서 극 전압의 최대값은 아래와 같다.

$$(V_{xn}^*)_{peak} = \frac{4}{3} V_m - \frac{1}{6} V_{dc}. \quad (2.33)$$

식 (2.33)을 (2.28)에 대입하면 (2.34)와 같다.

$$\frac{4}{3} V_m - \frac{1}{6} V_{dc} \leq V_{dc} / 2. \quad (2.34)$$

식 (2.34)를 (2.25)의 형태로 정리해주면, (2.35)와 같다.

$$Mi \triangleq \frac{V_m}{V_{dc}/2} \leq 1. \quad (2.35)$$

다음으로 PPPWM2 방법에서 극 전압의 최대값은 아래와 같다.

$$(V_{xn}^*)_{peak} = \frac{2\sqrt{3}}{3}V_m - \frac{1}{6}V_{dc}. \quad (2.36)$$

식 (2.36)을 (2.28)에 대입하면 (2.37)과 같다.

$$\frac{2\sqrt{3}}{3}V_m - \frac{1}{6}V_{dc} \leq V_{dc}/2. \quad (2.37)$$

식 (2.37)을 (2.25)의 형태로 정리해주면, (2.38)과 같다.

$$Mi \triangleq \frac{V_m}{V_{dc}/2} \leq \frac{\sqrt{3}}{2} = 0.8660. \quad (2.38)$$

마지막으로 PPPWM3 방법에서 극 전압의 최대값은 아래와 같다.

$$(V_{xn}^*)_{peak} = \frac{\sqrt{7}}{3}V_m. \quad (2.39)$$

(2.39)를 (2.28)에 대입하면 (2.40)과 같다.

$$\frac{\sqrt{7}}{3}V_m \leq V_{dc}/2. \quad (2.40)$$

(2.40)을 (2.25)의 형태로 정리해주면, (2.41)과 같다.

$$Mi \triangleq \frac{V_m}{V_{dc}/2} \leq \frac{3}{\sqrt{7}} = 1.1339. \quad (2.41)$$

앞의 결과를 종합한 각 PWM 방법 별 전압 사용률 제한 값이 그림 2.10에 묘사되어 있다. SVPWM 방법이 육각형의 내접원 형태로 가장 큰 값을 가진다. PPPWM3 방법이 그 다음으로 큰 값 (1.1339)을 가진다. SPWM, PPPWM1 방법은 전압 사용률이 1로 같은 값을 가지고, PPPWM2 방법은 가장 작은 값 (0.8660)을 가진다.

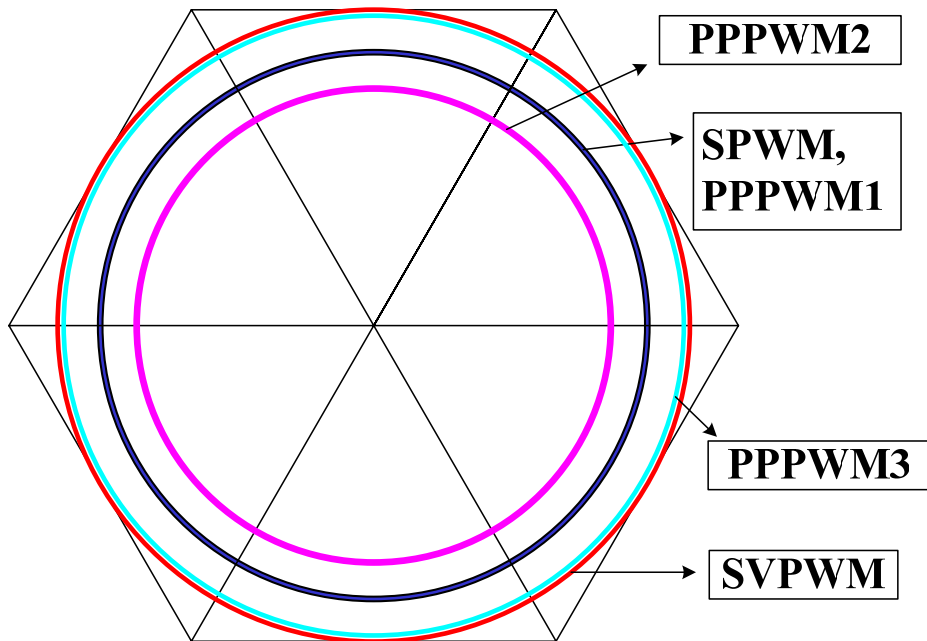


그림 2.10 PWM 별 전압 사용률 제한 값

Figure 2.10 Voltage linearity limit

그림 2.11은 PWM 방법에 따른 상 전압과 극 전압의 관계를 보여준다. SPWM, SVPWM 과 다르게 PPPWM1 은 M_i 가 0.7384에서 불연속 점이 있는 것을 볼 수 있다. PPPWM2와 PPPWM3에서는 M_i 가 0.5774에서 불연속 점이 있는 것을 볼 수 있다.

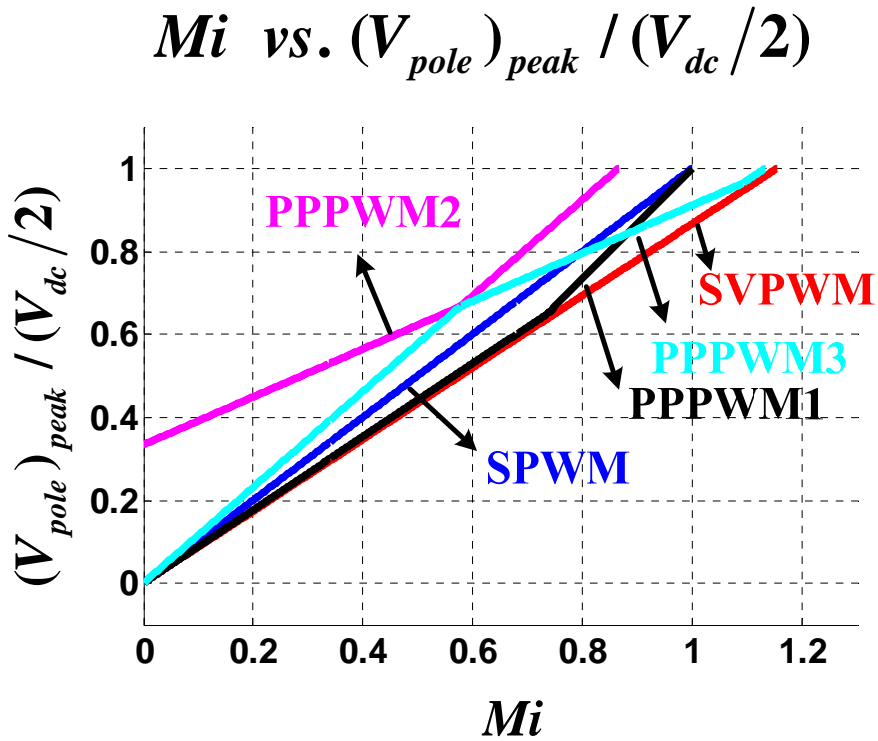


그림 2.11 PWM 방법 별 정규화된 상 전압과 극 전압의 관계

Figure 2.11 Relationship between M_i and the pole voltage as normalized by $\frac{V_{dc}}{2}$

그림 2.12는 실제 시뮬레이션 시 M_i 에 따른 PWM 방법 별 a 레그의 극 전압과 옵셋 전압 파형이다. SPWM에서는 M_i 가 1보다 클 때 극 전압에 왜곡이 생긴 것을 볼 수 있다. SVPWM에서는 M_i 가 1.15에서도 왜곡이 되지 않았다. PPPWM1에서는 M_i 가 1 보다 클 때, 왜곡이 발생했다. PPPWM2에서는 M_i 가 0.8660보다 큰 경우에 왜곡이 생기지만, PPPWM3에서는 M_i 가 1.13까지 왜곡이 생기지 않은 것을 알 수 있다.

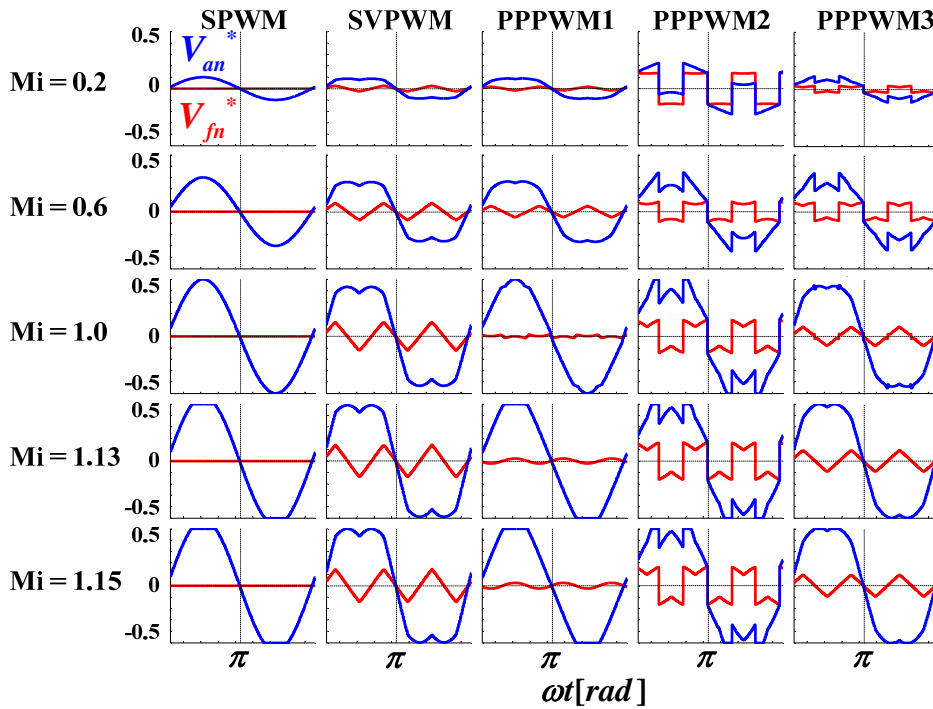


그림 2.12 PWM 방법 별 극 전압과 옵셋 전압

Figure 2.12 a leg pole voltage and offset voltage

2.4.2 HDF (Harmonic Distortion Factor)

컨버터의 출력 전압은 컨버터 자체의 스위칭 동작으로 인해 불가피하게 고조파 (Harmonic) 전압이 포함되어 있다. 고조파 전압은 지령 전압 벡터 (\mathbf{V}^*)와 출력 전압 벡터 (\mathbf{V}_k)의 차이로 볼 수 있고, 고조파 전압은 고조파 전류 리플을 발생시킨다. 기존 연구[41]에서 2레벨 3레그 토폴로지의 경우 인덕터 부하 모델을 가정하여 고조파 자속 (Flux)에 대한 분석을 수행하였다. 같은 방식으로 (2.42)와 같이 3레벨 4레그 토폴로지에서의 고조파 자속을 분석하였다.

$$\lambda_h(\mathbf{M}_i, \boldsymbol{\theta}, \mathbf{V}_{dc}) = \int_{NT_{sw}}^{(N+1)T_{sw}} (\mathbf{V}_k - \mathbf{V}^*) dt. \quad (2.42)$$

(2.42)는 N 번째 PWM 주기에서의 고조파 자속을 의미한다. 여기서 고조파 자속은 $\mathbf{M}_i, \boldsymbol{\theta}, \mathbf{V}_{dc}$ 에 의해 달라지는데, $\boldsymbol{\theta}$ 는 지령 전압 벡터의 위상을 의미한다. 그러나 3레벨 4레그의 전압 벡터는 (2.43)과 같이 영상분 전압 성분(\mathbf{V}_n)을 포함한다.

$$\mathbf{V} = \begin{bmatrix} \mathbf{V}_d \\ \mathbf{V}_q \\ \mathbf{V}_n \end{bmatrix} = \begin{bmatrix} \frac{2}{3} & -\frac{1}{3} & -\frac{1}{3} \\ 0 & \frac{1}{\sqrt{3}} & -\frac{1}{\sqrt{3}} \\ \frac{1}{3} & \frac{1}{3} & \frac{1}{3} \end{bmatrix} \begin{bmatrix} \mathbf{V}_a \\ \mathbf{V}_b \\ \mathbf{V}_c \end{bmatrix}. \quad (2.43)$$

고조파 자속, λ_h ,은 (2.44)와 같이 정규화 (Normalize)될 수 있다.

$$\lambda_{hn} = \frac{\pi}{V_{dc} T_{sw}}. \quad (2.44)$$

M_i , θ , V_{dc} 가 각각 0.6, 30 도, 400V 일 때, 다양한 PWM 방법의 고조파 자속의 궤적을 살펴보면 그림 2.13 과 같다. 4 레그 토폴로지에서의 영상분 전압 영향으로 고조파 자속의 궤적이 3 차원으로 보이는 것을 알 수 있다. 원점에서의 거리가 가까울수록 자속의 리플이 작다고 볼 수 있다.

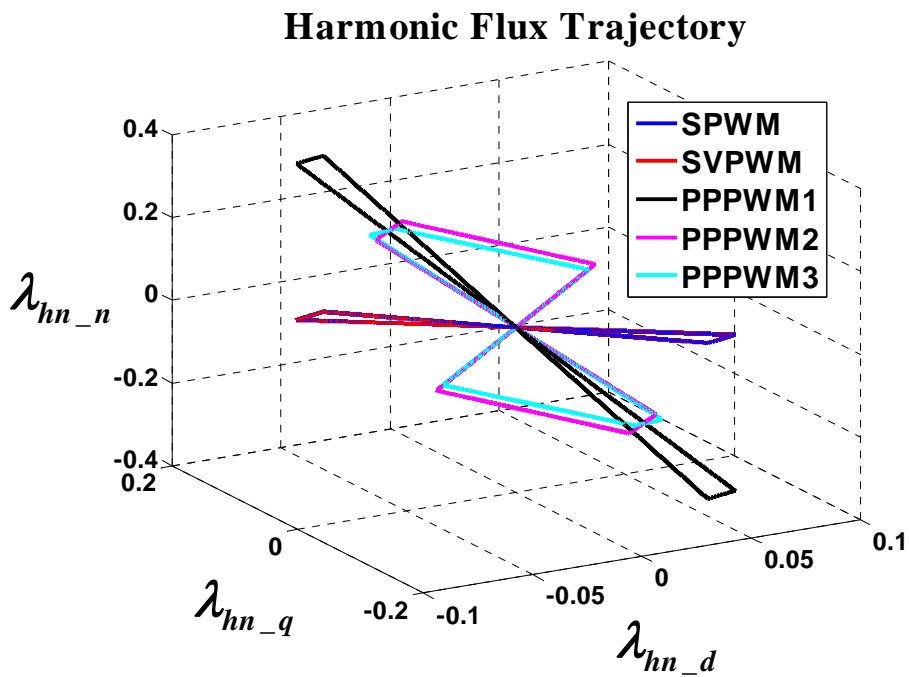


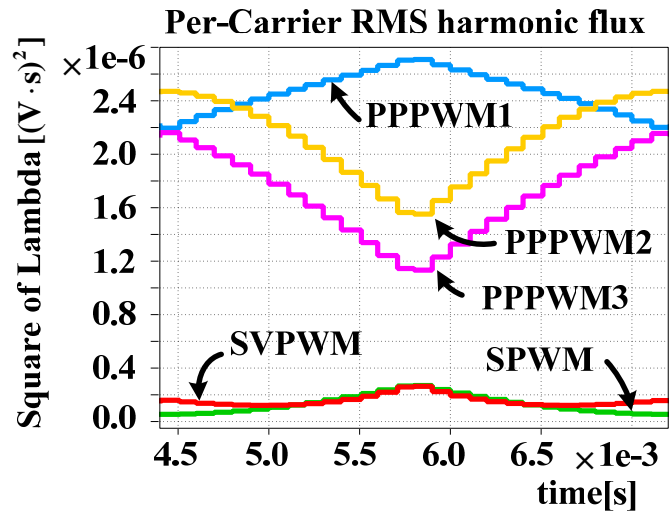
그림 2.13 3레벨 4레그 컨버터의 PWM 방법 별 고조파 자속 궤적

Figure 2.13 Harmonic flux trajectory of various PWM method in three level four leg converter

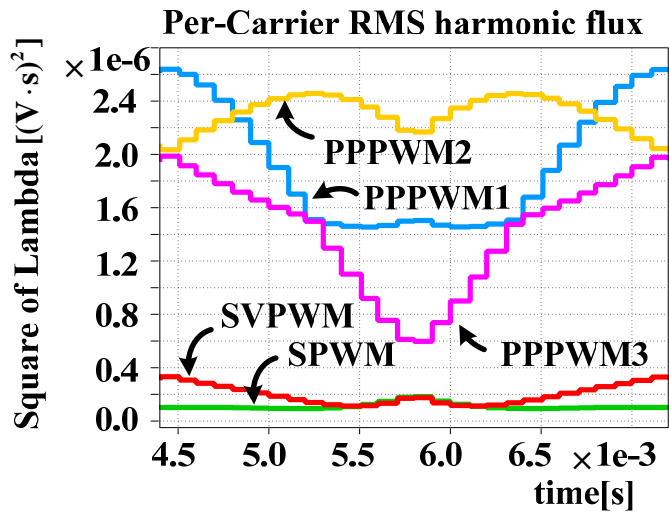
PWM 주기 동안 정규화된 고조파 자속 벡터의 실효치 (RMS) 값은 (2.45)를 이용하여 계산할 수 있다.

$$\lambda_{hn_rms}(M_i, \theta) = \sqrt{\int_{T_{sw}} |\lambda_{hn}|^2 dt} . \quad (2.45)$$

Matlab 소프트웨어를 이용한 정규화된 고조파 자속 벡터의 실효치 (RMS)를 M_i 가 각각 0.5, 0.8660 일 때 각 PWM 마다 계산하여 도시하면 그림 2.14 와 같다.



(a)



(b)

그림 2.14 3레벨 4레그 컨버터의 PWM 방법 별 PWM 사이클 고조파
자속 실효치 (a) $M_i = 0.5$, (b) $M_i = 0.86$

Figure 2.14 Square of λ_{mn} (a) $M_i = 0.5$, and (b) $M_i = 0.86$

PPPWM 방법들의 고조파 자속의 실효치 값이 기존 PWM 방법보다 큰 것을 볼 수 있고, PPPWM 방법들 중에서는 PPPWM3 방법의 고조파 플럭스 실효치 값이 가장 작은 것을 볼 수 있다.

고조파 플럭스의 실효치를 기본과 한 주기 마다 평균하면 (2.46)과 같이 HDF 를 계산할 수 있다.

$$HDF = f(Mi) = \frac{288}{\pi^2} \frac{1}{2\pi} \int_0^{2\pi} \lambda_{hm_rms}^2 d\theta. \quad (2.46)$$

Mi 에 따른 각 PWM 방법의 HDF 가 그림 2.15 에 도시되어 있다.

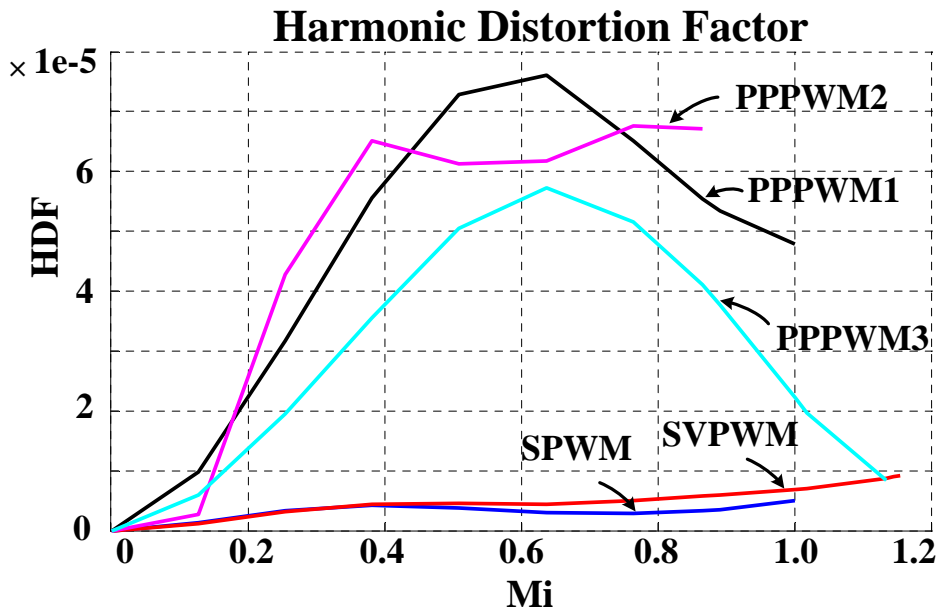


그림 2.15 3레벨 4레그 컨버터의 PWM 방법 별 HDF

Figure 2.15 Harmonic Distortion Factor (HDF) according to each PWM method

HDF 가 전류의 품질을 결정할 뿐만 아니라, 고조파 손실을 결정하기도 한다. 따라서 작은 HDF 를 가지는 PWM 방법이 선호된다. PPPWM 방법들의 HDF 가 기존 방법보다는 크지만, PPPWM3 의 HDF 가 PPPWM 중에서 가장 작은 것을 볼 수 있다.

PWM 방법 별 성능이 표 2.3 에 요약되어 있다. 전압 사용률이나 HDF 면에서는 SVPWM 이 가장 우수하지만, 커먼 모드 전압 특성 면에서는 가장 안 좋은 것을 알 수 있다. PPPWM 방법 들은 대체로 HDF 특성은 기존 PWM 방법에 비해서는 좋지 않으나 커먼 모드 전압은 기존 방법에 비해 작다는 장점이 있다. PPPWM 방법 중에 PPPWM3 방법이 HDF 나 전압 사용률 면에서는 가장 우수하다.

표 2.3 PWM 방법 별 성능 요약

Table 2.3 Performance comparison of various PWM methods

	SVPWM	SPWM	PPPWM1	PPPWM2	PPPWM3
HDF (Middle Mi)	작음	작음	큼	중간	중간
HDF (High Mi)	작음	작음	중간	큼	작음
Voltage linearity limit	1.1547	1	1	0.866	1.1339
ΔV_{sn}	$\frac{1}{8}V_{dc}$	$\frac{1}{8}V_{dc}$	$\frac{1}{8}V_{dc}$	$\frac{1}{8}V_{dc}$	$\frac{1}{8}V_{dc}$
$V_{sn,pk-pk}$	$\frac{3}{4}V_{dc}$	$\frac{2}{4}V_{dc}$	$\frac{1}{4}V_{dc}$	$\frac{1}{4}V_{dc}$	$\frac{1}{4}V_{dc}$
V_{sn} 변화 횟수 ($T_{sw}/2$ 동 안)	4	3	1	1	1

2.5 모의 실험 결과

제안된 커먼 모드 전압 저감 PWM 방법의 유효성을 확인하기 위해 모의 실험을 수행하였다. 모의 실험에 사용된 회로는 그림 2.16 과 같다. 모의 실험은 Matlab 과 PLECS 를 이용하여 수행하였다.

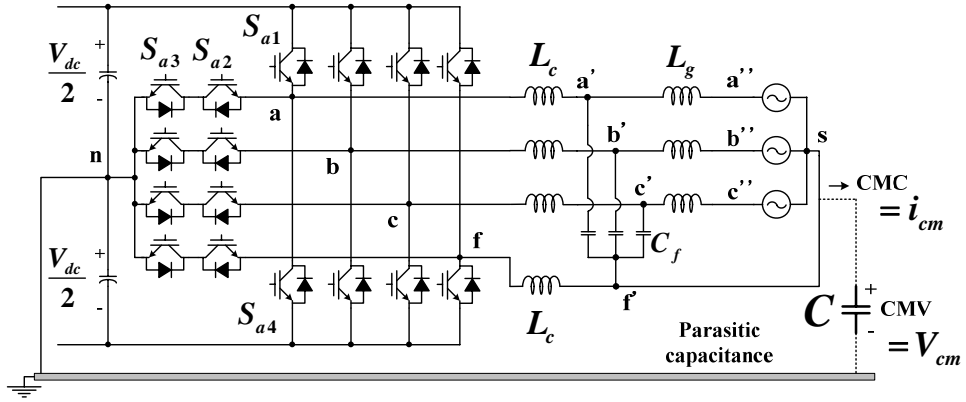


그림 2.16 모의 실험에 사용된 회로

Figure 2.16 Circuit used in simulation

스위칭 주파수 (f_{sw})는 7 kHz 이고, 데드 타임 (T_{dead})은 $2\mu s$ 로 설정하였다. 직류단 전압 (V_{dc})은 400V 이고, 계통 전압의 크기는 $220V_{l-l,rms}$ 이다. 여기서 사용된 수동 소자 (L_c, L_g, C_f)는 각각 $1.2mH$, $0.7mH$, $9\mu F$ 이다.

그림 2.17 은 PPPWM3 적용 시 각각의 실제 극 전압과 그때의 커먼 모드 전압이다. 3 개의 a, b, c 레그 극 전압 중 2 개의 극 전압이 음이므로 Case B 에 해당한다. 그림에서 표시된 $T_{sw}/2$ 동안 f 레그는 b, c 레그의 스위칭에 동기되어 스위칭 하는 것을 볼 수 있다. 이때 커먼 모드 전압의 첨두치는 $\frac{1}{4}V_{dc}$ 로 유지되고 있는 것을 볼 수 있다. 하지만, 동그란 점선에 보이는 것과 데드 타임 동안 짧은 펄스 형태의 전압이 보이는 것을 볼 수 있다. 이것은 바람직하지 않지만, PPPWM 의 방식이 동시 스위칭 (Simultaneous switching) 방식에 기반하고 있기 때문에 불가피하다.

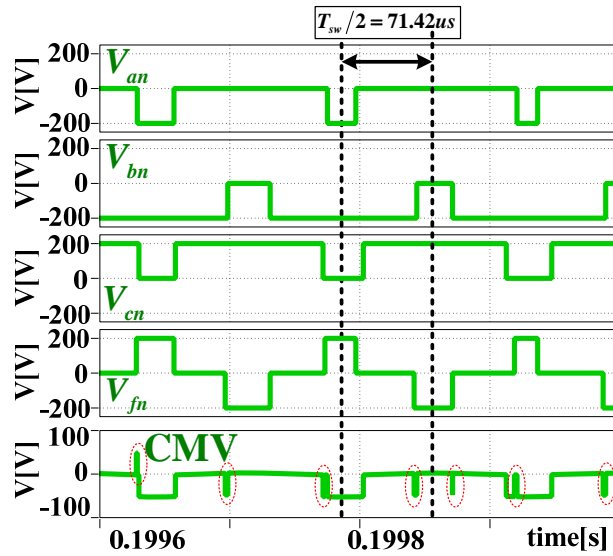


그림 2.17 PPPWM3 적용 시 4개 극 전압 파형 및 그때의 커먼 모드 전압

Figure 2.17 Pole voltages and the CMV of the PPPWM3 method

그림 2.18 은 같은 상 전압 지령인 경우에 PWM 방법에 따라 커먼 모드 전압이 어떻게 변하는지 보여주는 파형이다. SVPWM 을 적용하였을 때에는 커먼 모드 전압의 첨두치는 가장 큰 300V 로 $\frac{3}{4}V_{dc}$ 가 된다. SPWM 의 경우에는 커먼 모드 전압의 첨두치는 200V 로 $\frac{2}{4}V_{dc}$ 가 된다. PPPWM3 를 적용하였을 경우에는 짧은 펄스 형태의 전압을 제외하면 커먼 모드 전압의 첨두치는 가장 작은 100V 로 $\frac{1}{4}V_{dc}$ 가 된다. 이 결과를 봤을 때, PPPWM3 방법을 적용 시 커먼 모드 전압의 첨두치가 줄어든 것을 볼 수 있다.

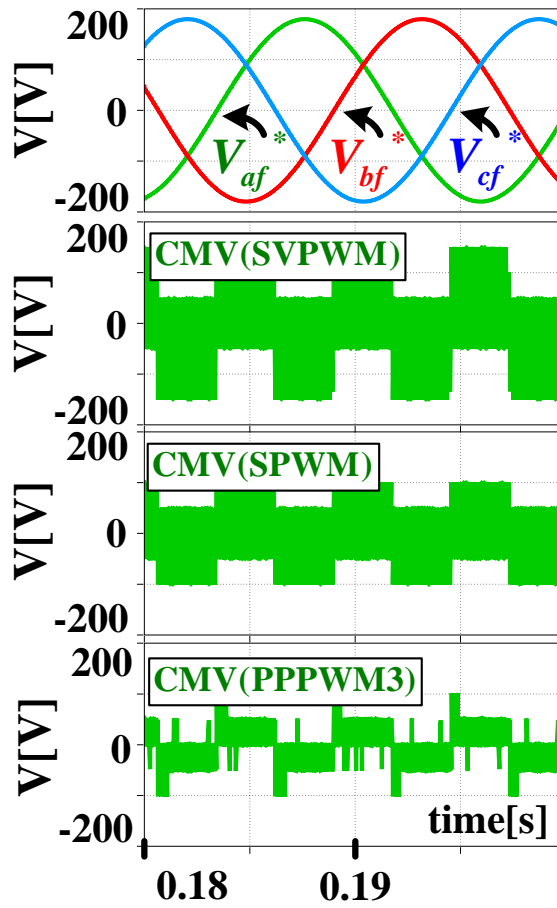


그림 2.18 상 전압과 PWM 방법 별 커먼 모드 전압

Figure 2.18 Phase voltage reference and CMVs of SVPWM, SPWM and PPPWM3 methods

그림 2.19 는 그림 2.18 의 PWM 별 커먼 모드 전압의 확대 파형이다. $T_{sw}/2$ 동안 SVPWM 의 커먼 모드 전압은 4 번 변하게 되고, SPWM 에서는 커먼 모드 전압은 SVPWM 보다 한 번의 스위칭을 덜하므로 3 번 변하는 것을 알 수 있다. PPPWM3 방법의 경우에는 커먼 모드 전압이 같은 시간 동안 짧은 펄스를 제외하고는 한 번씩 변하는 것을 볼 수 있다.

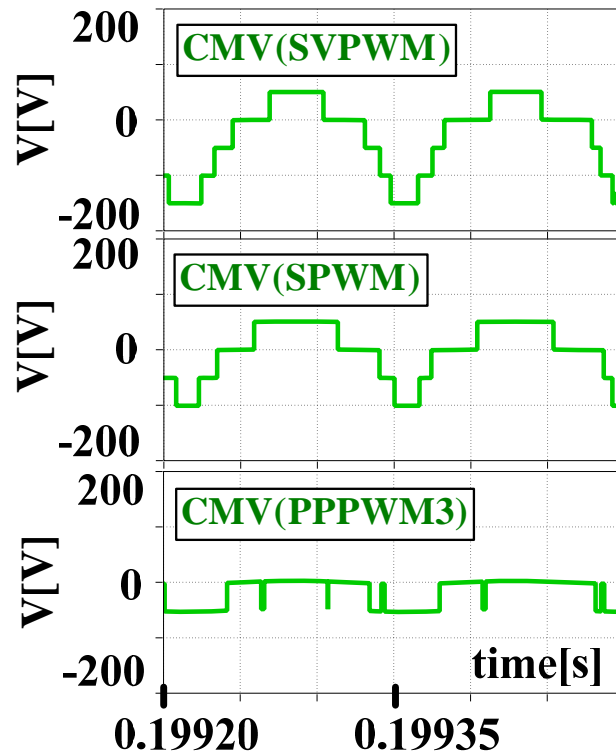


그림 2.19 그림 2.18의 커먼 모드 전압 확대 파형

Figure 2.19 Magnified CMVs in Figure 2.18

2.6 실험 결과

그림 2.16 과 같은 회로를 그림 2.20 과 같이 실제 제작하였다. 한 레그당 사용한 T-type 전력용 반도체 모듈은 Vincotech 사의 10-FZ12NMA080SH01-M260F 이다.

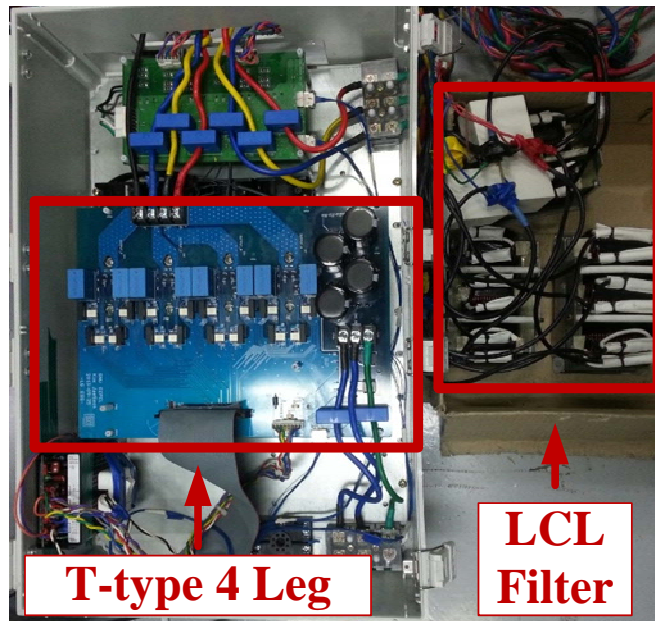


그림 2.20 실험 세트 (5kW T-type 4레그)

Figure 2.20 Experimental set-up (5kW T-type with four legs)

전체 제어에 사용된 제어 보드의 DSP 소자는 TI 사의 TMS320C28346 이다. 스위칭 주파수 (f_{sw})는 7 kHz 이고, 데드 타임 (T_{dead})은 $2\mu s$ 로 설정하였다. 직류단 전압 (V_{dc})은 400V 이고, 계통

전압의 크기는 $220V_{l-l,rms}$ 이다. 여기서 사용된 수동 소자 (L_c, L_g, C_f)는 각각 $1.2mH$, $0.7mH$, $9\mu F$ 이다. 이 값들은 모의 실험에서 사용한 값들과 같다.

그림 2.21 은 PPPWM3 방법을 적용하였으나, 각 상 전압에 더해준 옵셋 전압 (V_{fn}^*)을 0 으로 설정하였을 때, 상 전류와 커먼 모드 전압의 파형이다. 커먼 모드 전압은 저감이 되었으나, 상 전류의 왜곡이 심한 것을 볼 수 있다. 이는 커먼 모드 전압을 위해 조작된 f 레그의 실제 극 전압이 0 이 아니기 때문이다.

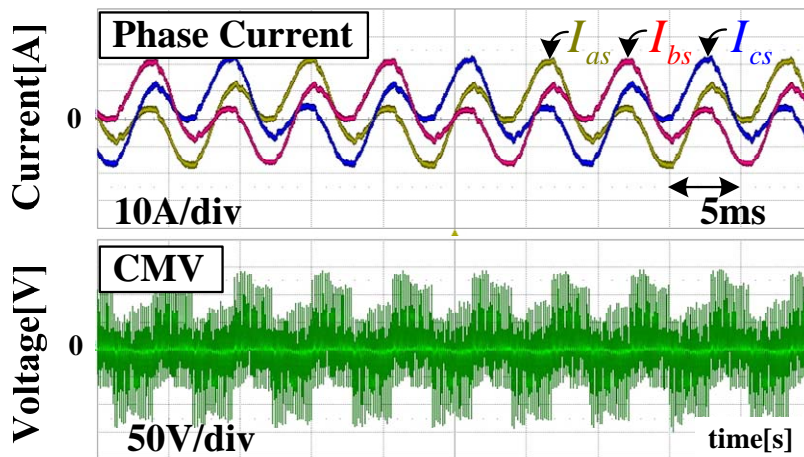


그림 2.21 상 전류와 커먼 모드 전압 (PPPWM3, $V_{fn}^* = 0$)

Figure 2.21 Phase current and common-mode voltage
(PPPWM3, $V_{fn}^* = 0$)

그림 2.22 는 윗셋 전압을 표 2.2 에 나온 값을 이용하여 적절히 인가하였을 때의 파형이다. 커먼 모드 억제를 위한 f 레그 극 전압에 해당하는 전압들이 3 개의 a, b, c 상 전압에 적절히 더해졌으므로, 상 전류의 왜곡이 사라진 것을 볼 수 있다.

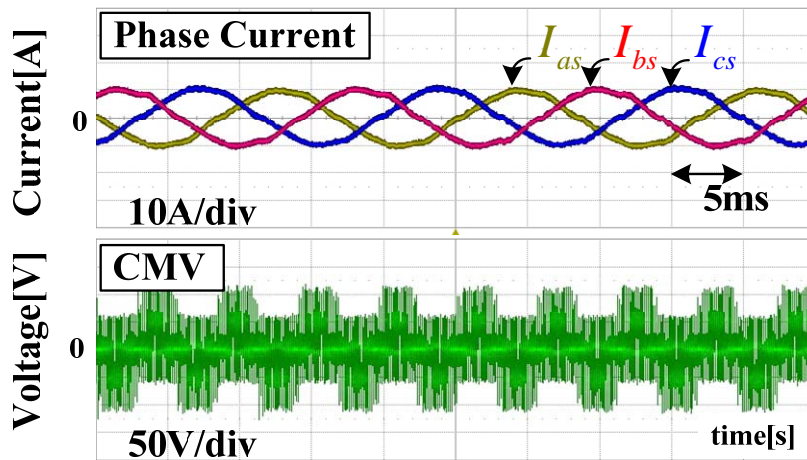


그림 2.22 상 전류와 커먼 모드 전압 (PPPWM3, $V_{fn}^* \neq 0$)

Figure 2.22 Phase current and common-mode voltage
(PPPWM3, $V_{fn}^* \neq 0$)

그림 2.23 은 PWM 별 커먼 모드 전압 파형이다. SVPWM 을 적용하였을 때에는 커먼 모드 전압의 첨두치는 가장 큰 300V 로 $\frac{3}{4}V_{dc}$ 가 된다. SPWM 의 경우에는 커먼 모드 전압의 첨두치는 200V 로 $\frac{2}{4}V_{dc}$ 가 된다. PPPWM3 를 적용하였을 경우에는 짧은 펄스 형태의 전압을 제외하면 커먼 모드 전압의 첨두치는 가장 작은 100V 로 $\frac{1}{4}V_{dc}$ 가 된다. 이 결과를 통해, PPPWM3 방법을 적용하면 커먼 모드 전압의 첨두치가 줄어드는 것을 확인할 수 있다. 실제 이론 치보다 첨두치가 크게 나오는 이유는 소자의 기생 성분 에 의한 전압 진동 (Ringing) 때문이다.

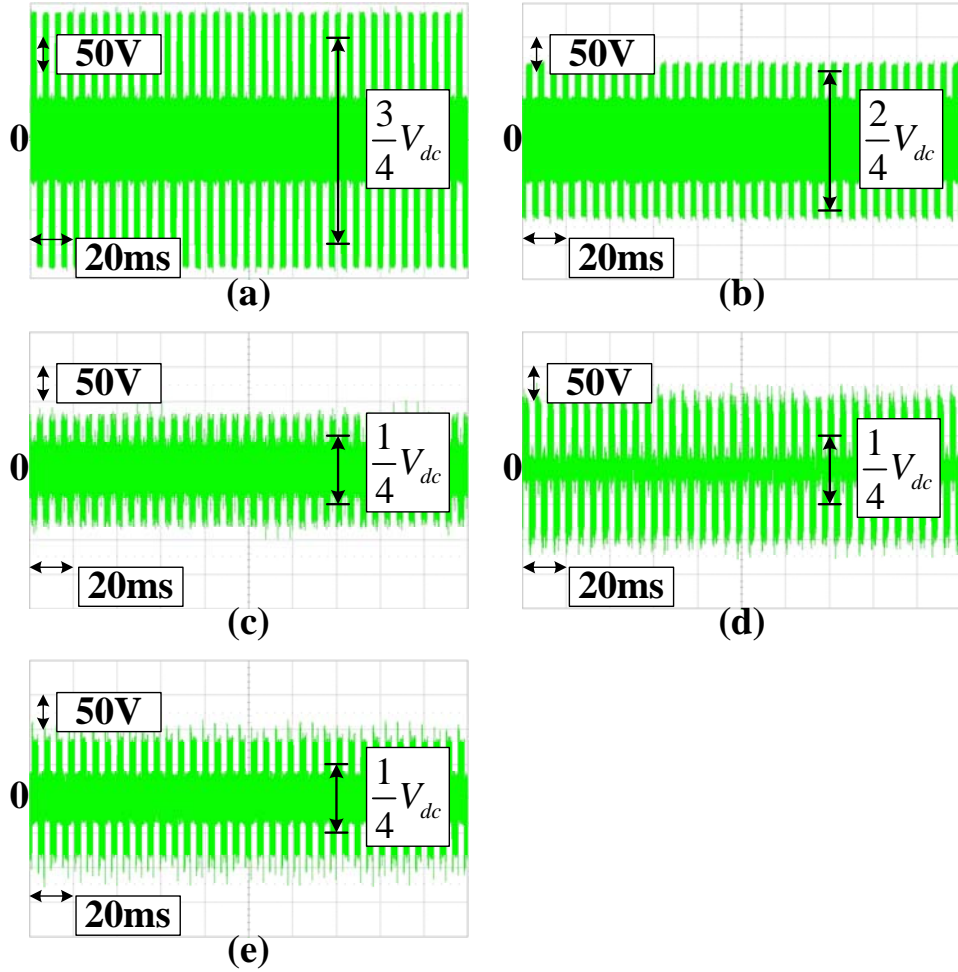


그림 2.23 커먼 모드 전압

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.23 Common-mode voltage

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

그림 2.24 는 그림 2.23 의 PWM 별 커먼 모드 전압의 확대 파형이다. $T_{sw}/2$ 동안 SVPWM 의 커먼 모드 전압은 4 번 변하게 되고, SPWM 에서는 커먼 모드 전압은 SVPWM 보다 한 번의 스위칭을 덜하므로 3 번 변하는 것을 알 수 있다. PPPWM1, PPPWM2, PPPWM3 방법의 경우에는 커먼 모드 전압이 같은 시간 동안 모의 실험 결과와는 다르게 짧은 펄스는 회로의 기생 (Parasitic) 성분 에 의해 필터링 되어 보이지 않고 한 번씩 변하는 것을 볼 수 있다.

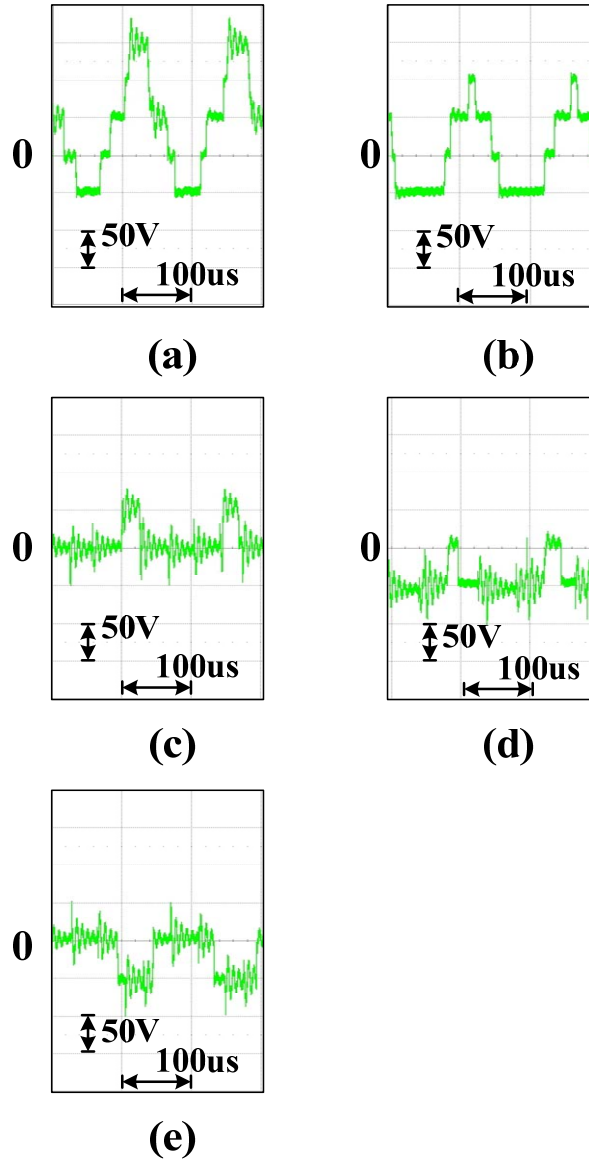


그림 2.24 커먼 모드 전압 (그림 2.23 의 확대 파형)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.24 Common-mode voltage (Magnified waveform of Figure 2.23)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

그림 2.25 는 그림 2.23 의 커먼 모드 전압의 FFT 파형이다. 여기서 스위칭 주파수 ($f_{sw} = 7kHz$) 성분의 크기를 살펴보면, SVPWM, SPWM 에 비해 PPPWM 방법들에서 그 크기가 많이 줄어든 것을 볼 수 있다. 또한 2 배, 3 배 주파수 성분에서도 그 크기가 줄어든 것을 볼 수 있다.

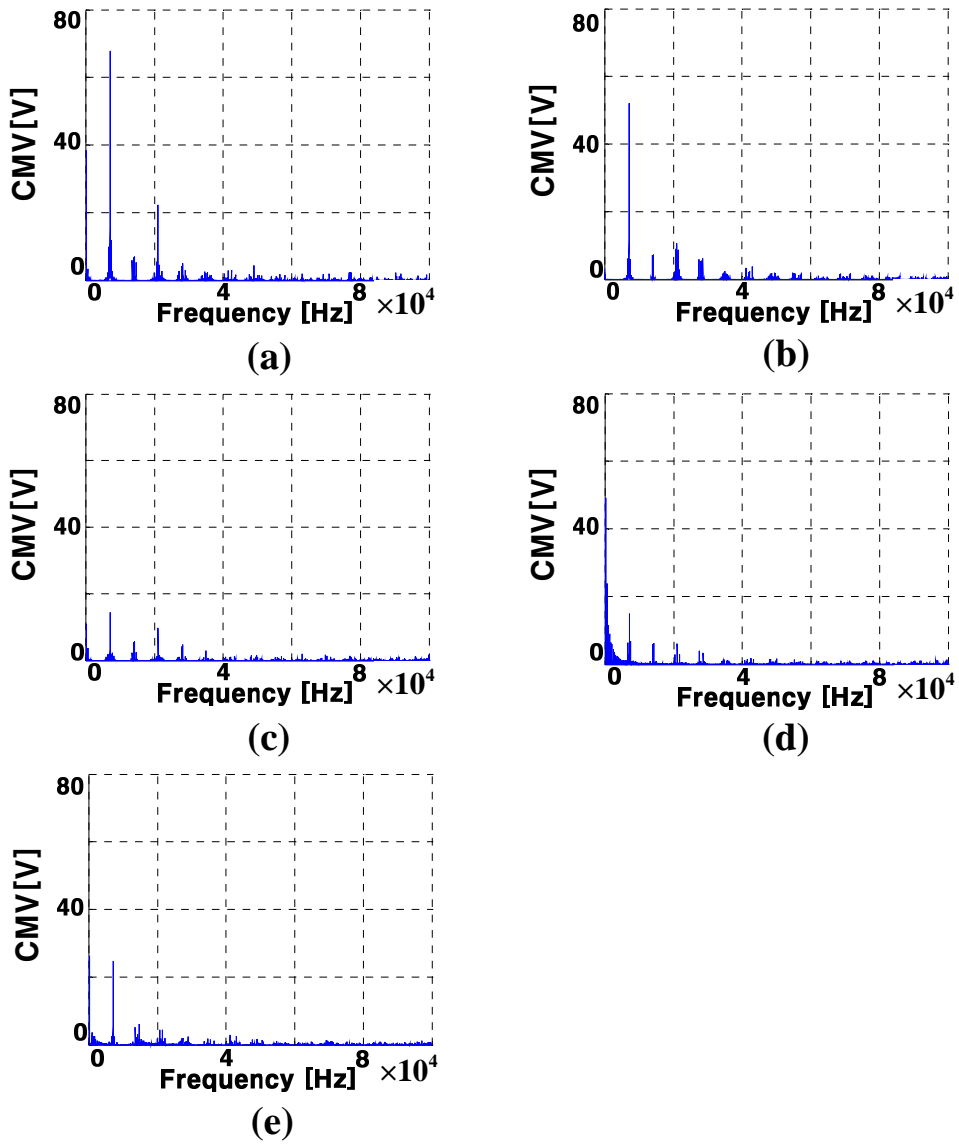


그림 2.25 그림 2.23 의 커먼 모드 전압 FFT

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.25 FFT of Common-mode voltage in Figure 2.23

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

그림 2.26 은 그림 2.25 의 커먼 모드 전압의 FFT 과형을 확대한 것이다. 여기서 스위칭 주파수 (f_{sw}) 이하에서 성분의 크기를 살펴보면, SVPWM, SPWM 에 비해 PPPWM 방법들에서 그 크기가 많이 줄어든 것을 볼 수 있다. PPPWM 방법들 중에서는 PPPWM1 의 커먼 모드 전압의 크기가 가장 작은 것을 볼 수 있다.

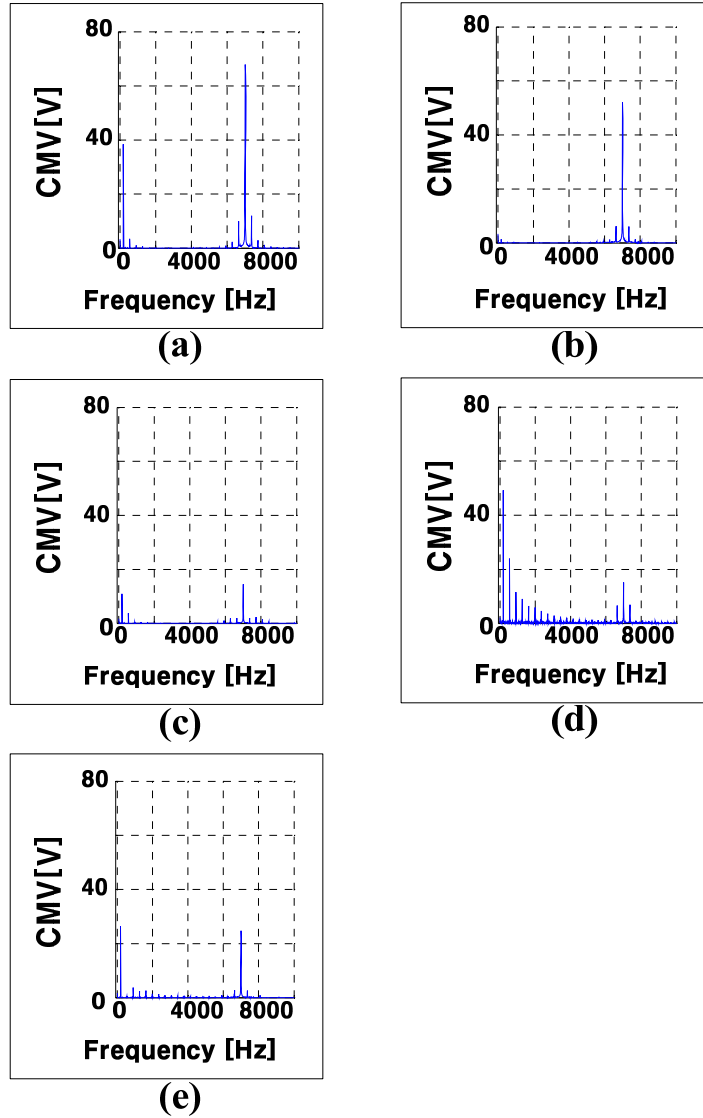


그림 2.26 커먼 모드 전압의 FFT (그림 2.25의 확대 파형)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.26 FFT of Common-mode voltage (Magnified waveform of Figure 2.25)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

그림 2.1과 같은 회로를 교류 전원 장치 (AC Power Supply)로 동작을 시켜보았다. 이때, 상 전압 지령의 크기는 $220\sqrt{\frac{2}{3}}V$, 주파수는 60 Hz로 설정하였다. 4레그 토폴로지의 상 별 독립적인 전압 합성 동작 확인을 위해서 불평형 (unbalanced) 부하를 출력단에 연결하였다. a상 부하는 $40+2\pi 60\times 0.05[\Omega]$, b상 부하는 $20+2\pi 60\times 0.025[\Omega]$, c상 부하는 아무 것도 연결하지 않았다($\infty[\Omega]$).

그림 2.27 은 PPPWM3 를 적용했을 때의 결과로 부하가

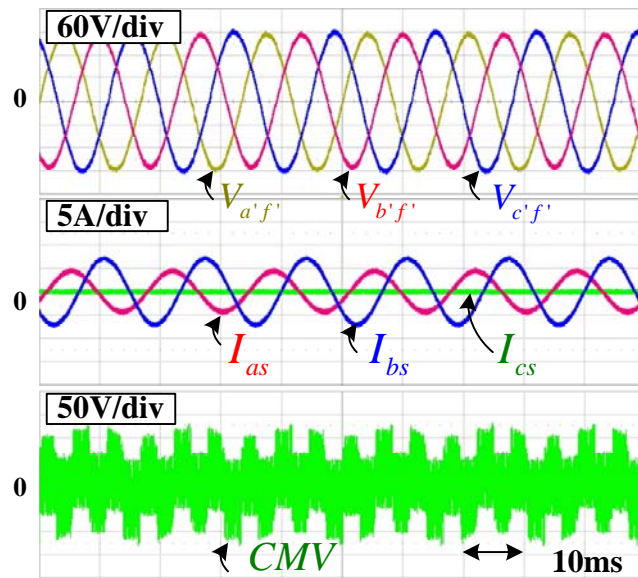


그림 2.27 전압 제어 시 부하 전압, 부하 전류 및 커먼 모드 전압 (PPPWM3)

Figure 2.27 Load voltages, load current and common-mode voltage in voltage control mode (PPPWM3)

불평형이므로 a, b 상 전류는 서로 다르고 c 상 전류는 아무것도 흐르지 않는 것을 볼 수 있다. 이때에도 부하에 걸리는 전압은 평형되어 있는 것을 볼 수 있고, 커먼 모드 전압도 줄어든 것을 볼 수 있다.

그림 2.28 은 컨버터를 교류 전원 장치로 동작시키고 PWM 방법을 바꿔가면서 커먼 모드 전압을 측정한 후 그것을 FFT 한 결과이다. 이 결과는 계통 연결 후 전류 제어 했을 때의 커먼 모드 전압의 FFT 결과인 그림 2.25, 그림 2.26 과 거의 같은 결과를 보여 주고 있다.

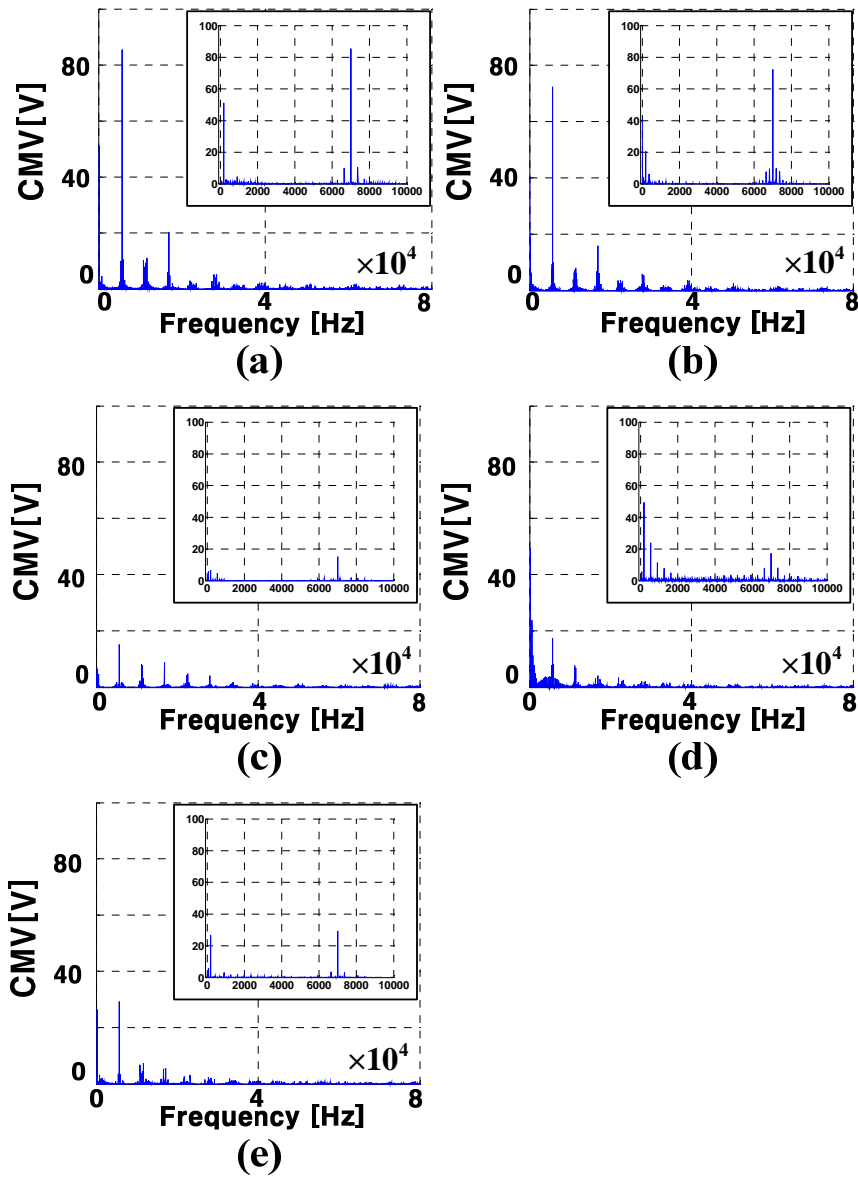


그림 2.28 전압 제어 시 커먼 모드 전압의 FFT

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.28 FFT of Common-mode voltage in voltage control mode

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

그림 2.23의 파형은 시스템과 계통 전원 사이의 연결을 수 m 이내의 짧은 전선을 이용했을 때의 결과이다. 추가적으로 긴 길이 (100m)의 전선을 이용하여 연결 후 커먼 모드 전압을 측정해보았다. 이때의 결과는 그림 2.29와 같은데 전선의 길이가 짧았을 때의 결과인 그림 2.23과 거의 유사한 것을 확인할 수 있었다.

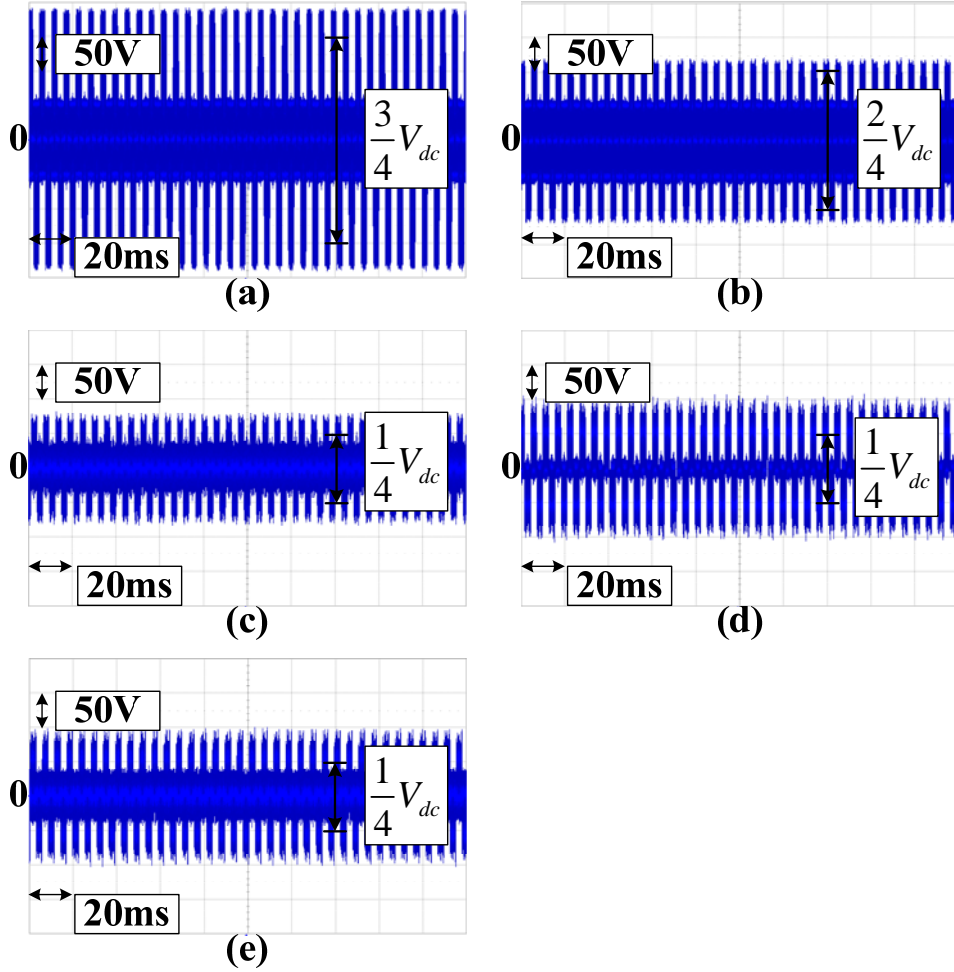


그림 2.29 커먼 모드 전압 (100m 케이블)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.29 Common-mode voltage (100m cable)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

제 3 장 3레벨 4레그 컨버터의 제어 성능 개선

2장에서 제안한 커먼 모드 전압 저감 PWM 방법은 기본적으로 a, b, c 레그의 스위칭 시점과 동기되어 f 레그의 스위치를 조작하여 커먼 모드 전압을 억제하는 것이다. 제안한 방법을 적용하게 되면 커먼 모드 전압이 기존 PWM 방법 대비 대체로 저감되지만, 2.5절의 모의 실험 결과를 보면 데드 타임 등의 이유로 f 상 극 전압이 제대로 동기가 되지 않을 경우 짧은 펄스 형태의 극 전압이 보이게 된다. 또한 데드 타임에 의한 전압 왜곡으로 인해 상 전압에 저차 (low order) 고조파 성분이 보이게 된다. 따라서 본 장에서는 3레벨 4레그 컨버터의 제어 성능 개선을 위한 방법에 대해 언급하고자 한다.

3.1 3레벨 토폴로지의 데드 타임 보상

컨버터에서 원하는 지령 극 전압 값이 그대로 출력되어야 하지만, 아래 설명할 데드 타임에 의해서 필연적으로 전압 왜곡이 발생하게 된다. 이러한 전압 왜곡은 낮은 차수의 전류 왜곡을 일으키게 된다. 이러한 전압 왜곡을 피하기 위해서 데드 타임 보상을 위한 많은 방법들이 연구되어 왔다[43-55]. 또한 극 전압을 보다 정확하게 합성하기 위해서 출력된 극 전압을 측정하여 그 정보를 이용하는 방법들도 있다[56-61]. DVSC (Direct Voltage Sensing Circuit)와 같이 적분기

회로를 이용한 방법은 가장 정확한 극 전압 측정 방법이다[57]. 하지만, 이 방법은 DVSC 회로를 제어하기 위한 제어 로직 용 FPGA (Field-Programmable Gate Array)가 필요하고 적분기용 회로가 추가적으로 필요하다. 이 외에 FPGA를 이용하여 극 전압 펄스를 측정하여 이를 데드 타임 보상에 이용하는 방법이 있다[58-61]. 이는 DVSC를 이용하는 방법에 비해 정확도가 떨어지지만, DVSC 회로가 추가로 필요 없다는 장점이 있다. 하지만 여전히 DSP (Digital Signal Processor) 외에 FPGA가 필요하다는 단점이 있다. 마지막으로 DSP 내부의 e-CAP 이라는 모듈을 이용하여 극 전압의 펄스를 측정하는 방법이 있다. 이는 간단한 비교기 회로 외에는 추가적인 회로가 필요 없다는 장점이 있다[62].

지금까지 언급한 대부분의 데드 타임 보상 연구는 2레벨 토폴로지에서의 데드 타임 보상에 관한 것이다. 이에 비해 멀티 레벨 컨버터의 데드 타임 보상에 관한 논문은 상대적으로 적은 편이다[63, 64]. 본 장에서는 본 논문의 주제인 3레벨 (T-type) 토폴로지에서의 데드 타임의 영향에 대해 분석하고 그 보상 방법을 제시한다.

3.1.1 3레벨 토폴로지의 데드 타임 영향

3.1.1.1 3레벨 토폴로지의 전압 합성

직류 전압을 교류 전압으로 만들어 주기 위해서 전력용 반도체 소자로 구성된 컨버터가 사용된다. 전력용 반도체 소자의 스위칭 동작에 의해 원하는 값의 교류 전압을 스위칭 주기 동안 평균적으로 합성해내는 것이

컨버터의 기본적인 동작 원리이다.

그림 3.1은 3레벨 4레그 컨버터의 한 레그를 보여준다. 여기서 사용한 3레벨 토폴로지는 T-type으로 4개의 전력용 반도체 스위치(S_{a1} , S_{a2} , S_{a3} , S_{a4})로 구성된 것을 볼 수 있다. 반도체 스위칭의 방향을 보면 S_{a1} 과 S_{a3} 가 서로 상보적 (complementary)으로 동작해야 하고, S_{a2} 와 S_{a4} 또한 서로 상보적으로 동작해야 한다.

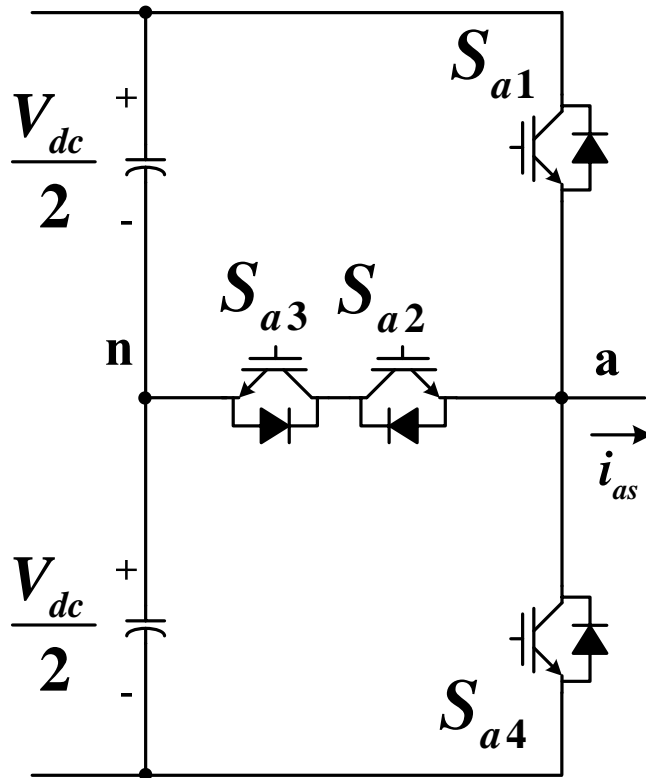


그림 3.1 3레벨 4레그 컨버터 시스템에서 한 레그

Figure 3.1 One leg of 3 level 4 leg converter

그림 3.2는 3레벨 토폴로지의 전압 합성을 보여주고 있다. 그림 3.2 (a) 는 전압 지령이 양인 경우를 보여준다. 전압 지령이 양인 경우 2개의 삼각파 중 위 삼각파와 전압 지령을 비교하여 지령 전압이 삼각파보다 큰 경우 (t_2)는 S_{a1} 의 게이팅 신호가 1이 되고, 지령 전압이 삼각파보다 작은 경우(t_1, t_3)는 S_{a1} 의 게이팅 신호가 0이 된다. 이때의 t_1, t_2, t_3 값은 아래와 같다.

$$t_2 = \frac{V_{an}^*}{V_{dc}/2} T_{sw}. \quad (3.1)$$

$$t_{1,3} = \frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2}. \quad (3.2)$$

S_{a3} 의 게이팅 신호는 위에서 언급한 대로 S_{a1} 의 게이팅 신호에 대해 상보적인 신호가 나가게 된다. 아래 삼각파에 의해 결정되는 S_{a2} 와 S_{a4} 의 게이팅 신호는 지령 전압과 교점이 없으므로 변하지 않게 된다. 이때 T_{sw} 동안 a상 평균 극 전압은 아래와 같다.

$$V_{an_avg} = \left\{ (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) + \left(\frac{V_{dc}}{2} \right) \times \left(\frac{V_{an}^*}{V_{dc}/2} T_{sw} \right) + (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \right\} / T_{sw}. \quad (3.3)$$

식 (3.3)을 정리하면 V_{an_avg} 는 V_{an}^* 와 같게 된다.

그림 3.2 (b)는 전압 지령이 음인 경우를 보여준다. 전압 지령이 음인 경우 2개의 삼각파 중 아래 삼각파와 지령 전압을 비교 하여 지령 전압이 삼각파보다 큰 경우 (t_5)는 S_{a2} 의 게이팅 신호가 1이 되고,

지령 전압이 삼각파보다 작은 경우 (t_4, t_6)는 S_{a2} 의 게이팅 신호가 0이 된다.

$$t_5 = \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} T_{sw} . \quad (3.4)$$

$$t_{4,6} = \frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} . \quad (3.5)$$

S_{a4} 의 게이팅 신호는 위에서 언급한대로 S_{a2} 의 게이팅 신호에 대해 상보적인 신호가 나가게 된다. 아래 삼각파에 의해 결정되는 S_{a1} 과 S_{a3} 의 게이팅 신호는 지령 전압과 교점이 없으므로 변하지 않게 된다. 이때 T_{sw} 동안 a상 평균 극 전압은 아래와 같다.

$$V_{an_avg} = \left\{ \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) + (0) \times \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} T_{sw} \right) \right. \\ \left. + \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \right\} / T_{sw} . \quad (3.6)$$

식 (3.6)을 계산하면 V_{an_avg} 는 V_{an}^* 와 같게 된다.

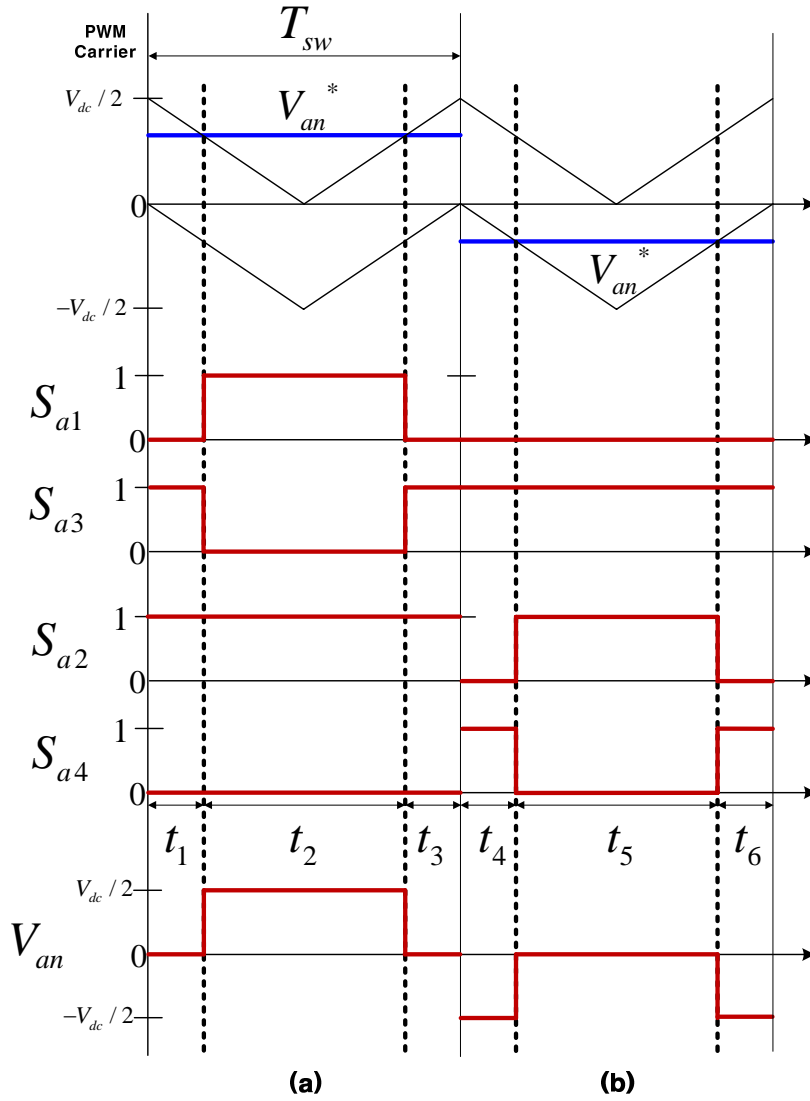


그림 3.2 3레벨 토폴로지에서의 극 전압 합성 원리 (a) $V_{an}^* \geq 0$,
(b) $V_{an}^* < 0$

Figure 3.2 Principle of pole voltage synthesize (a) $V_{an}^* \geq 0$, and
(b) $V_{an}^* < 0$

3.1.1.2 3레벨 토폴로지의 데드 타임 영향

전력용 반도체 소자를 이용하여 어떠한 교류 전압을 합성하는데 있어서 두 가지 왜곡이 존재한다. 하나는 소자에 의한 전압 강하이고, 다른 하나는 데드 타임 (Dead-time)이다.

그림 3.2에서 살펴본 바와 같이 지령 전압이 양인 경우를 먼저 살펴보자. 먼저 전류가 양인 경우 ($i_{as} \geq 0$)를 살펴보면, t_1 와 t_3 에서는 소자 S_{a3} 에서는 역방향 다이오드 (Diode)를 통해서, S_{a2} 에서는 IGBT를 통해서 전류가 흐르게 된다. t_2 동안에는 S_{a1} 의 IGBT를 통해서 전류가 흐르게 된다. 이때 실제 출력되는 극 전압은 아래와 같다.

$$V_{an_avg} = \left\{ (0 - V_{S_{a3}Diode} - V_{S_{a2}IGBT}) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) + \left(\frac{V_{dc}}{2} - V_{S_{a1}IGBT} \right) \times \left(\frac{V_{an}^*}{V_{dc}/2} T_{sw} \right) + (0 - V_{S_{a3}Diode} - V_{S_{a2}IGBT}) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \right\} / T_{sw} \quad (3.7)$$

$$V_{an_avg} = V_{an}^* + (-V_{S_{a3}Diode} - V_{S_{a2}IGBT}) + (V_{S_{a3}Diode} + V_{S_{a2}IGBT} - V_{S_{a1}IGBT}) \frac{V_{an}^*}{V_{dc}/2} \quad (3.8)$$

전류가 음인 경우 ($i_{as} < 0$)를 살펴보면, t_1 와 t_3 에서는 소자 S_{a3} 에서는 IGBT가, S_{a2} 에서는 다이오드를 통해서 전류가 흐르게 된다.

t_2 동안에는 S_{a1} 의 다이오드를 통해서 전류가 흐르게 된다. 이때 실제 출력되는 극 전압은 아래와 같다.

$$\begin{aligned}
 V_{an_avg} = & \{ (0 + V_{S_{a3}IGBT} + V_{S_{a2}Diode}) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \\
 & + \left(\frac{V_{dc}}{2} + V_{S_{a1}Diode} \right) \times \left(\frac{V_{an}^*}{V_{dc}/2} T_{sw} \right) \\
 & + (0 + V_{S_{a3}Diode} + V_{S_{a2}IGBT}) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \} / T_{sw}
 \end{aligned} \quad (3.9)$$

$$\begin{aligned}
 V_{an_avg} = & V_{an}^* + (V_{S_{a3}IGBT} + V_{S_{a2}Diode}) \\
 & + (-V_{S_{a3}IGBT} - V_{S_{a2}Diode} + V_{S_{a1}Diode}) \frac{V_{an}^*}{V_{dc}/2} .
 \end{aligned} \quad (3.10)$$

다음으로 그림 3.2에서 지령 전압이 음인 경우를 살펴보자. 먼저 전류가 양인 경우 ($i_{as} \geq 0$)를 살펴보면, t_4 와 t_6 에서는 소자 S_{a4} 에서는 역방향 다이오드 (Diode)로 전류가 흐르게 된다. t_5 동안에는 소자 S_{a3} 에서는 역방한 다이오드 (Diode)가, S_{a2} 에서는 IGBT를 통해서 전류가 흐르게 된다. 이때 실제 출력되는 극 전압은 아래와 같다.

$$\begin{aligned}
 V_{an_avg} = & \{ \left(-\frac{V_{dc}}{2} - V_{S_{a4}Diode} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \\
 & + (-V_{S_{a3}Diode} - V_{S_{a2}IGBT}) \times \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} T_{sw} \right) \\
 & + \left(-\frac{V_{dc}}{2} - V_{S_{a4}Diode} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \} / T_{sw}
 \end{aligned} \quad (3.11)$$

$$\begin{aligned}
 V_{an_avg} = & V_{an}^* + (-V_{S_{a3}Diode} - V_{S_{a2}IGBT}) \\
 & + (-V_{S_{a3}Diode} - V_{S_{a2}IGBT} + V_{S_{a4}Diode}) \frac{V_{an}^*}{V_{dc}/2} .
 \end{aligned} \quad (3.12)$$

전류가 음인 경우 ($i_{as} < 0$)에 살펴보면, t_4 와 t_6 에서는 소자 S_{a4} 에서는 IGBT가, S_{a2} 에서는 다이오드를 통해서 전류가 흐르게 된다. t_5 동안에는 소자 S_{a3} 에서는 IGBT를 통해서, S_{a2} 에서는 역방향 다이오드 (Diode) 를 통해서 전류가 흐르게 된다. 이때 실제 출력되는 극 전압은 아래와 같다.

$$V_{an_avg} = \left\{ \left(-\frac{V_{dc}}{2} + V_{S_{a4}IGBT} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \right. \\ \left. + \left(V_{S_{a3}IGBT} + V_{S_{a2}Diode} \right) \times \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} T_{sw} \right) \right. \\ \left. + \left(-\frac{V_{dc}}{2} + V_{S_{a4}Diode} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \right\} / T_{sw} \quad (3.13)$$

$$V_{an_avg} = V_{an}^* + (V_{S_{a3}IGBT} + V_{S_{a2}Diode}) \\ + (V_{S_{a3}IGBT} + V_{S_{a2}Diode} - V_{S_{a4}IGBT}) \frac{V_{an}^*}{V_{dc}/2} \quad (3.14)$$

식 (3.8), (3.10), (3.12), (3.14)와 같이 소자의 전압 강하로 인해 실제 극 전압은 지령 극 전압과 다르게 왜곡이 생기게 된다. 실제 실험에 사용하는 전력 반도체 소자의 전압/전류 곡선은 그림 3.3과 같다.

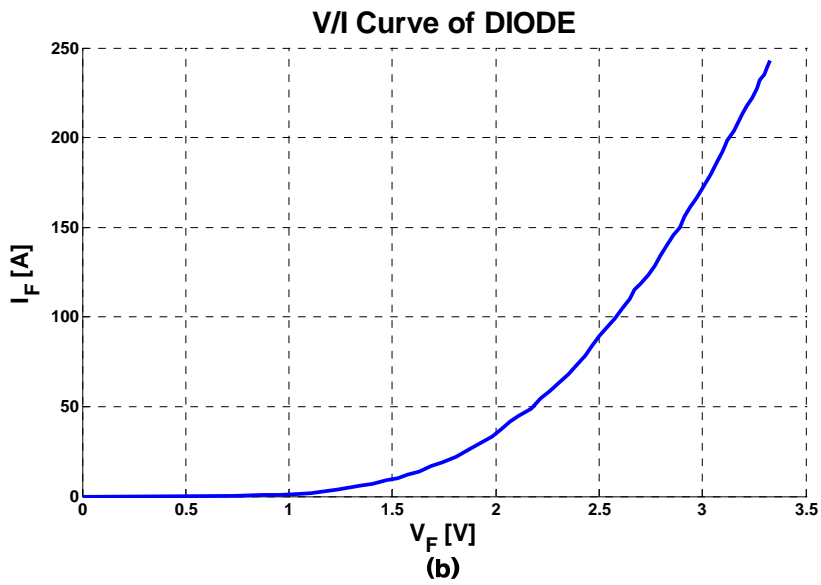
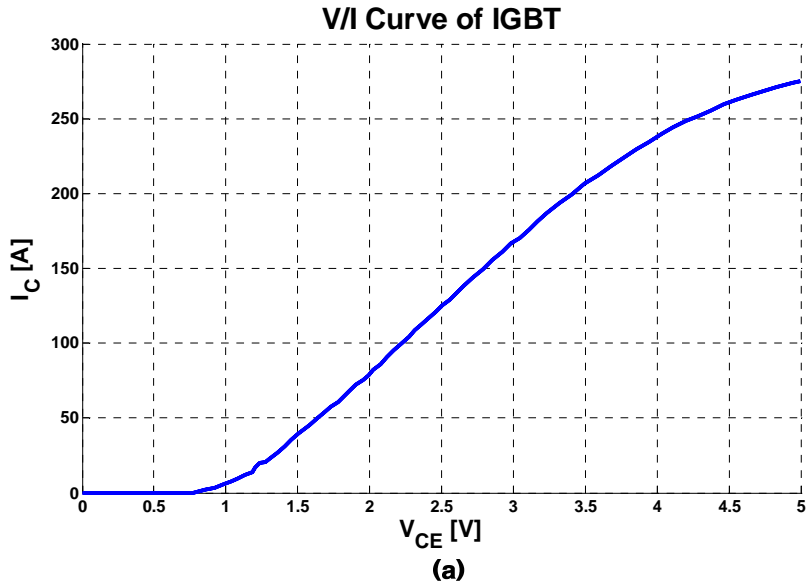


그림 3.3 전압/전류 곡선 (a) IGBT, (b) 다이오드

Figure 3.3 V/I Curve (a) IGBT, and (b) Diode

앞에서 설명한 소자에 의한 전압 강하 외에 데드 타임에 의해서 출력 극 전압이 왜곡될 수 있다. 그림 3.1과 같은 3레벨 토폴로지에서는 전압 합성을 위해 스위치 동작 시 S_{a1} 과 S_{a3} 가 서로 상보적으로 동작해야 하고, S_{a2} 와 S_{a4} 또한 서로 상보적으로 동작해야 한다. 따라서 그림 3.2의 해당 스위치들 게이팅 파형을 보면 상보적으로 동작하는 것을 볼 수 있다. 하지만 실제 구현 시 게이팅 신호의 시지연 (Time delay)이 발생할 수 있고, 전력용 반도체 소자의 상승/하강 시간의 차이로 상보적으로 동작해야 하는 스위치가 동시에 켜지는 상황이 발생할 수 있다. 이 경우 직류단에 사용된 캐패시터 양단이 단락(Short) 될 수 있다.

이와 같은 현상을 피하기 위해 동작 시 S_{a1} 과 S_{a3} 그리고 S_{a2} 와 S_{a4} 사이에 짧은 시간 동안 모든 스위치가 꺼져있도록 게이팅 신호를 만들어 주는데, 이와 같이 두 개의 스위치 모두 꺼져 있도록 만든 시간을 데드 타임 (Dead-time)이라고 한다. 그림 3.4를 보면 S_{a1} 과 S_{a3} 그리고 S_{a2} 와 S_{a4} 사이에 짧은 시간 동안 두 개의 게이팅 신호가 모두 0인 구간 ($t_{d1}, t_{d2}, t_{d3}, t_{d4}$)이 데드 타임에 해당한다. 시스템 조건에 따라 다르지만 보통 데드 타임은 $2 \sim 3\mu s$ 정도로 설정하게 된다.

이러한 데드 타임 동안의 전압은 사용자에 의해 임의로 정해지는 것이 아니라 데드 타임 동안 흐르는 전류의 방향에 따라 달라지게 된다. 그림 3.4에서 먼저 지령 전압이 양인 경우를 살펴보면, t_{d1}, t_{d2} 동안에는 전류의 방향이 양일 경우는 중성단 스위치 (S_{a2}, S_{a3})로 전류가 흐르기 때문에 0전압이 합성되게 된다. 따라서 평균 극 전압은 아래와 같다.

$$\begin{aligned}
V_{an_avg} = & \{ (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} + t_{d1} \right) \\
& + \left(\frac{V_{dc}}{2} \right) \times \left(\frac{V_{an}^*}{V_{dc}/2} T_{sw} - t_{d1} \right) \\
& + (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \} / T_{sw}
\end{aligned} \quad (3.15)$$

$$V_{an_avg} = V_{an}^* - \frac{t_{d1}}{T_{sw}} \frac{V_{dc}}{2}. \quad (3.16)$$

전류의 방향이 음인 경우에는 t_{d1} , t_{d2} 동안에 상단 스위치 (S_{a1})로 전류가 흐르기 때문에 $\frac{V_{dc}}{2}$ 전압이 합성되게 된다. 따라서 평균 극 전압은 아래와 같다.

$$\begin{aligned}
V_{an_avg} = & \{ (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \\
& + \left(\frac{V_{dc}}{2} \right) \times \left(\frac{V_{an}^*}{V_{dc}/2} T_{sw} + t_{d2} \right) \\
& + (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} - t_{d2} \right) \} / T_{sw}
\end{aligned} \quad (3.17)$$

$$V_{an_avg} = V_{an}^* + \frac{t_{d2}}{T_{sw}} \frac{V_{dc}}{2}. \quad (3.18)$$

지령 전압이 음인 경우를 살펴보면, t_{d3} , t_{d4} 동안에는 전류의 방향이 양일 경우는 하단 스위치(S_{a4})로 전류가 흐르기 때문에 $-\frac{V_{dc}}{2}$ 전압이 합성되게 된다. 따라서 평균 극 전압은 아래와 같다.

$$\begin{aligned}
V_{an_avg} = & \left\{ \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} + t_{d3} \right) \right. \\
& + (0) \times \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} T_{sw} - t_{d3} \right) \\
& \left. + \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \right\} / T_{sw}
\end{aligned} \quad (3.19)$$

$$V_{an_avg} = V_{an}^* - \frac{t_{d3}}{T_{sw}} \frac{V_{dc}}{2}. \quad (3.20)$$

전류의 방향이 음인 경우에는 t_{d3} , t_{d4} 동안에 중성단 스위치 (S_{a2}, S_{a3})로 전류가 흐르기 때문에 0전압이 합성되게 된다. 따라서 평균 극 전압은 아래와 같다.

$$\begin{aligned}
V_{an_avg} = & \left\{ \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} + t_{d3} \right) \right. \\
& + (0) \times \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} T_{sw} + t_{d4} \right) \\
& \left. + \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} - t_{d4} \right) \right\} / T_{sw}
\end{aligned} \quad (3.21)$$

$$V_{an_avg} = V_{an}^* + \frac{t_{d4}}{T_{sw}} \frac{V_{dc}}{2}. \quad (3.22)$$

식 (3.16), (3.18), (3.20), (3.22)를 종합해보면 전류가 양인 경우는 실제 극 전압이 지령 극 전압보다 작은 값이 나오게 되고, 전류가 음인 경우는 실제 극 전압이 지령 극 전압보다 큰 값이 나오게 된다.

직류단 전압(V_{dc})이 400V, 데드 타임($t_{d1}, t_{d2}, t_{d3}, t_{d4}$)이 $2\mu s$, 스위칭 주파수(f_{sw})가 20 kHz 일 때, 왜곡되는 전압의 크기는 아래와 같다.

$$V_{dead} = \frac{V_{dc}}{2} \frac{T_{dead}}{T_{sw}} = 8V . \quad (3.23)$$

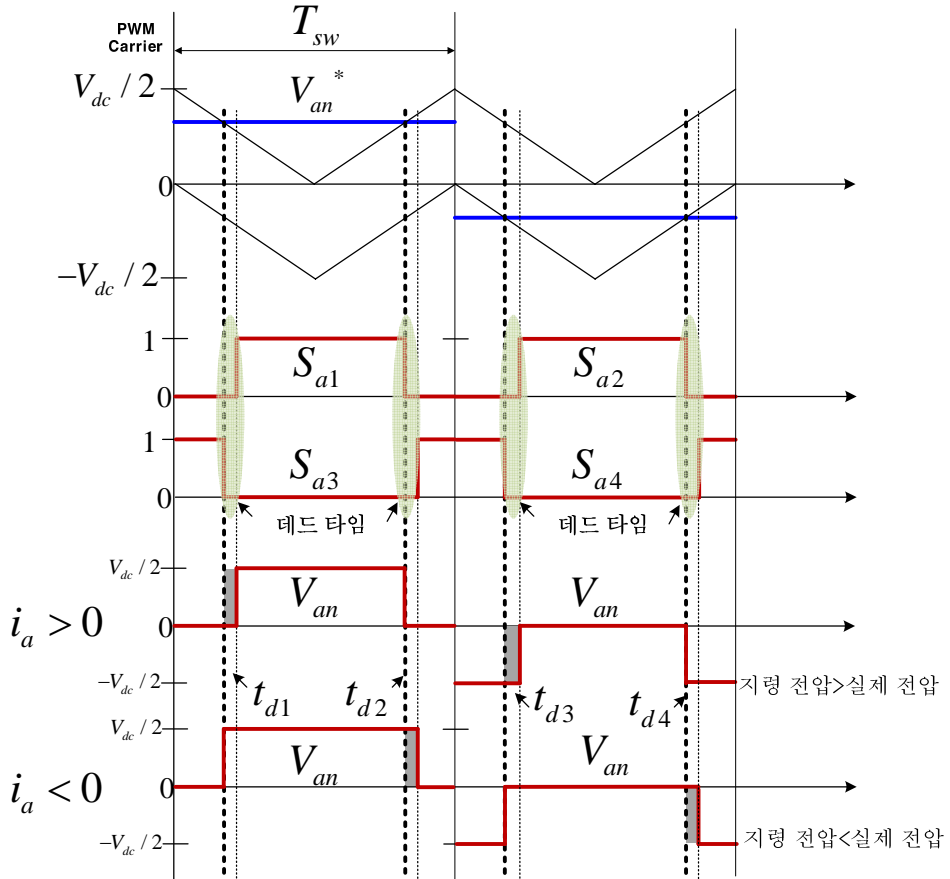


그림 3.4 데드 타임을 고려한 3레벨 토폴로지에서의 극 전압 합성 원리

Figure 3.4 Principle of pole voltage synthesise considering dead-time

앞서 살펴본 컨버터에서의 두 가지 전압 왜곡 원인 중 상대적으로 크기가 작은 소자의 전압 강하 성분은 제외하고, 데드 타임에 의한 전압 왜곡만을 상세하게 살펴보도록 한다.

3.1.1.3 3레벨 토폴로지의 데드 타임 영향 상세 분석

수식뿐만 아니라 수치적으로도 전압 합성 영역을 살펴보기 위해 직류단 전압(V_{dc}), 데드 타임(T_{dead}), 스위칭 주파수(f_{sw})를 각각 400V, $2\mu s$, 20 kHz 로 미리 설정하였다.

(1) 전압 지령이 양인 경우

(a) $16V < V_{an}^* < 184V$ (A 영역)

그림 3.5의 파형이 이 영역에 해당된다. 이 영역은 그림 3.4와 같은 형태의 파형으로 대부분의 전압 지령이 여기에 해당한다. 이 영역에서는 $T_{a_on1}, T_{a_on2}, T_{a_on3}, T_{a_off1}, T_{a_off2}, T_{a_off3}$ 모두가 0보다 큰 값을 가지는 경우이다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}} (V_{an_on2_avg} - \frac{V_{dc}}{2} + V_{an_off2_avg}). \quad (3.24)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = 0, \frac{V_{dc}}{2} > V_{an_off2_avg} \geq 0 \quad (i_a \geq 0). \quad (3.25)$$

$$\frac{V_{dc}}{2} \geq V_{an_on2_avg} > 0, V_{an_off2_avg} = \frac{V_{dc}}{2} \quad (i_a < 0). \quad (3.26)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}} \left(-\frac{V_{dc}}{2} + V_{an_off2_avg} \right) \quad (i_a \geq 0). \quad (3.27)$$

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}} (V_{an_on2_avg}) \quad (i_a < 0). \quad (3.28)$$

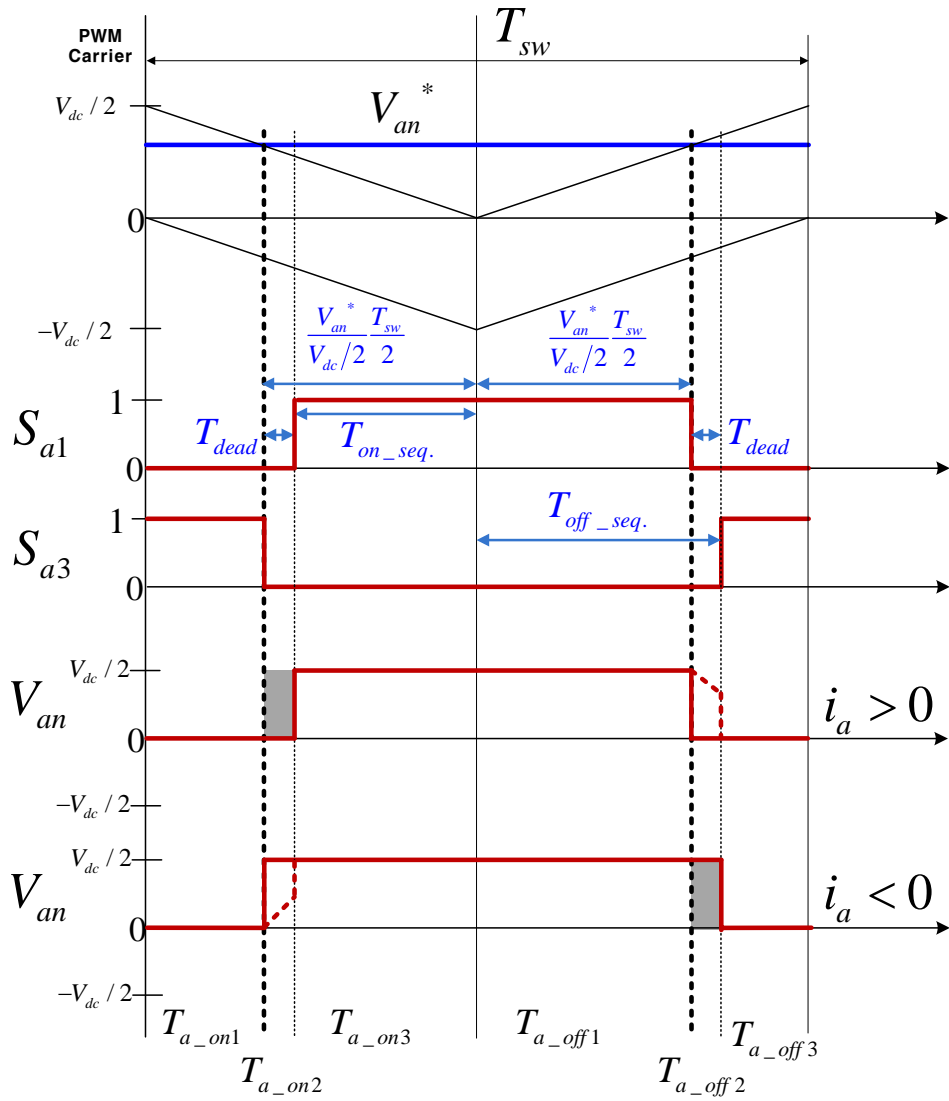


그림 3.5 3레벨 토폴로지의 영역 A에서 극 전압

Figure 3.5 Pole voltage synthesize in range 'A' in 3 level topology

(b) $8V < V_{an}^* < 16V$ (B 영역)

그림 3.6의 파형이 이 영역에 해당된다. 이 영역에서는 A영역과 다르게 T_{a_on3} 에 해당하는 영역이 존재하지 않는다. 그리고 데드 타임에 해당하는 영역 T_{a_on2} 가 오프 시퀀스 (Off-sequence)로 넘어가게 된다. 넘어간 데드 타임만큼 T_{a_off0} 이 새로 생겨나게 된다.

$$T_{a_on2} + T_{a_off0} = T_{dead} \quad (3.29)$$

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} - V_{an_off0_avg}) \left(\frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2} \right) + (V_{an_off0_avg} + V_{an_off2_avg} - \frac{V_{dc}}{2}) T_{dead} \} \quad (3.30)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = 0, V_{an_off0_avg} = 0, \frac{V_{dc}}{2} > V_{an_off2_avg} \geq 0 \quad (i_a \geq 0). \quad (3.31)$$

$$\frac{V_{dc}}{2} \geq V_{an_off0_avg} \geq V_{an_on2_avg} > 0, V_{an_off2_avg} = \frac{V_{dc}}{2} \quad (i_a < 0). \quad (3.32)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}} \left(-\frac{V_{dc}}{2} + V_{an_off2_avg} \right) \quad (i_a \geq 0). \quad (3.33)$$

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ V_{an_on2_avg} \left(\frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2} \right) + V_{an_off0_avg} \left(T_{dead} - \frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2} \right) \} \quad (i_a < 0). \quad (3.34)$$

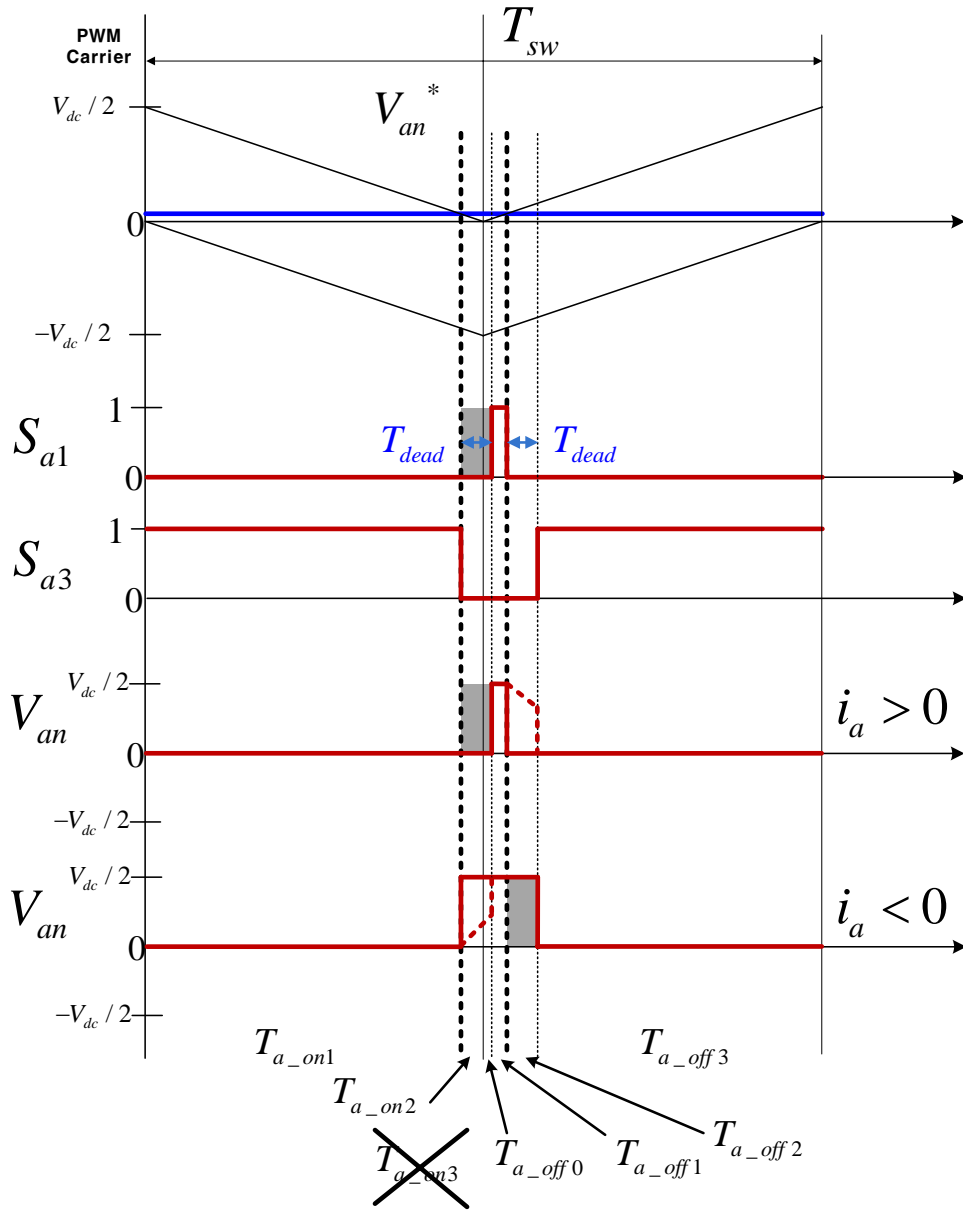


그림 3.6 3레벨 토폴로지의 영역 B에서 극 전압

Figure 3.6 Pole voltage synthesize in range 'B' in 3 level topology

(c) $0 < V_{an}^* < 8V$ (C 영역)

그림 3.7의 파형이 이 영역에 해당된다. 이 영역에서는 B영역과 다르게 T_{a_off1} 에 해당하는 영역이 존재하지 않는다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = \frac{1}{T_{sw}} (V_{an_on2_avg} (\frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2}) + V_{an_off0_avg} (\frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2}) + V_{an_off2_avg} T_{dead}) \quad (3.35)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = 0, V_{an_off0_avg} = 0, V_{an_off2_avg} = 0 \quad (i_a \geq 0). \quad (3.36)$$

$$\frac{V_{dc}}{2} \geq V_{an_off2_avg} \geq V_{an_off0_avg} \geq V_{an_on2_avg} > 0 \quad (i_a < 0). \quad (3.37)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = 0 \quad (i_a \geq 0). \quad (3.38)$$

$$V_{an_avg} = \frac{1}{T_{sw}} \{ V_{an_on2_avg} (\frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2}) + V_{an_off0_avg} (\frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2}) \quad (i_a < 0). \quad (3.39) \\ + V_{an_off2_avg} T_{dead} \}$$

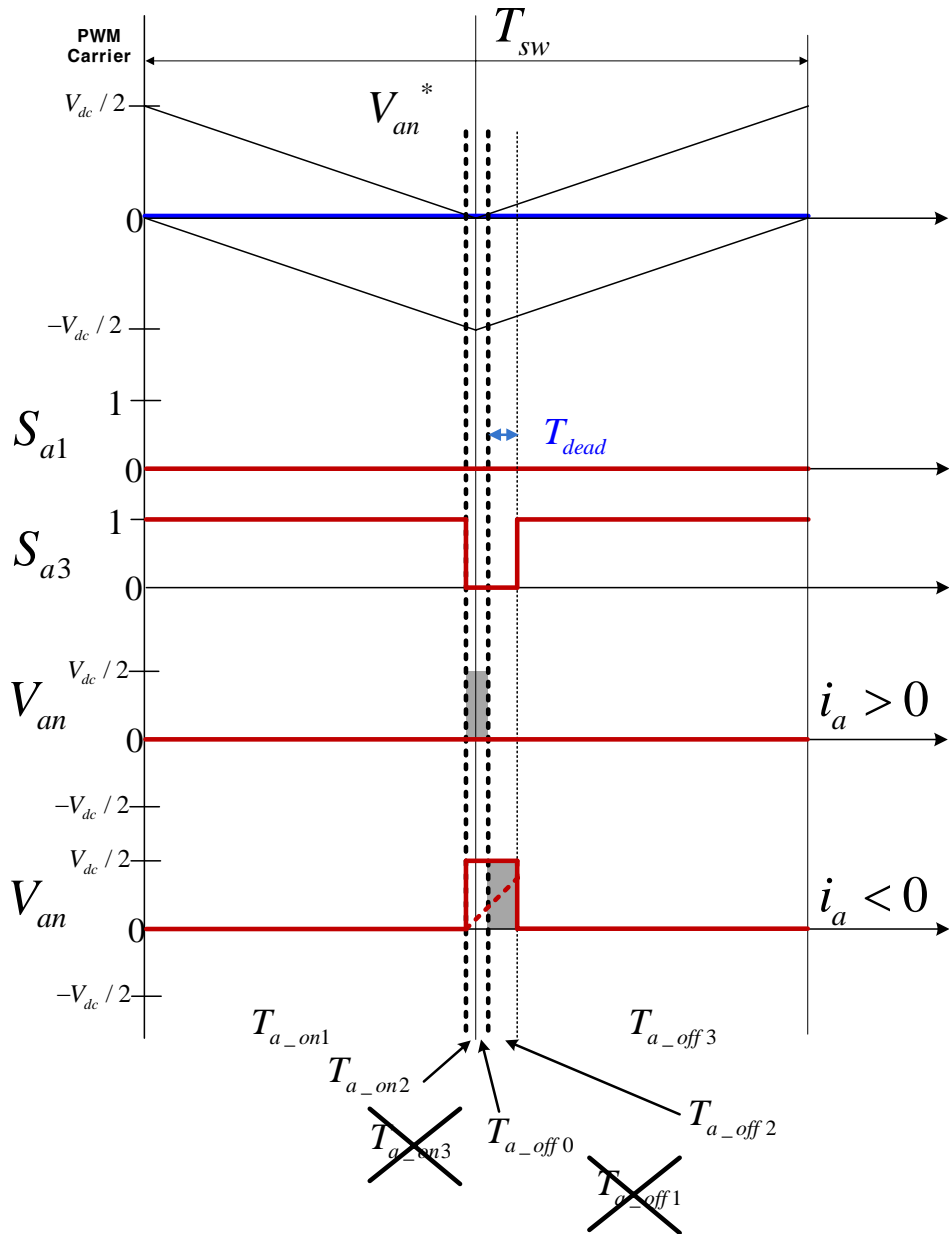


그림 3.7 3레벨 토폴로지의 영역 C에서 극 전압

Figure 3.7 Pole voltage synthesize in range 'C' in 3 level topology

(d) $184V < V_{an}^* < 192V$ (D 영역)

그림 3.8의 파형이 이 영역에 해당된다. 이 영역에서는 A영역과 다르게 T_{a_off3} 에 해당하는 영역이 존재하지 않는다. 그리고 데드 타임에 해당하는 영역 T_{a_off2} 가 온 시퀀스 (On-sequence)로 넘어가게 된다. 넘어간 데드 타임만큼 T_{a_on0} 이 새로 생겨나게 된다.

$$T_{a_off2} + T_{a_on0} = T_{dead} \quad (3.40)$$

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on0_avg} + V_{an_on2_avg} - \frac{V_{dc}}{2}) T_{dead} + (-V_{an_on0_avg} + V_{an_off2_avg}) (\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2}) \right\} \quad (3.41)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$\frac{V_{dc}}{2} > V_{an_off2_avg} > V_{an_on0_avg} \geq 0, V_{an_on2_avg} = 0 \quad (i_a \geq 0). \quad (3.42)$$

$$V_{an_on0_avg} = \frac{V_{dc}}{2}, \frac{V_{dc}}{2} \geq V_{an_on2_avg} > 0, V_{an_off2_avg} = \frac{V_{dc}}{2} \quad (i_a < 0). \quad (3.43)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on0_avg} - \frac{V_{dc}}{2}) T_{dead} - (V_{an_on0_avg} - V_{an_off2_avg}) (\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2}) \right\} \quad (i_a \geq 0). \quad (3.44)$$

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} ((V_{an_on2_avg}) T_{dead}) \quad (i_a < 0). \quad (3.45)$$

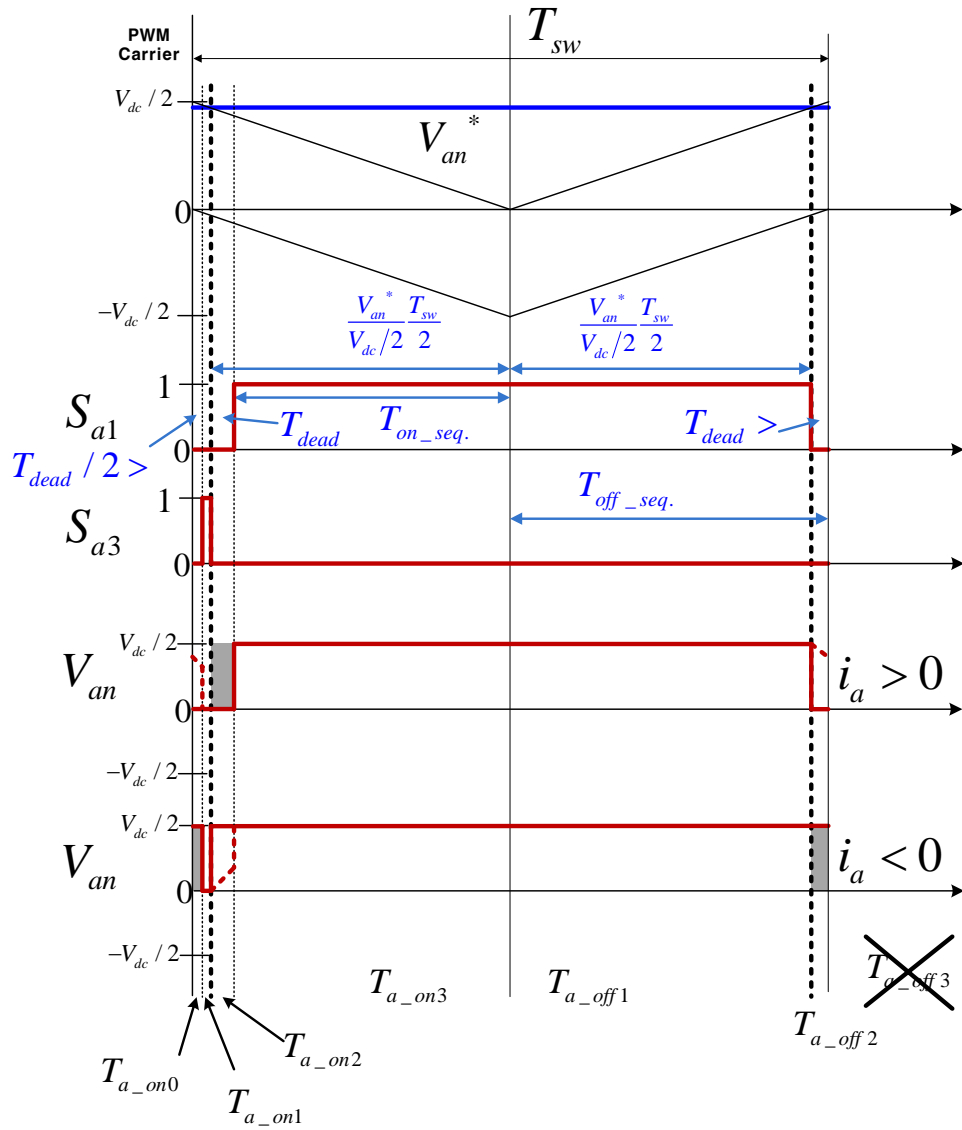


그림 3.8 3레벨 토폴로지의 영역 D에서 극 전압

Figure 3.8 Pole voltage synthesize in range 'D' in 3 level topology

(e) $192V < V_{an}^* < 200V$ (E 영역)

그림 3.9의 파형이 이 영역에 해당된다. 이 영역에서는 D영역과 다르게 T_{a_on1} 에 해당하는 영역이 존재하지 않는다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on2_avg} - \frac{V_{dc}}{2}) T_{dead} + (V_{an_on0_avg} + V_{an_off2_avg}) \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2} \right) \right\} \quad (3.46)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$\frac{V_{dc}}{2} > V_{an_off2_avg} \geq V_{an_on0_avg} \geq V_{an_on2_avg} \geq 0 \quad (i_a \geq 0). \quad (3.47)$$

$$V_{an_on0_avg} = V_{an_on2_avg} = V_{an_off2_avg} = \frac{V_{dc}}{2} \quad (i_a < 0). \quad (3.48)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on2_avg} - \frac{V_{dc}}{2}) T_{dead} + (V_{an_on0_avg} + V_{an_off2_avg}) \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2} \right) \right\} \quad (i_a \geq 0) \quad (3.49)$$

$$V_{an_avg} = + \frac{V_{dc}}{2} \quad (i_a < 0). \quad (3.50)$$

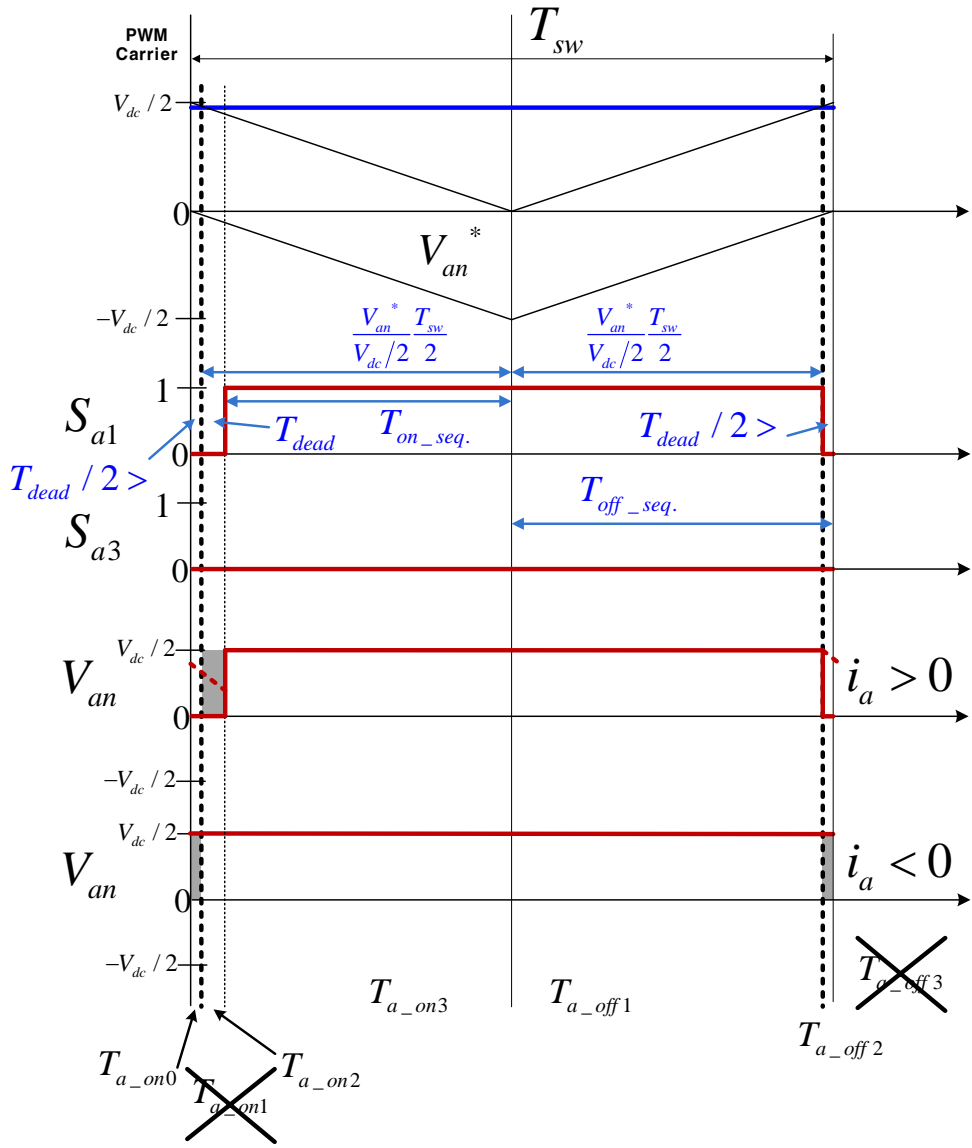


그림 3.9 3레벨 토폴로지의 영역 E에서 극 전압

Figure 3.9 Pole voltage synthesize in range 'E' in 3 level topology

(2) 전압 지령이 음인 경우

(a) $-184V < V_{an}^* < -16V$ (F 영역)

그림 3.10의 파형이 이 영역에 해당된다. 이 영역은 그림 3.4와 같은 형태의 파형으로 대부분의 전압 지령이 여기에 해당한다. 이 영역에서는 $T_{a_on1}, T_{a_on2}, T_{a_on3}, T_{a_off1}, T_{a_off2}, T_{a_off3}$ 모두가 0보다 큰 값을 가지는 경우이다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}}(V_{an_on2_avg} + V_{an_off2_avg} + \frac{V_{dc}}{2}). \quad (3.51)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = -\frac{V_{dc}}{2}, -\frac{V_{dc}}{2} \leq V_{an_off2_avg} < 0 \quad (i_a \geq 0). \quad (3.52)$$

$$-\frac{V_{dc}}{2} < V_{an_on2_avg} \leq 0, V_{an_off2_avg} = 0 \quad (i_a < 0). \quad (3.53)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}}(V_{an_off2_avg}) \quad (i_a \geq 0). \quad (3.54)$$

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}}(V_{an_on2_avg} + \frac{V_{dc}}{2}) \quad (i_a < 0). \quad (3.55)$$

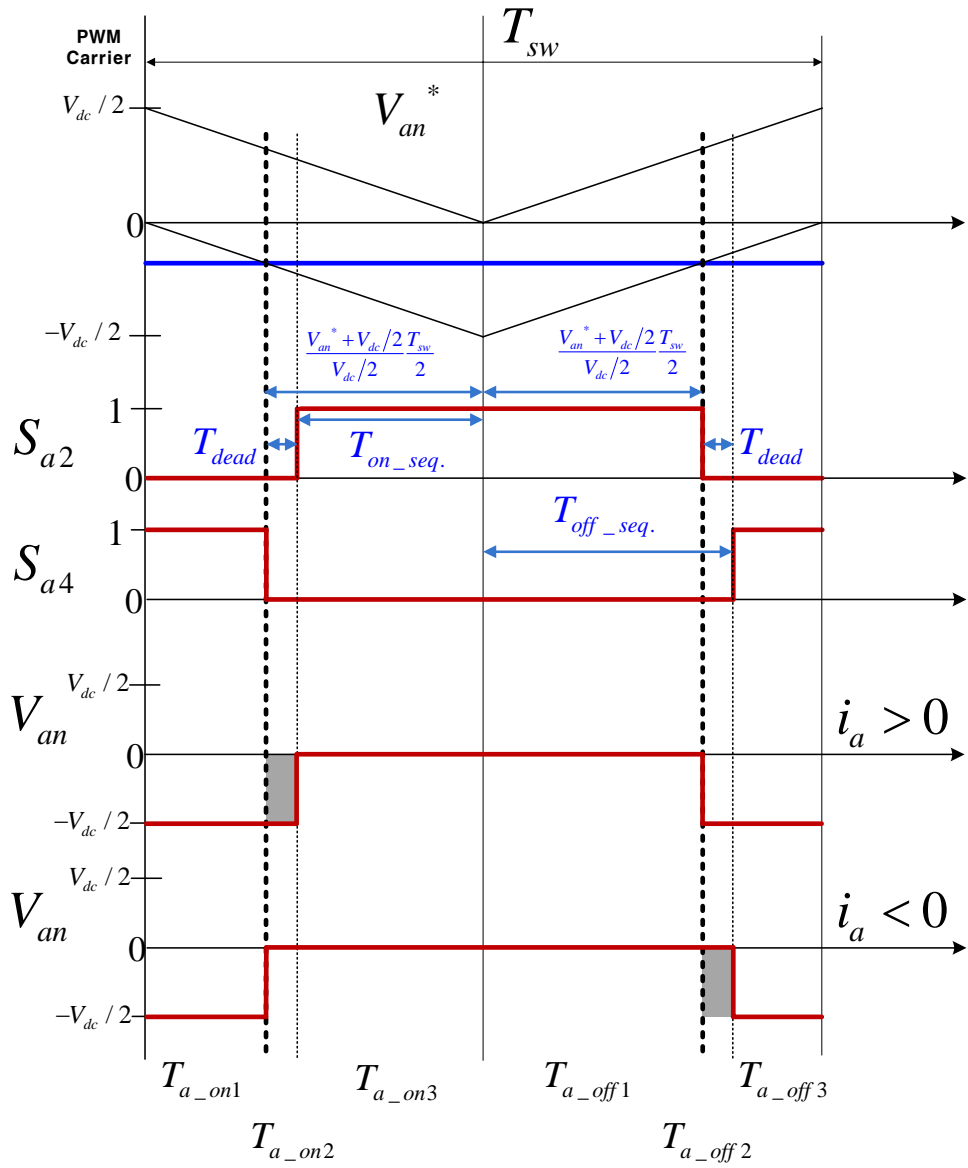


그림 3.10 3레벨 토폴로지의 영역 F에서 극 전압

Figure 3.10 Pole voltage synthesize in range 'F' in 3 level topology

(b) $-192V < V_{an}^* < -184V$ (G 영역)

그림 3.11의 파형이 이 영역에 해당된다. 이 영역에서는 F영역과 다르게 T_{a_on3} 에 해당하는 영역이 존재하지 않는다. 그리고 데드 타임에 해당하는 영역 T_{a_on2} 가 오프 시퀀스 (Off-sequence)로 넘어가게 된다. 넘어간 데드 타임만큼 T_{a_off0} 이 새로 생겨나게 된다.

$$T_{a_on2} + T_{a_off0} = T_{dead} . \quad (3.56)$$

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} - V_{an_off0_avg}) \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) + (V_{an_off0_avg} + V_{an_off2_avg} + \frac{V_{dc}}{2}) T_{dead} \} . \quad (3.57)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = -\frac{V_{dc}}{2}, V_{an_off0_avg} = -\frac{V_{dc}}{2}, -\frac{V_{dc}}{2} \leq V_{an_off2_avg} < 0 \quad (i_a \geq 0) . \quad (3.58)$$

$$-\frac{V_{dc}}{2} < V_{an_on2_avg} \leq V_{an_off0_avg} \leq 0, V_{an_off2_avg} = 0 \quad (i_a < 0) . \quad (3.59)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_off2_avg}) T_{dead} \} \quad (i_a \geq 0) . \quad (3.60)$$

$$\begin{aligned}
V_{an_avg} = & V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} - V_{an_off0_avg}) \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \\
& + (V_{an_off0_avg} + \frac{V_{dc}}{2}) T_{dead} \} \quad (i_a < 0).
\end{aligned}
\tag{3.61}$$

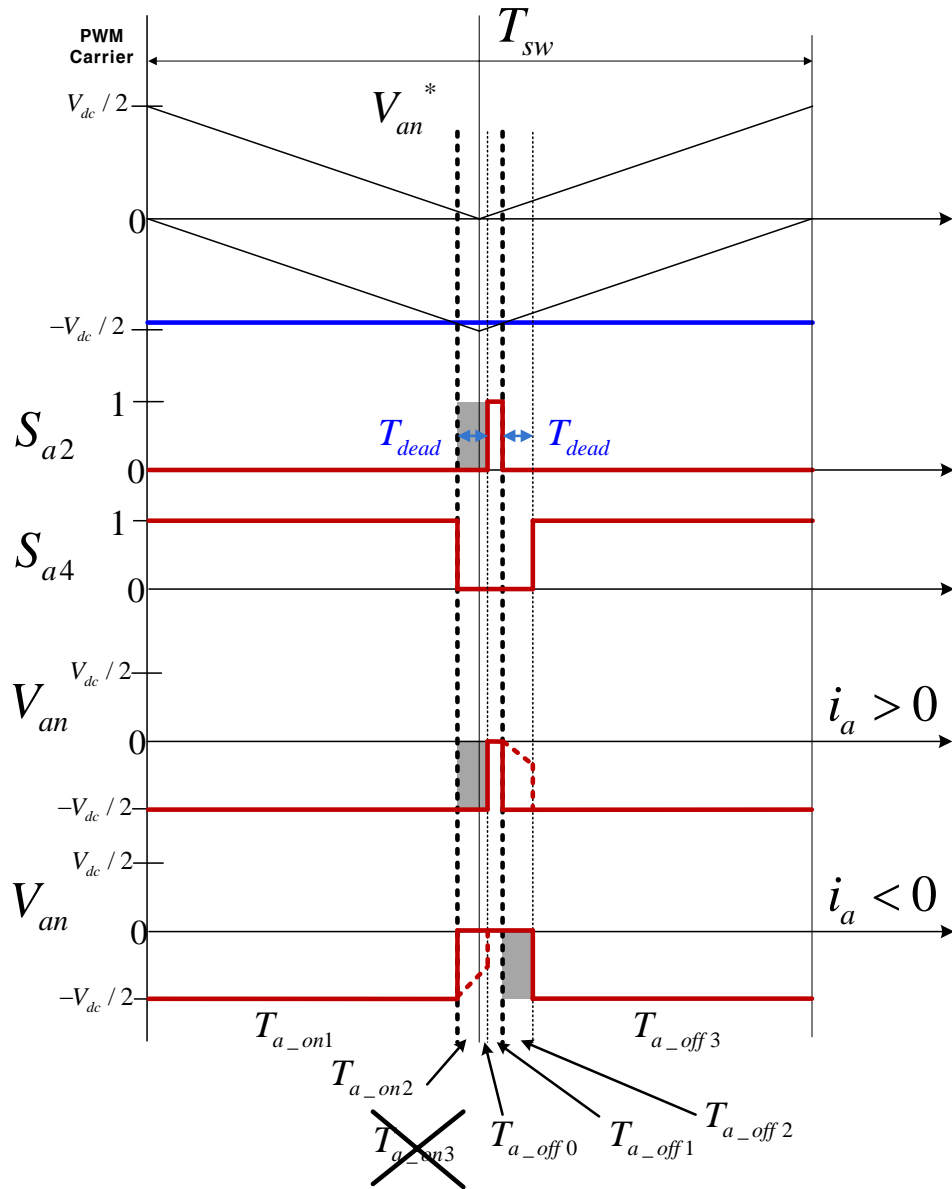


그림 3.11 3레벨 토폴로지의 영역 G에서 극 전압

Figure 3.11 Pole voltage synthesize in range 'G' in 3 level topology

(c) $-200V < V_{an}^* < -192V$ (H 영역)

그림 3.12의 파형이 이 영역에 해당된다. 이 영역에서는 G영역과 다르게 T_{a_off1} 에 해당하는 영역이 존재하지 않는다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} + V_{an_off0_avg}) \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) + (V_{an_off2_avg} + \frac{V_{dc}}{2}) T_{dead} \} \quad (3.62)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = -\frac{V_{dc}}{2}, V_{an_off0_avg} = -\frac{V_{dc}}{2}, V_{an_off2_avg} = -\frac{V_{dc}}{2} \quad (i_a \geq 0). \quad (3.63)$$

$$-\frac{V_{dc}}{2} < V_{an_on2_avg} \leq 0, -\frac{V_{dc}}{2} < V_{an_off0_avg} \leq 0, -\frac{V_{dc}}{2} < V_{an_off2_avg} \leq 0 \quad (i_a < 0). \quad (3.64)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = -\frac{V_{dc}}{2} \quad (i_a \geq 0). \quad (3.65)$$

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} + V_{an_off0_avg}) \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) + (V_{an_off2_avg} + \frac{V_{dc}}{2}) T_{dead} \} \quad (i_a < 0). \quad (3.66)$$

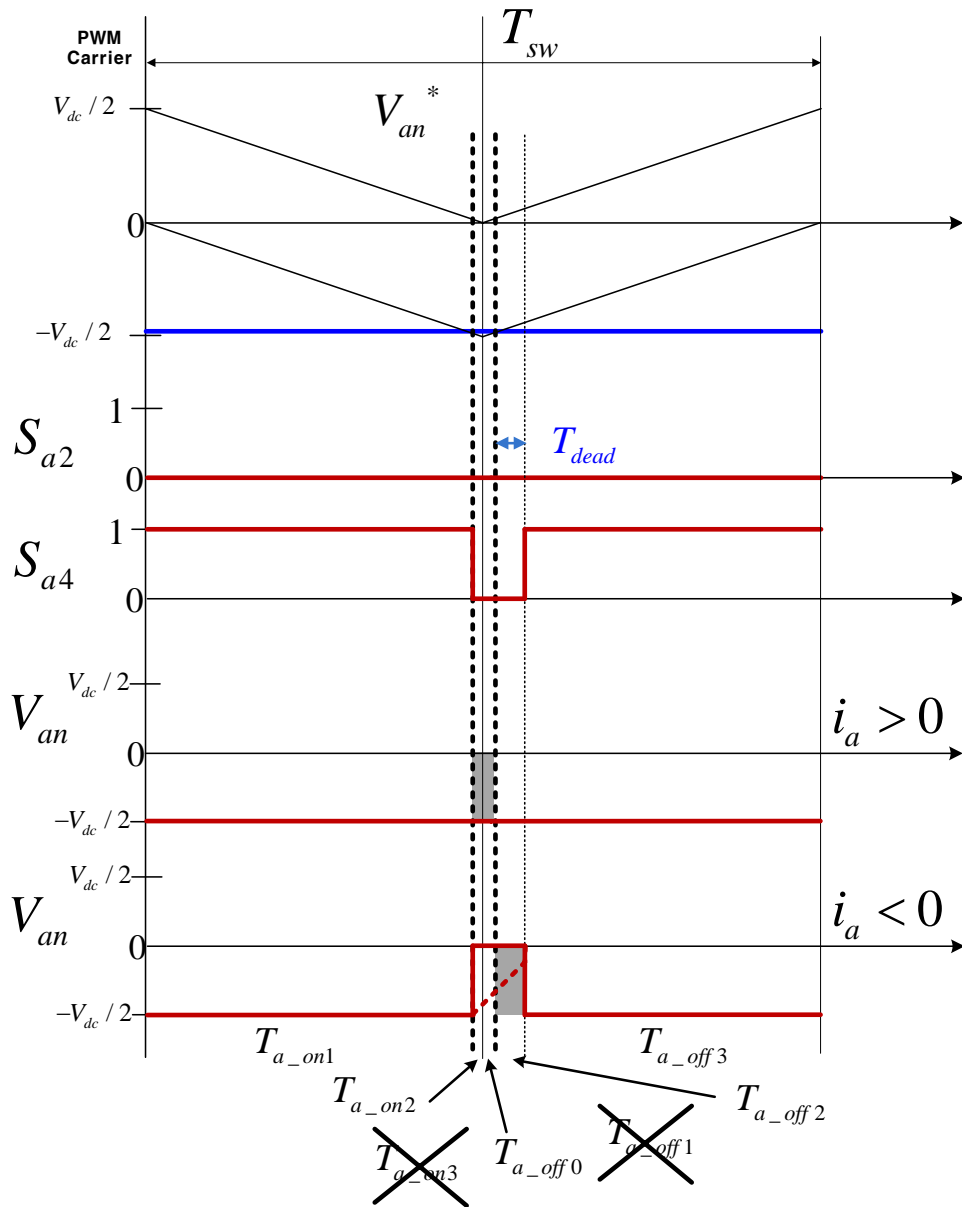


그림 3.12 3레벨 토폴로지의 영역 H에서 극 전압

Figure 3.12 Pole voltage synthesize in range 'H' in 3 level topology

(d) $-16V < V_{an}^* < -8V$ (I 영역)

그림 3.13의 파형이 이 영역에 해당된다. 이 영역에서는 F영역과 다르게 T_{a_off3} 에 해당하는 영역이 존재하지 않는다. 그리고 데드 타임에 해당하는 영역 T_{a_off2} 가 온 시퀀스 (On-sequence)로 넘어가게 된다. 남은 데드 타임만큼 T_{a_on0} 이 새로 생겨나게 된다.

$$T_{a_off2} + T_{a_on0} = T_{dead} . \quad (3.67)$$

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on0_avg} + V_{an_on2_avg} + \frac{V_{dc}}{2}) T_{dead} + (V_{an_on0_avg} - V_{an_off2_avg}) \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right\} . \quad (3.68)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$-\frac{V_{dc}}{2} \leq V_{an_on0_avg} \leq V_{an_off2_avg} < 0, \quad V_{an_on2_avg} = -\frac{V_{dc}}{2} \quad (i_a \geq 0) . \quad (3.69)$$

$$V_{an_on0_avg} = 0, \quad -\frac{V_{dc}}{2} < V_{an_on2_avg} \leq 0, \quad V_{an_off2_avg} = 0 \quad (i_a < 0) . \quad (3.70)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on0_avg}) T_{dead} + (V_{an_on0_avg} - V_{an_off2_avg}) \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right\} \quad (i_a \geq 0) . \quad (3.71)$$

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} + \frac{V_{dc}}{2}) T_{dead} \} \quad (i_a < 0). \quad (3.72)$$

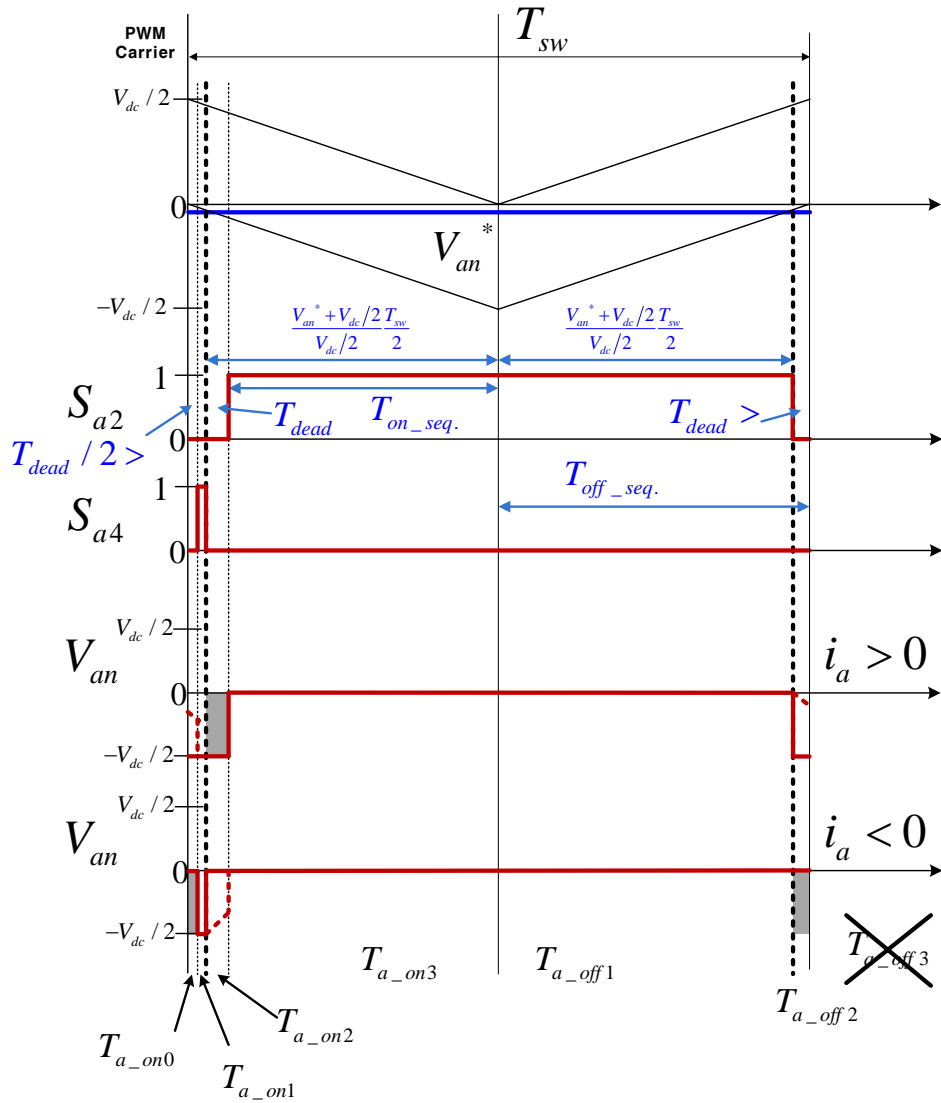


그림 3.13 3레벨 토폴로지의 영역 I에서 극 전압

Figure 3.13 Pole voltage synthesize in range 'I' in 3 level topology

(e) $-8V < V_{an}^* < 0V$ (J 영역)

그림 3.14의 파형이 이 영역에 해당된다. 이 영역에서는 I영역과 다르게 T_{a_on1} 에 해당하는 영역이 존재하지 않는다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = \frac{1}{T_{sw}} \{ (V_{an_on0_avg} + V_{an_off2_avg}) \left(-\frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) + V_{an_on2_avg} (T_{dead}) \} \quad (3.73)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$-\frac{V_{dc}}{2} \leq V_{an_off2_avg} \leq V_{an_on0_avg} \leq V_{an_on2_avg} < 0 \quad (i_a \geq 0). \quad (3.74)$$

$$V_{an_on0_avg} = V_{an_on2_avg} = V_{an_off2_avg} = 0 \quad (i_a < 0). \quad (3.75)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = \frac{1}{T_{sw}} \{ (V_{an_on0_avg} + V_{an_off2_avg}) \left(-\frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) + V_{an_on2_avg} (T_{dead}) \} \quad (i_a \geq 0). \quad (3.76)$$

$$V_{an_avg} = 0 \quad (i_a < 0). \quad (3.77)$$

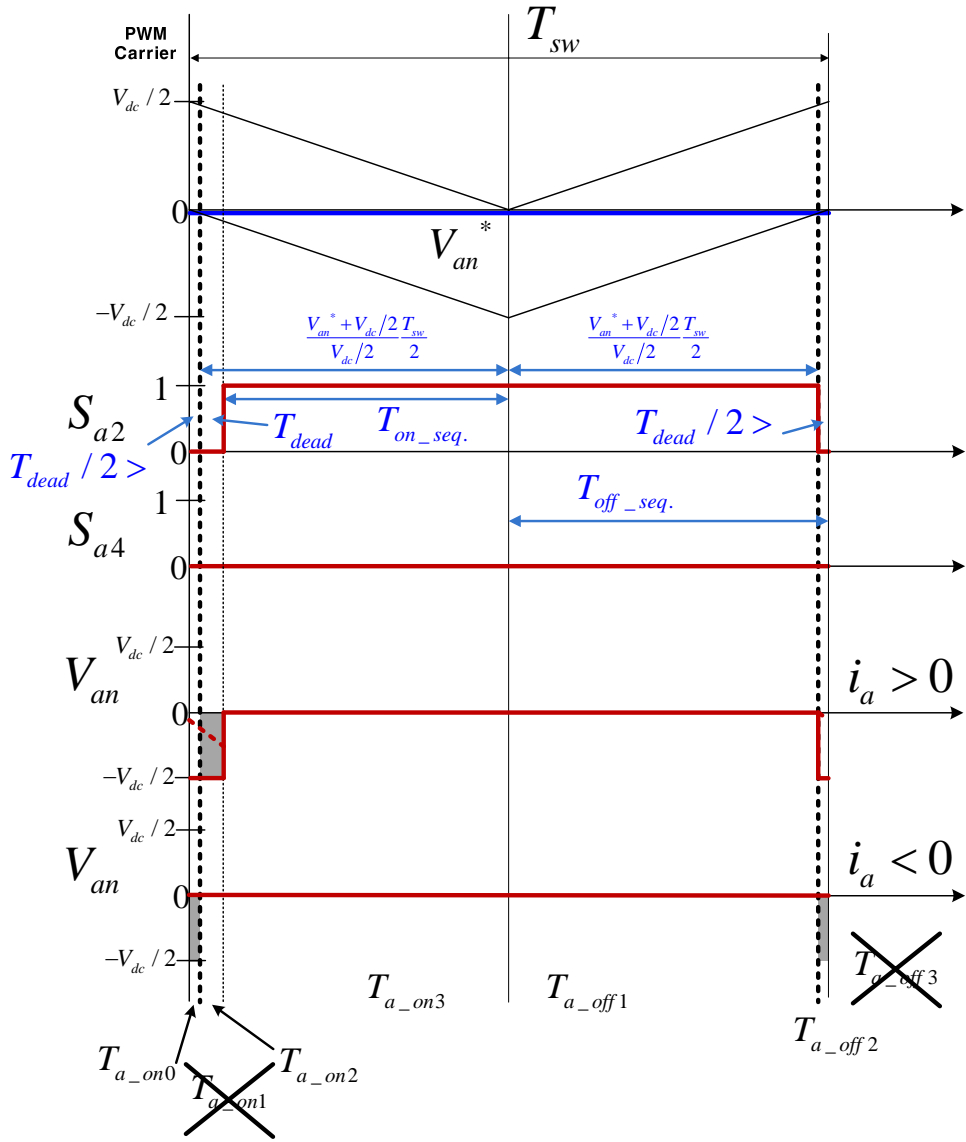


그림 3.14 3레벨 토폴로지의 영역 J에서 극 전압

Figure 3.14 Pole voltage synthesise in range 'J' in 3 level topology

위에서 살펴본 영역별 분석을 기반으로 지령 극 전압과 출력 극 전압의 관계를 살펴보면 그림 3.15와 같다.

그림 3.15를 보면, 지령 극 전압이 $V_{dead} < V_{xn}^* < (\frac{V_{dc}}{2} - V_{dead})$,
 $(-\frac{V_{dc}}{2} + V_{dead}) < V_{xn}^* < -V_{dead}$ 의 조건 일 때는 전류가 양일 때는 출력 극 전압이 항상 지령 극 전압보다 작고, 전류가 음일 때는 출력 극 전압이 항상 지령 극 전압보다 크다. $-\frac{V_{dc}}{2} < V_{xn}^* < (-\frac{V_{dc}}{2} + V_{dead})$ 에서는 전류가 양일 때는 항상 출력 극 전압이 $-\frac{V_{dc}}{2}$ 이지만, 전류가 음일 때는 전류의 크기에 따라 출력 극 전압의 크기가 지령 극 전압의 크기보다 크기도 하고, 작기도 하다. $-V_{dead} < V_{xn}^* < 0$ 에서는 전류가 음일 때는 0V이지만, 양일 때는 전류의 크기에 따라 출력 극 전압의 크기가 지령 전압보다 크기도 하고, 작기도 하다. $0 < V_{xn}^* < V_{dead}$ 에서는 전류가 양 일 때 0V이지만, 전류가 음일 때는 전류의 크기에 따라 출력 극 전압의 크기가 지령 전압보다 크기도 하고, 작기도 하다. 마지막으로 $(\frac{V_{dc}}{2} - V_{dead}) < V_{xn}^* < \frac{V_{dc}}{2}$ 에서 전류가 음일 때는 항상 $\frac{V_{dc}}{2}$ 이지만, 전류가 양일 때는 전류의 크기에 따라 출력 극 전압의 크기가 지령 전압보다 크기도 하고, 작기도 하다.

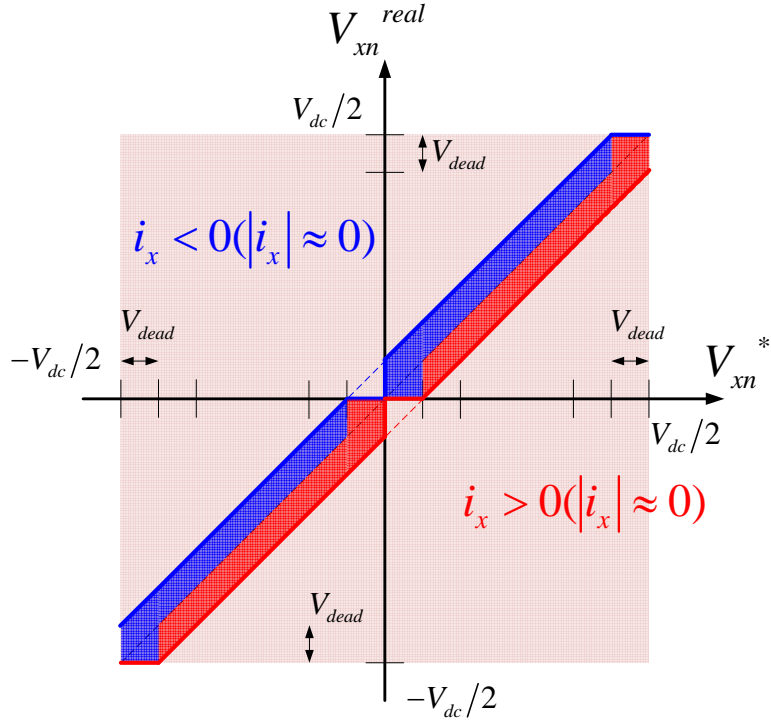


그림 3.15 지령 극 전압 vs. 출력 극 전압 ($|i_x| \approx 0$)

Figure 3.15 Pole voltage reference vs. output pole voltage
($|i_x| \approx 0$)

그림 3.16은 전류의 절대 값의 크기가 클 때의 지령 극 전압과 출력 극 전압의 관계를 보여주고 있다. 이 그림을 보면, 전류가 음일 때는 지령 극 전압이 어떤 값을 가지더라도 아래와 같은 전압은 만들어 줄 수 없음을 알 수 있다.

$$0 < V_{xn}^{real} < V_{dead}, \quad -\frac{V_{dc}}{2} < V_{xn}^{real} < \left(-\frac{V_{dc}}{2} + V_{dead}\right). \quad (3.78)$$

또한 전류가 음일 때는 지령 극 전압이 어떠한 값을 가지더라도

아래와 같은 전압은 만들어줄 수 없음을 알 수 있다.

$$-V_{dead} < V_{xn}^{real} < 0, \left(\frac{V_{dc}}{2} - V_{dead}\right) < V_{xn}^{real} < \frac{V_{dc}}{2}. \quad (3.79)$$

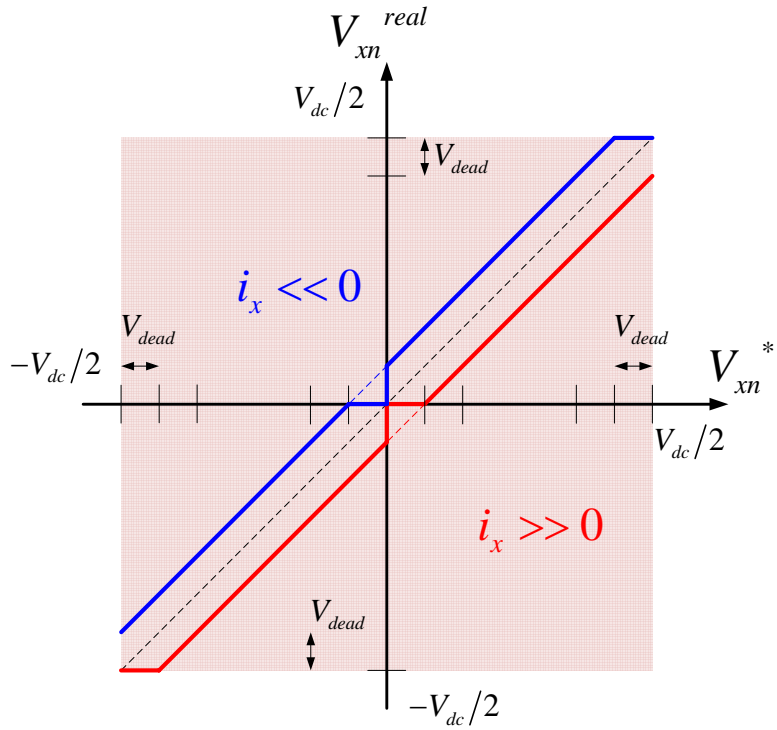


그림 3.16 지령 극 전압 vs. 출력 극 전압 ($|i_x| \gg 0$)

Figure 3.16 Pole voltage reference vs. output pole voltage
($|i_x| \gg 0$)

3.1.2 3레벨 토폴로지의 데드 타임 보상

식 (3.78), (3.79)를 보면 합성하지 못하는 출력 극 전압은 2레벨 토폴로지와 마찬가지로 극 전압 지령 전압이 $\pm \frac{V_{dc}}{2}$ 에 가까운 경우 [65, 66]가 있고, 3레벨 토폴로지에서는 추가적으로 0V 전압 부근의 전압도 존재함을 알 수 있다.

그림 3.17은 극 전압 지령 전압의 크기가 작고, 데드 타임 보상을 하지 않았을 때의 지령 극 전압과 평균 출력 극 전압 파형이다. 전류가 음일 때 극 전압 지령 보다 V_{dead} 만큼 큰 출력 극 전압이 보이고, 전류가 양으로 바뀌면서 V_{dead} 만큼 작은 출력 극 전압이 보이게 된다.

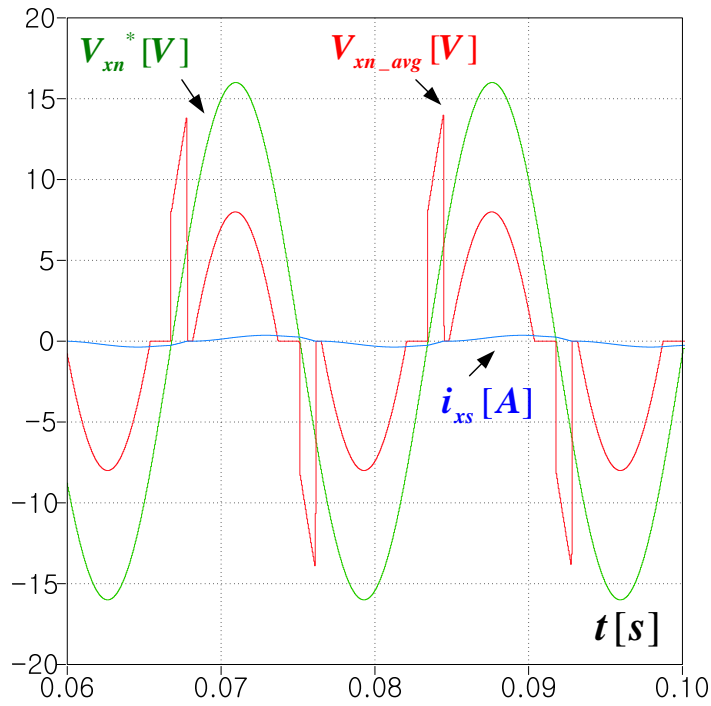


그림 3.17 데드 타임 보상 전 지령 극 전압, 평균 출력 극 전압, 상 전류

Figure 3.17 Pole voltage reference, average output pole voltage, phase current without dead-time compensation method

그림 3.18은 그림 3.17의 FFT 결과이다. 평균 출력 전압의 FFT 결과를 보면 기본파 성분의 크기도 지령보다 많이 작아진 것을 볼 수 있고, 고조파 성분도 많이 포함된 것을 볼 수 있다.

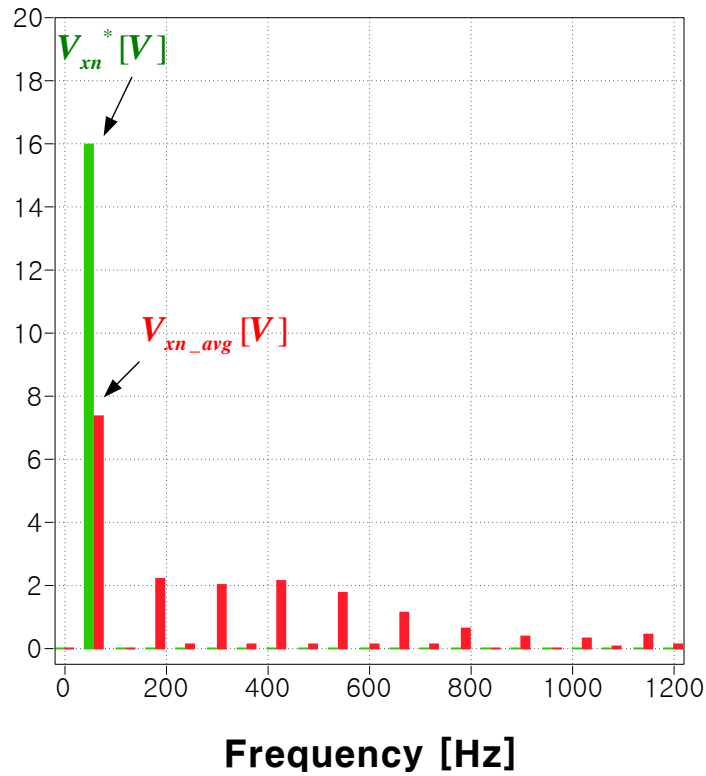


그림 3.18 그림 3.17의 FFT 결과

Figure 3.18 FFT of waveforms in Figure 3.17

그림 3.16의 파형을 온 시퀀스 (On-sequence)와 오프 시퀀스 (Off-sequence)로 나누어 살펴볼 수 있다. 여기서 온 시퀀스, 오프 시퀀스는 시간상 스위칭 주기의 반에 해당하는 시간 동안을 의미한다. 온 시퀀스는 스위치가 꺼져 있는 상태에서 켜지는 상태로 변하는 시기를 의미하고, 오프 시퀀스는 스위치가 켜져 있다가 꺼지는 상태로 변하는 시기를 의미한다. 편의상 온 시퀀스는 PWM 삼각파가 하강하는 시기, 오프 시퀀스는 PWM 삼각파가 상승하는 시기라 생각할 수 있다.

먼저 전류가 양일 때를 살펴보면 그림 3.19와 같다.

지령 전압이 양인 경우에 온 시퀀스에서는 지령 극 전압의 크기가 어떤 크기 ($2V_{dead}$) 이상의 전압부터는 출력 극 전압을 0V부터 합성이 가능하다. 지령 극 전압이 음인 경우에는 오프 시퀀스에서 지령 극 전압 그대로 출력 극 전압을 0V부터 합성이 가능하다.

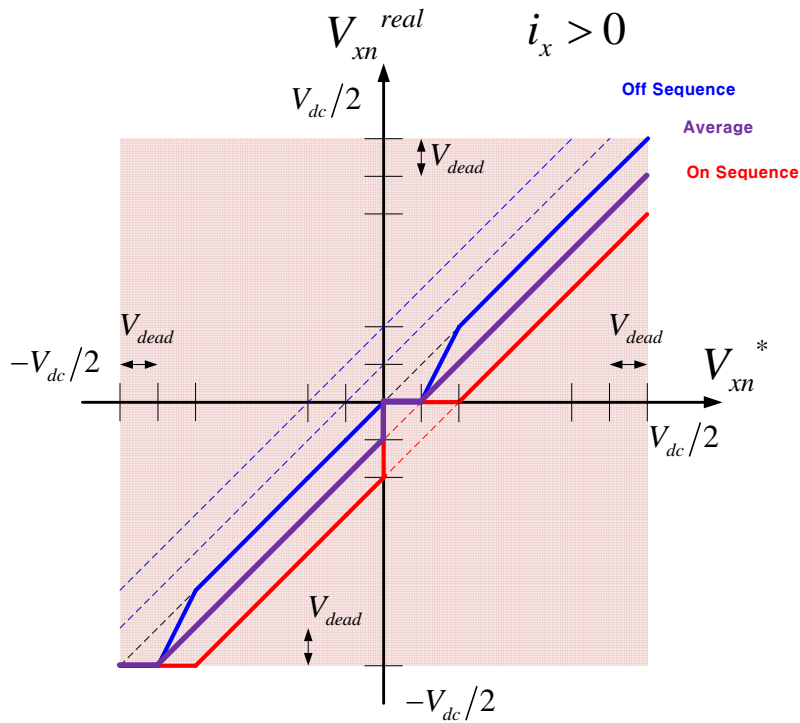


그림 3.19 지령 극 전압 vs. 출력 극 전압 ($i_x \gg 0$)

Figure 3.19 Pole voltage reference vs. output pole voltage
($i_x \gg 0$)

다음으로 전류가 음일 때를 살펴보면 그림 3.20과 같다. 지령 전압이 양인 경우에 온 시퀀스에서 지령 극 전압 그대로 0V부터 출력 극 전압을 출력 할 수 있다. 지령 전압이 음인 경우에는 지령 극 전압의 크기가 어떤 크기 이하의 전압 ($-2V_{dead}$)에서는 일정한 기울기를 가지고 출력 극 전압을 0V부터 합성이 가능하다.

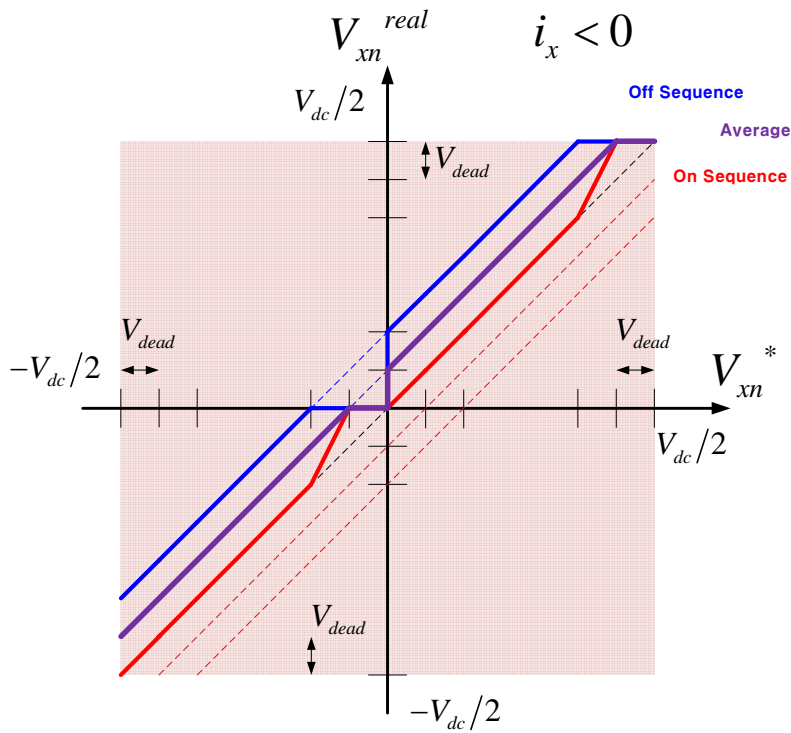


그림 3.20 지령 극 전압 vs. 출력 극 전압 ($i_x \ll 0$)

Figure 3.20 Pole voltage reference vs. output pole voltage
($i_x \ll 0$)

그림 3.19, 그림 3.20의 분석을 통해서 제어기의 출력인 초기 극 전압 지령은 싱글 샘플링 (Single sampling) 주기에 맞춰 업데이트 (Update)를 해주고, 실제 스위칭에 사용된 최종 극 전압 지령의 업데이트는 더블 샘플링 (Double sampling)에 맞춰 적절하게 변경하여 업데이트를 해주면 저 전압에서의 왜곡을 줄이면서 스위칭 한 주기 동안 초기 극 전압 지령과 같은 전압을 합성해줄 수 있다.

만약 싱글 샘플링에 맞춰 생성된 극 전압 지령이 V_{an}^* 이라고 하면, 일반적인 경우에는 더블 샘플링에 맞춰 생성된 온 시퀀스, 오프 시퀀스 최종 극 전압 지령은 각각 아래와 같다고 할 수 있다.

$$\begin{cases} V_{an_on}^* = V_{an}^* \\ V_{an_off}^* = V_{an}^* \end{cases} \quad (3.80)$$

하지만, 그림 3.19, 그림 3.20을 보면 0V 전압 근처에서 온 시퀀스나 오프 시퀀스에서 전압 왜곡이 발생하게 된다. 이와 같이 왜곡된 전압을 보상하기 위해서 지령을 아래 표 3.1과 같이 보정해줄 수 있다. 이와 같은 보상 방법을 데드 타임 보상 법1 (Dead-Time Compensation Method1, DTCM1)이라고 부르기로 한다.

표 3.1 저 전압 조건에서의 데드 타임 영향을 억제하기 위한 보정된
극 전압 지령 (DTCM1)

Table 3.1 Modified pole voltage references for dead-time
compensation in low voltage condition (DTCM1)

전류	$i_a >> 0$		$i_a << 0$	
전압	$V_{an}^* \geq 0$	$V_{an}^* < 0$	$V_{an}^* \geq 0$	$V_{an}^* < 0$
영역	A	B	C	D
$V_{an_on}^*$	$2V_{an}^* + 2V_{dead}$	0	$2V_{an}^*$	0
$V_{an_off}^*$	0	$2V_{an}^*$	0	$2V_{an}^* - 2V_{dead}$
$V_{an_on_avg}$	$2V_{an}^*$	0	$2V_{an}^*$	0
$V_{an_off_avg}$	0	$2V_{an}^*$	0	$2V_{an}^*$

이 방법은 스위칭 주기 동안 극 전압 지령이 V_{an}^* 이라고 할 때, 온 시퀀스, 오프 시퀀스 중 전압을 합성할 수 없는 영역에서는 0V 전압이 나가도록 하고, 나머지 영역에서는 $2V_{an}^*$ 를 합성할 수 있도록 해서 전체 스위칭 주기 동안 평균적으로 V_{an}^* 이 출력되도록 하는 것이다.

전류와 극 전압 지령의 극성에 따라 크게 4가지 영역으로 나눌 수 있는데, 먼저 극 전압 지령도 양이고, 전류도 양일 경우 (A영역)에 오프 시퀀스에서 출력 전압이 제대로 합성되지 않기 때문에 오프 시퀀스에서는 0V 전압($V_{an_off_avg}$)을 합성하도록 하고, 온 시퀀스에서 $2V_{an}^*$ 만큼의

전압 ($V_{an_on_avg}$)을 합성하도록 한다. 따라서 오프 시퀀스의 지령 전압 ($V_{an_off}^*$)은 0V가 되고, 온 시퀀스의 전압 지령 ($V_{an_on}^*$)은 $2V_{an}^* + 2V_{dead}$ 가 되면 된다.

다음으로 극 전압 지령은 음이고, 전류는 양일 경우 (B영역)에 온 시퀀스에서 출력 전압이 제대로 합성되지 않기 때문에 온 시퀀스에서는 0V 전압($V_{an_on_avg}$)을 합성하도록 하고, 오프 시퀀스에서 $2V_{an}^*$ 만큼의 전압 ($V_{an_off_avg}$)을 합성하도록 한다. 따라서 온 시퀀스의 지령 전압 ($V_{an_on}^*$)은 0V가 되고, 온 시퀀스의 전압 지령 ($V_{an_off}^*$)은 $2V_{an}^*$ 가 되면 된다.

다음으로 극 전압 지령은 양이고, 전류는 음일 경우 (C영역)에 오프 시퀀스에서 출력 전압이 제대로 합성되지 않기 때문에 오프 시퀀스에서는 0V 전압($V_{an_off_avg}$)을 합성하도록 하고, 온 시퀀스에서 $2V_{an}^*$ 만큼의 전압 ($V_{an_on_avg}$)을 합성하도록 한다. 따라서 오프 시퀀스의 지령 전압 ($V_{an_off}^*$)은 0V가 되고, 온 시퀀스의 전압 지령 ($V_{an_on}^*$)은 $2V_{an}^*$ 가 되면 된다.

마지막으로 극 전압 지령도 음이고, 전류도 음일 경우 (D영역)에 오프 시퀀스에서 출력 전압이 제대로 합성되지 않기 때문에 온 시퀀스에서는 0V 전압($V_{an_on_avg}$)을 합성하도록 하고, 오프 시퀀스에서 $2V_{an}^*$ 만큼의 전압 ($V_{an_off_avg}$)을 합성하도록 한다. 따라서 온 시퀀스의 지령 전압 ($V_{an_on}^*$)은 0V가 되고, 오프 시퀀스의 전압 지령 ($V_{an_off}^*$)은 $2V_{an}^* - 2V_{dead}$ 가 되면 된다.

그림 3.21은 표 3.1과 같은 DTCM1 방법을 적용 했을 때의 지령 극 전압과 평균 출력 극 전압의 파형이다. 이때, A, D 영역에서는 제대로 보상이 되었으나, B, C 영역에서는 여전히 보상이 제대로 되지 않은 것을 볼 수 있다.

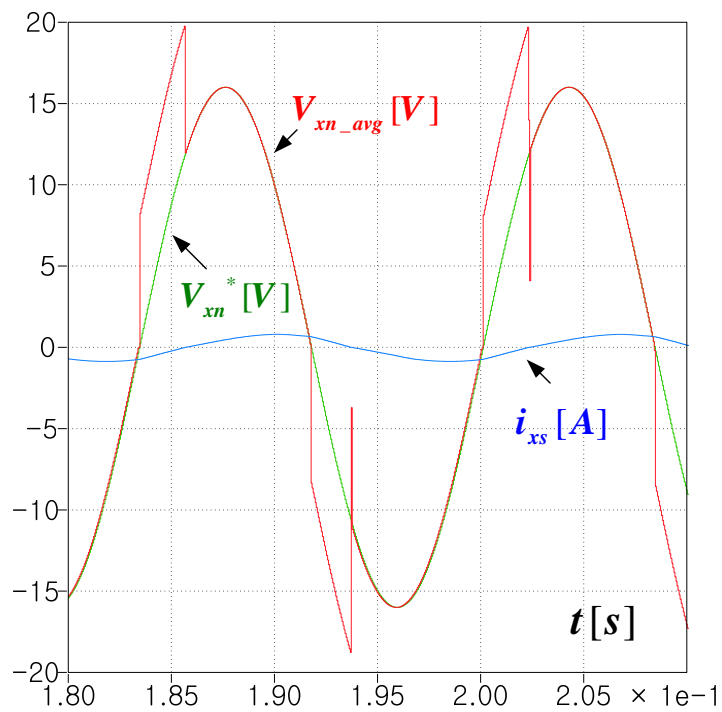


그림 3.21 DTCM1 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류

Figure 3.21 Pole voltage reference, average output pole voltage, phase current with DTCM1

그림 3.22는 그림 3.21의 지령 극 전압과 평균 출력 극 전압의 FFT 결과이다. DTCM1을 적용 했음에도 B, C영역에서의 보상 오류로 그림 3.18의 결과에 비해 고조파 성분은 줄어들었지만, 아직 많은 저차 고조파가 함유된 것을 볼 수 있다.

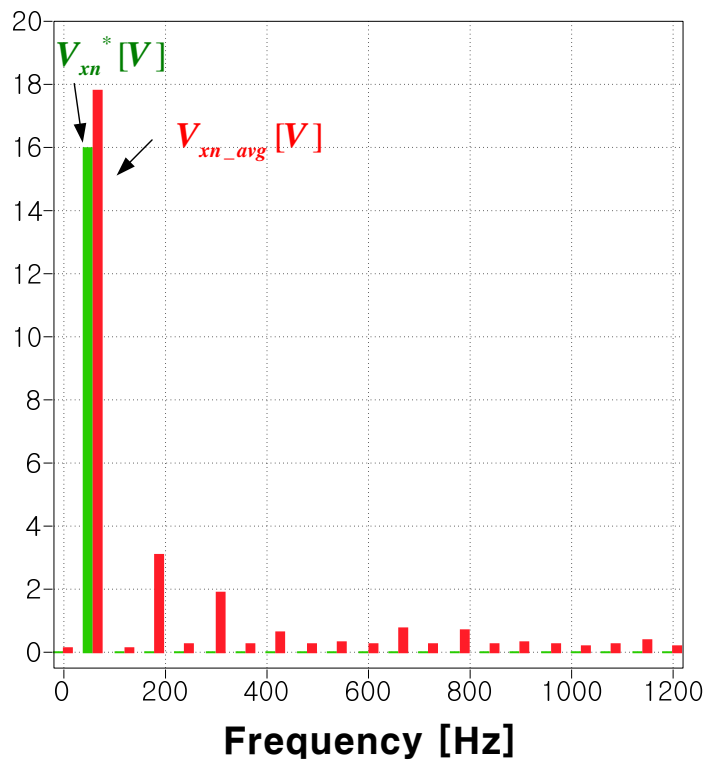


그림 3.22 DTCM1 적용 시 지령 극 전압, 평균 출력 극 전압의 FFT

Figure 3.22 FFT of pole voltage reference, average output pole voltage with DTCM1

그림 3.23과 그림 3.24는 DTCM1을 적용 했을 때, 각각 A영역과 D영역에서의 스위칭 패턴과 극 전압을 보여주고 있다. 온 시퀀스, 오프 시퀀스에서 각각 의도한대로 전압이 합성 되는 것을 볼 수 있다.

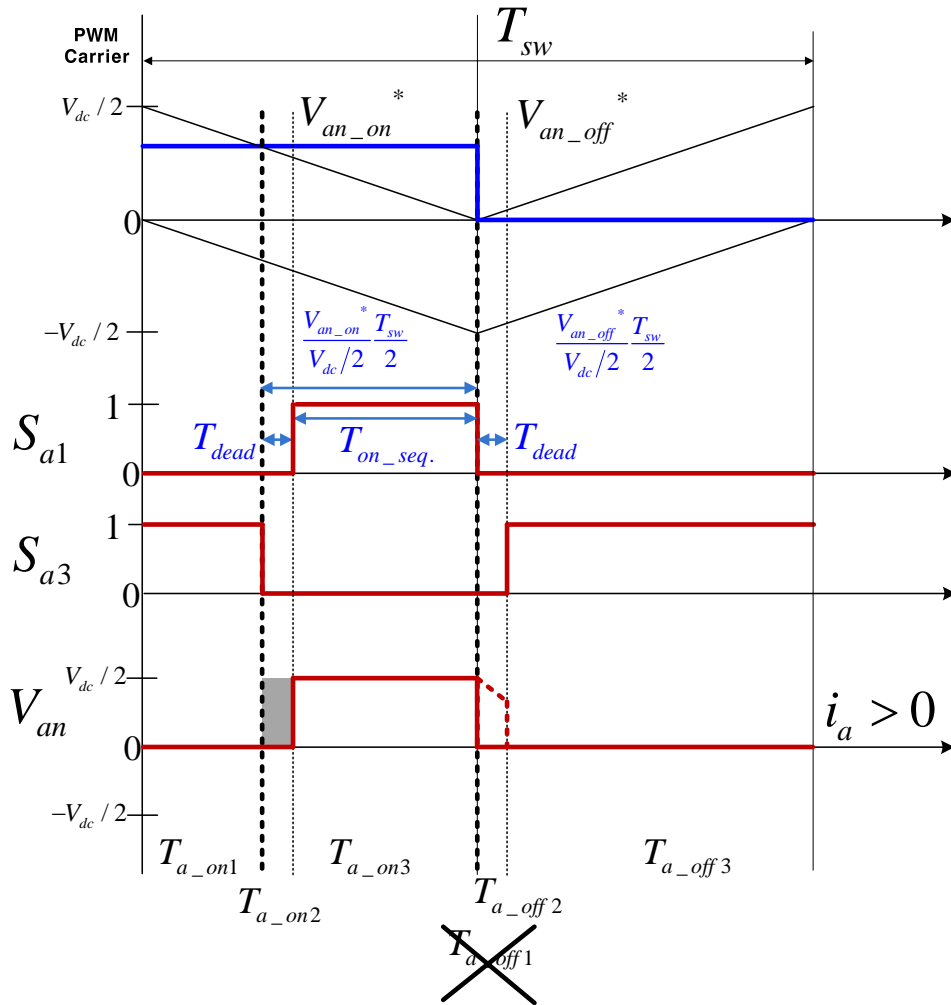


그림 3.23 DTCM1 의 영역 A에서 전압 합성

Figure 3.23 3 Pole voltage synthesize in range 'A' in DTCM1

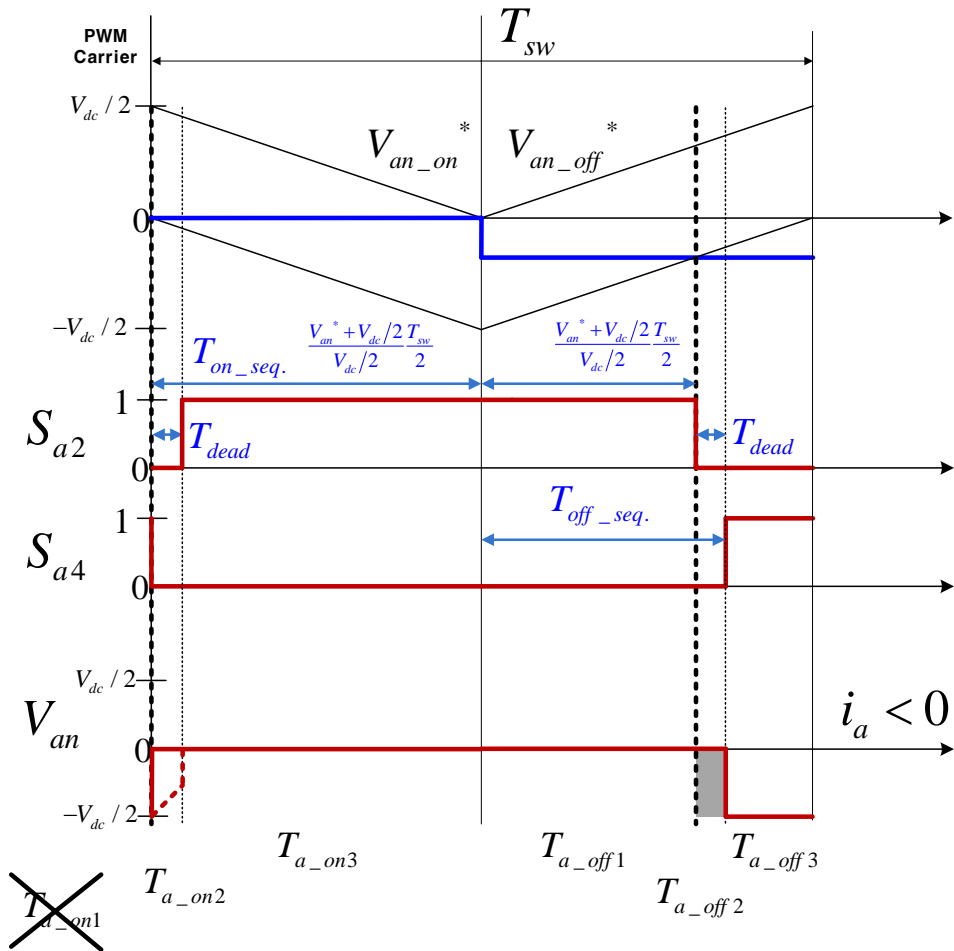


그림 3.24 DTCM1의 영역 D에서 전압 합성

Figure 3.24 Pole voltage synthesise in range 'D' in DTCM1

그림 3.25는 DTCM1의 영역 B일 때의 파형이다. 오프 시퀀스에서는 원하는 전압이 합성이 되나, 온 시퀀스에서 원하는 전압이 0V임에도 불구하고, 데드 타임의 영향으로 불가피하게 $-2V_{dead}$ 전압이 합성되는 것을 볼 수 있다.

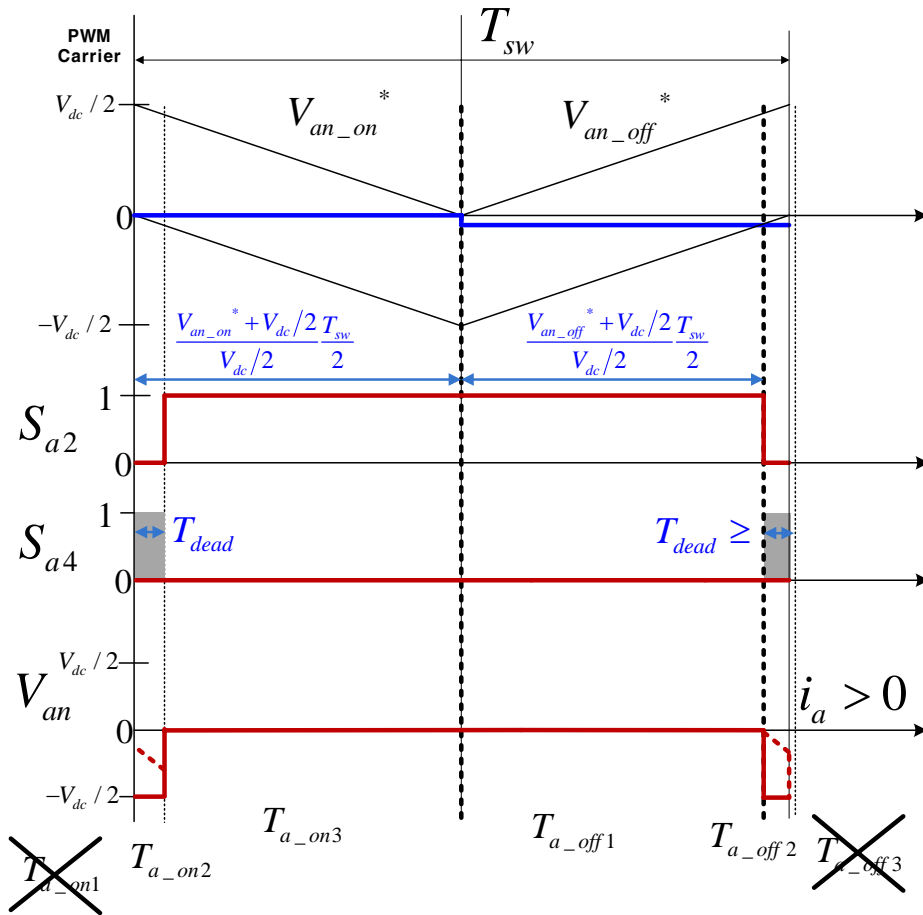


그림 3.25 DTCM1의 영역 B에서 전압 합성

Figure 3.25 Pole voltage synthesise in range 'B' in DTCM1

그림 3.26은 DTCM1 의 영역 C 일 때의 파형이다. 온 시퀀스에서는 원하는 전압이 합성이 되나, 오프 시퀀스에서 원하는 전압이 0V이지만 데드 타임의 영향으로 $2V_{dead}$ 전압이 불가피하게 합성되는 것을 볼 수 있다.

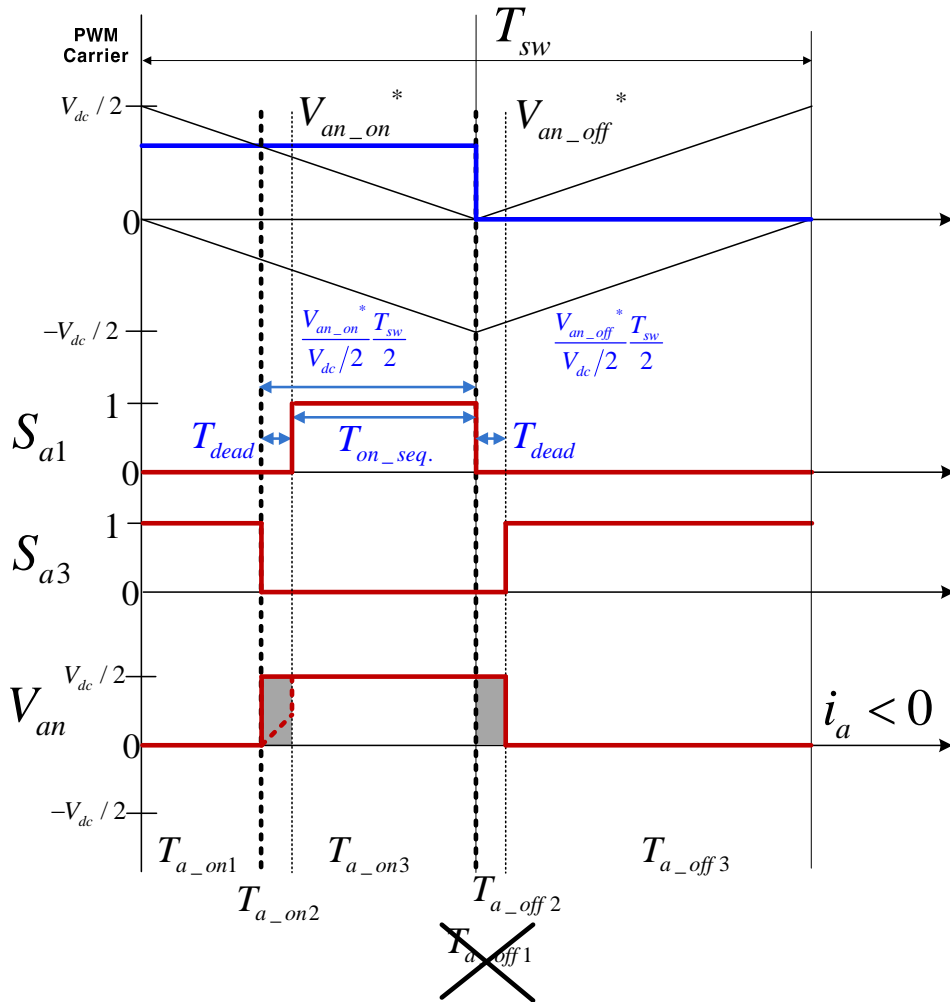


그림 3.26 DTCM1 의 영역 C에서 전압 합성

Figure 3.26 Pole voltage synthesize in range 'C' in DTCM1

그림 3.25, 그림 3.26의 과형에서 볼 수 있듯이 B, C영역에서는 표 3.1에서의 최종 극 전압 지령으로는 데드 타임 보상이 되지 않는다. 따라서 표 3.2와 같은 보상 방법으로 지령 전압을 변경해준다. 이러한 보상 방법을 데드 타임 보상 방법 2 (Dead-Time Compensation Method2, DTCM2)라고 부르기로 한다.

표 3.2 저 전압 조건에서의 데드 타임 영향을 억제하기 위한 최종 극 전압 지령 (DTCM2)

Table 3.2 Modified pole voltage references for dead-time compensation in low voltage condition (DTCM2)

전류	$i_a \gg 0$		$i_a \ll 0$	
전압	$V_{an}^* \geq 0$	$V_{an}^* < 0$	$V_{an}^* \geq 0$	$V_{an}^* < 0$
영역	A	B	C	D
$V_{an_on}^*$	$2V_{an}^* + 2V_{dead}$	$2V_{an}^*$	$-4V_{dead}$	0
$V_{an_off}^*$	0	$4V_{dead}$	$2V_{an}^*$	$2V_{an}^* - 2V_{dead}$
$V_{an_on_avg}$	$2V_{an}^*$	$2V_{an}^* - 2V_{dead}$	$-2V_{dead}$	0
$V_{an_off_avg}$	0	$2V_{dead}$	$2V_{an}^* + 2V_{dead}$	$2V_{an}^*$

B영역에서는 온 시퀀스에서 $2V_{an}^*$ 의 지령을 주더라도 $-2V_{dead}$ 의 왜곡이 발생하므로, 이 왜곡을 보상하기 위해 오프 시퀀스에서 $2V_{dead}$ 의 출력 전압이 나오도록 지령을 만들어 준다. C 영역에서는 오프 시퀀스에서 $2V_{an}^*$ 의 지령을 주더라도 $2V_{dead}$ 의 왜곡이 발생하므로, 이

왜곡을 보상하기 위해 온 시퀀스에서 $-2V_{dead}$ 의 출력 전압이 나오도록
지령을 만들어 준다. DTCM2를 적용했을 때, B 영역, C 영역에서의
파형이 각각 그림 3.27, 그림 3.28에 나와있다.

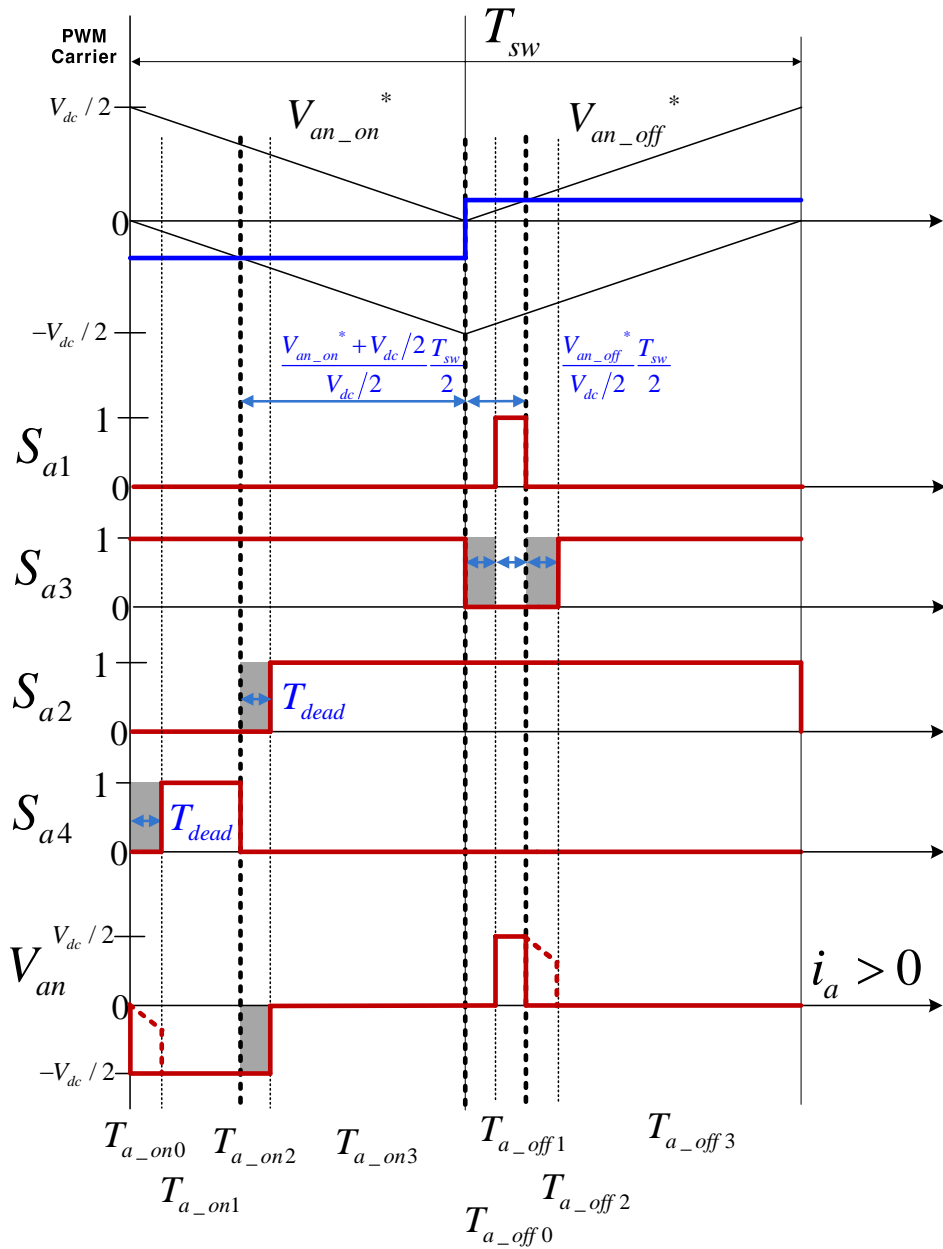


그림 3.27 DTCM2의 영역 B에서 전압 합성

Figure 3.27 Pole voltage synthesize in range 'B' in DTCM2

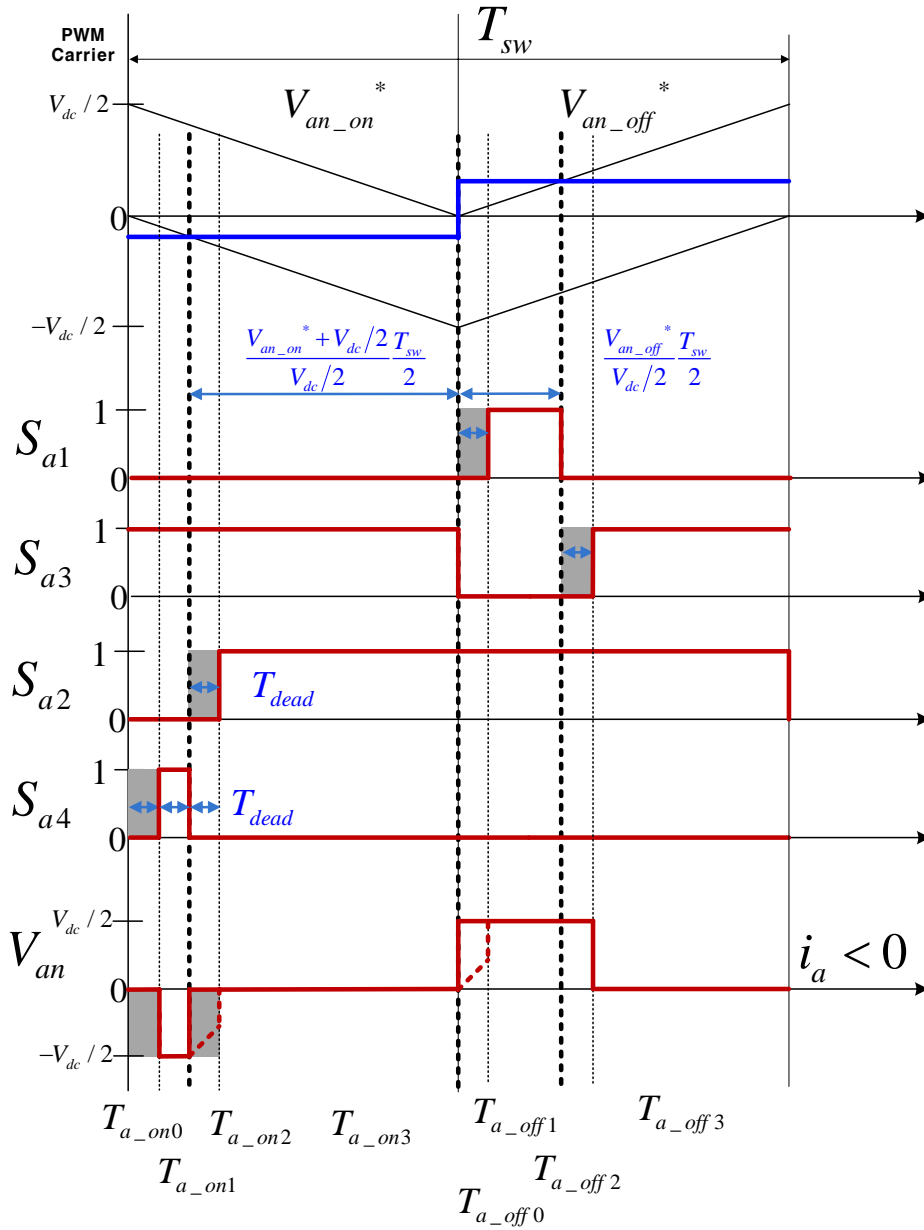


그림 3.28 DTCM2의 영역 C에서 전압 합성

Figure 3.28 Pole voltage synthesise in range 'C' in DTCM2

그림 3.29는 DTCM2를 적용 했을 때의 지령 극 전압과 평균 출력 극 전압의 파형이다. 그림 3.21에서 B, C영역에서는 보상이 제대로 되지 않았으나, 그림 3.29에서는 B, C영역에서도 제대로 보상이 된 것을 볼 수 있다.

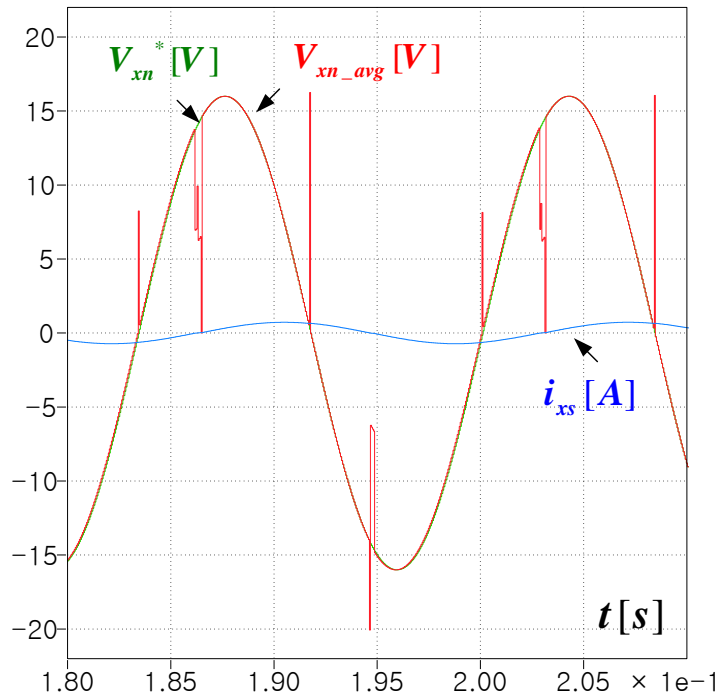


그림 3.29 DTCM2 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류

Figure 3.29 Pole voltage reference, average output pole voltage, phase current with DTCM2

그림 3.30은 그림 3.29의 지령 극 전압과 평균 출력 극 전압의 FFT 결과이다. DTCM2을 적용함으로써 그림 3.22의 결과에 비해 고조파 성분이 크게 줄어든 것을 볼 수 있다.

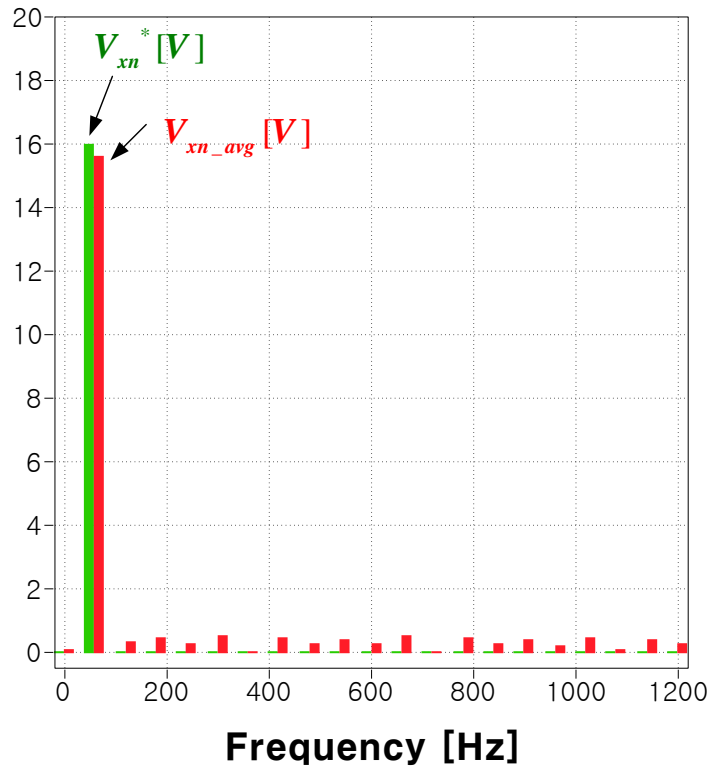


그림 3.30 DTCM2 적용 시 지령 극 전압, 평균 출력 극 전압의 FFT

Figure 3.30 FFT of Pole voltage reference, average output pole voltage with DTCM2

하지만, DTCM2방법은 보통 전류를 측정하는 시점인 삼각파의 최고점, 최저점에서 스위칭을 발생시키므로 전류를 측정하여 제어에 이용하는 시스템의 경우에 스위칭 잡음 (Noise)에 의해 잘못된 전류를 측정할 수 있어서 제대로 된 제어가 안될 수 있다. 따라서 데드 타임 보상이 용이할 수 있도록 지령 극 전압이 0V 부근의 데드 존을 회피할 수 있는 다른 PWM 방법이 필요하다.

3.1.2.1 저 전압 데드 타임의 보상 (AOVPWM, Alternative Offset Voltage PWM) [67]

상 전압의 지령의 최대 값이 작아서 최종 극 전압이 많은 시간 동안 (3.81)과 같이 데드 존 (Dead-zone)에 위치할 경우 최종 극 전압 지령을 데드 존 밖으로 위치 시키는 것이 중요하다.

$$-\frac{V_{dc}}{2} \frac{T_{dead}}{T_{sw}} = -V_{dead} \leq V_{xf}^* \leq V_{dead} = \frac{V_{dc}}{2} \frac{T_{dead}}{T_{sw}}. \quad (3.81)$$

가장 쉽게 생각할 수 있는 방법은 3상 상 전압 지령에 $+\frac{V_{dc}}{4}$ 혹은 $-\frac{V_{dc}}{4}$ 의 오프셋 전압을 추가로 인가하여 최종 극 전압 지령을 전압 왜곡이 심하게 생기는 영역을 피하도록 하는 것이다. 이 방법은 기존 SVPWM 방법과도 함께 사용할 수 있다.

그림 3.31은 상 전압 지령의 크기가 16V이고, 직류단 전압이 400V일 때의 극 전압 지령에 $+\frac{V_{dc}}{4}$ 을 더 했을 때의 최종 극 전압 지령을 보여준다. 상 전압 지령의 크기가 16V이므로 항상 데드 존 안에 존재하지만 $+\frac{V_{dc}}{4}$ 을 더함으로써 최종 극 전압 지령이 모두 데드 존 밖으로 벗어난 것을 볼 수 있다.

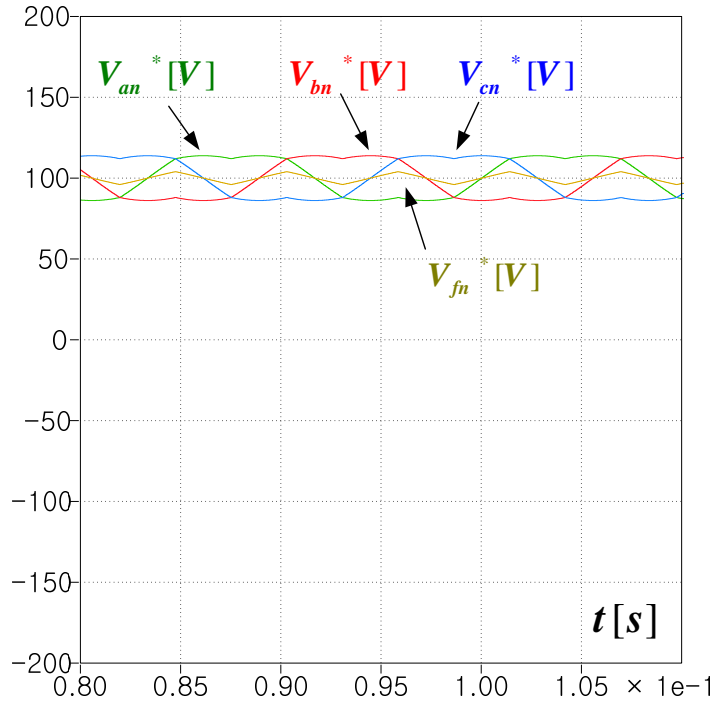


그림 3.31 SVPWM과 $+\frac{V_{dc}}{4}$ 적용 시 지령 극 전압:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

Figure 3.31 Pole voltage references with SVPWM and $+\frac{V_{dc}}{4}$:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

이와 같이 최종 극 전압 지령을 변경한 후 모의 실험에 사용된 전력용 반도체 스위치 모델에 맞도록 데드 타임 보상법을 그림 3.32와 같이 적용하였다.

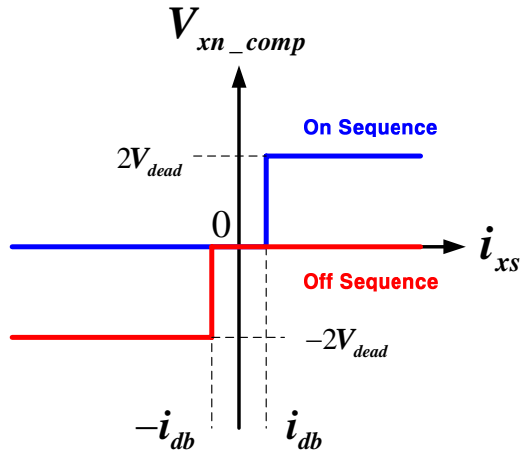


그림 3.32 모의 실험에서의 데드 타임 보상 방법

Figure 3.32 Dead-time compensation method for simulation

그림 3.31과 같은 최종 극 전압 지령에 그림 3.32와 같은 데드 타임 보상을 적용했을 때의 최종 극 전압 파형과 평균 극 전압 파형은 그림 3.33과 같다. 0전류 부근에서의 왜곡만 보이고 대부분의 영역에서 실제 출력 극 전압이 지령 극 전압을 잘 따라가고 있는 것을 알 수 있다.

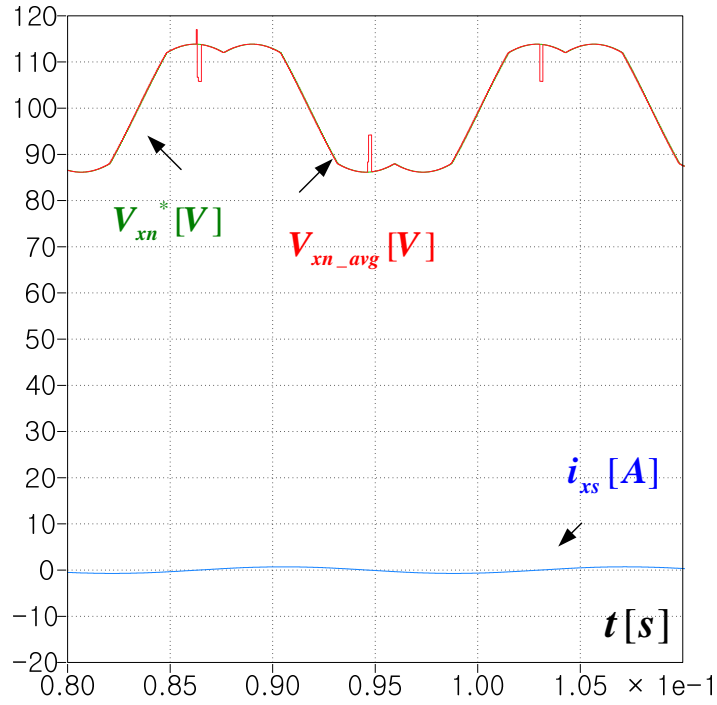


그림 3.33 SVPWM과 $+\frac{V_{dc}}{4}$ 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류

Figure 3.33 Pole voltage reference, average output pole voltage, phase current with SVPWM and $+\frac{V_{dc}}{4}$

그림 3.34는 그림 3.33의 FFT 결과로 최종 극 전압 지령에 DC 성분, 3고조파 성분 등이 포함되어 있는데, 출력 극 전압도 같은 성분을 포함하고 있는 것을 볼 수 있다.

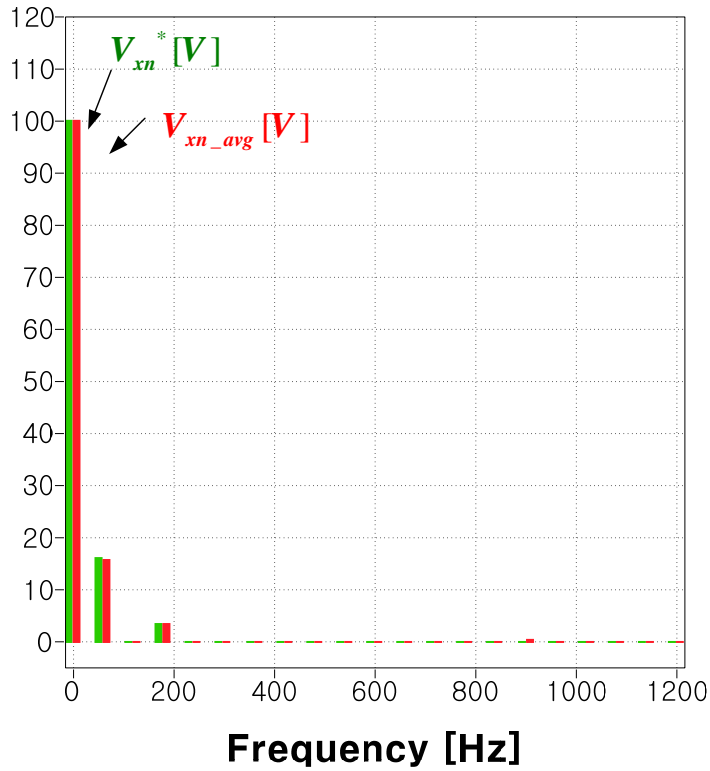


그림 3.34 그림 3.33의 FFT

Figure 3.34 FFT of waveforms in Figure 3.33

그러나 기본과 주기 동안 고정된 오프셋 전압 ($+\frac{V_{dc}}{4}$ 혹은 $-\frac{V_{dc}}{4}$)을 인가할 경우, T-type 모듈의 경우 반도체 소자 전압 강하가 중성단과 상/하단이 다르므로 실제 실험 시 2고조파 왜곡이 발생할 수 있다. 따라서 오프셋 전압을 $+\frac{V_{dc}}{4}$ 와 $-\frac{V_{dc}}{4}$ 를 번갈아 넣어주어야 한다. 즉, 홀수 차수의 고조파 형태로 오프셋 전압을 만들어 넣어주면 된다. 이와 같은 PWM 방법을 AOVPWM (Alternative Offset Voltage PWM)이라고 부르기로

한다. 이때의 최종 극 전압 지령은 그림 3.35와 같다.

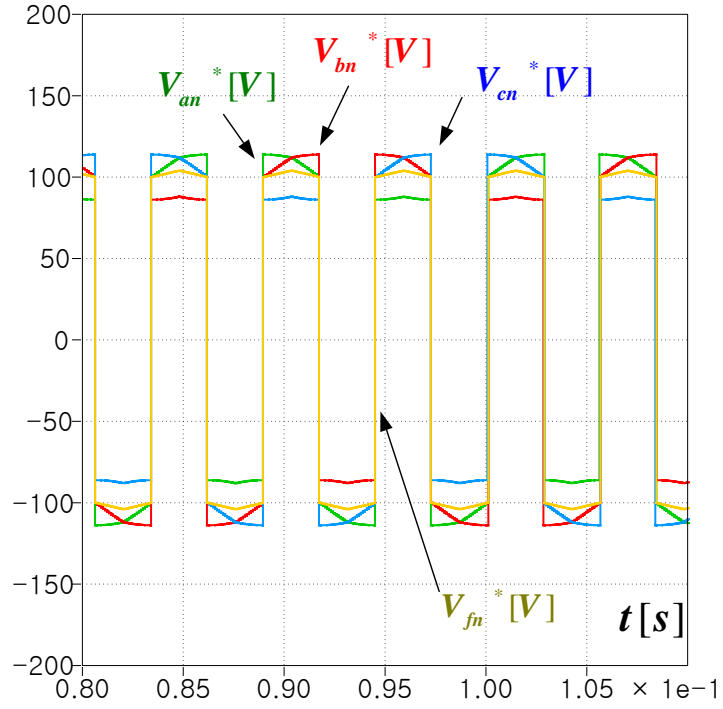


그림 3.35 AOVPWM 적용 시 지령 극 전압:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

Figure 3.35 Pole voltage references with AOVPWM:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

3.1.2.2 중, 고 전압 데드 타임의 보상 (OMVPWM, Optimal Margin Voltage PWM) [67]

어떠한 상 전압 지령이 있는데 이 전압의 크기가 데드 존에 해당하는 전압 보다 클 수 있다. 그러나 상 전압 지령은 교류이기 때문에 지령 전압의 주파수에 따라 0V 전압을 지나갈 수 밖에 없다. 따라서 상 지령 전압의 크기가 크더라도 (3.81)과 같이 반드시 데드 존에 들어가는 경우가 존재하고, 이때 전압이 왜곡되게 된다. 따라서 이 경우에도 데드 존을 회피하기 위한 전략이 필요하다.

상 전압 지령 (V_{as}^* , V_{bs}^* , V_{cs}^* , V_{fs}^*)이 그림 3.36 (a)와 같다고 하자. 이 상 전압 지령들을 (3.82)에 의해 그림 3.36 (b)와 같이 모두 동일 삼각파에 위치시킨다.

$$V_{xn}^{**} = \begin{cases} V_{xs}^* & , V_{xs}^* \geq 0 \\ V_{xs}^* + \frac{V_{dc}}{2} & , V_{xs}^* < 0 \end{cases}, x = a, b, c, f. \quad (3.82)$$

같은 삼각파에 위치한 극 전압 지령들 (V_{an}^{**} , V_{bn}^{**} , V_{cn}^{**} , V_{fn}^{**})을 이용하여 아래와 같이 여유분 값들 (V_{marU} , V_{marL})을 계산한다.

$$\begin{cases} V_{marU} = \frac{V_{dc}}{2} - V_{dead} - V_{\max}^{**} \\ V_{marL} = V_{dead} - V_{\min}^{**} \end{cases}. \quad (3.83)$$

이 값을 이용하여 옹셋 전압을 계산해준다.

$$V_{sn}^{**} = \frac{V_{marU} + V_{marL}}{2} \quad (3.84)$$

식 (3.85)를 이용하여 새로운 극 전압 지령들을 구할 수 있다.

$$\begin{cases} V_{an}^{***} = V_{an}^{**} + V_{sn}^{**} \\ V_{bn}^{***} = V_{bn}^{**} + V_{sn}^{**} \\ V_{cn}^{***} = V_{cn}^{**} + V_{sn}^{**} \\ V_{fn}^{***} = V_{fn}^{**} + V_{sn}^{**} \end{cases} \quad (3.85)$$

그림 3.36 (c)의 극 전압 지령들을 보면 데드 존과의 거리가 같아진 것을 볼 수 있다. 이 지령들을 이용하여 (3.86)과 같이 다시 최종 극 전압 지령들을 생성해주면 그림 3.36 (d)와 같다.

$$V_{xn}^{*} = \begin{cases} V_{xn}^{***}, & V_{xs}^{*} \geq 0 \\ V_{xn}^{***} - \frac{V_{dc}}{2}, & V_{xs}^{*} < 0 \end{cases}, x = a, b, c, f. \quad (3.86)$$

최종 극 전압 지령들을 살펴보면 데드 존을 모두 피한 것을 볼 수 있다. 이와 같은 PWM 방법을 OMVPWM (Optimal Margin Voltage PWM)이라 부르기로 한다.

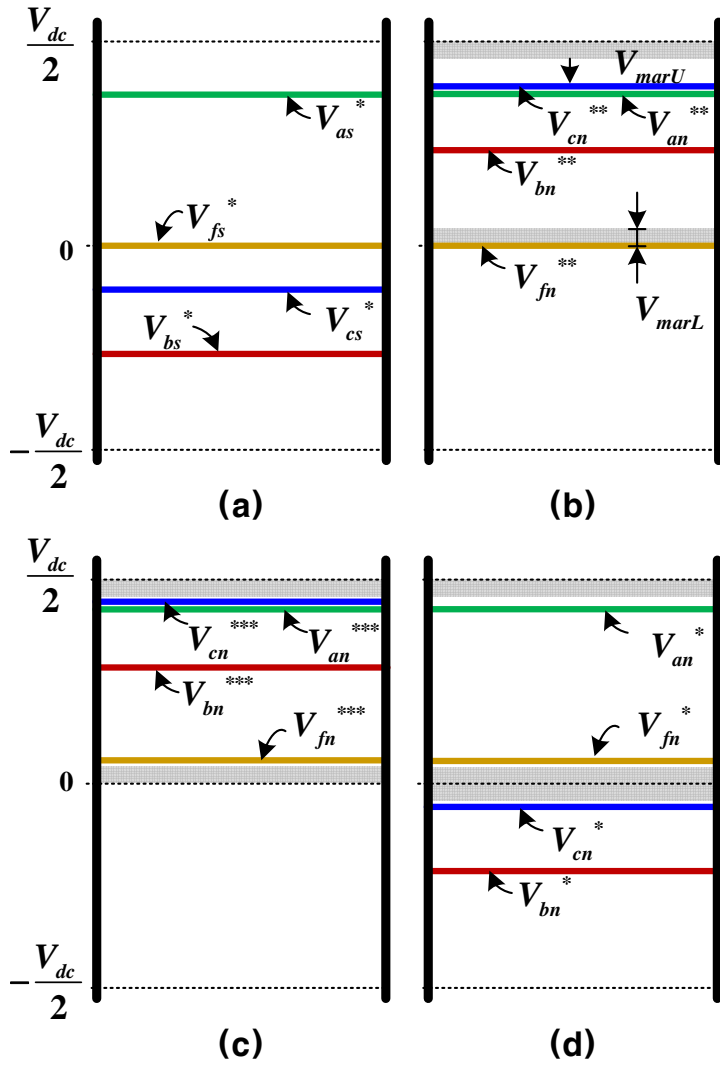


그림 3.36 OMVPWM 원리

Figure 3.36 Principle of OMVPWM

그림 3.37은 상 전압 지령의 크기가 180V일 때의 최종 극 전압 지령을 보여준다. 모든 극 전압 지령이 $-V_{dead}(-8V)$ 부터 $V_{dead}(8V)$ 까지의 데드 존을 피하고 있는 것을 볼 수 있다.

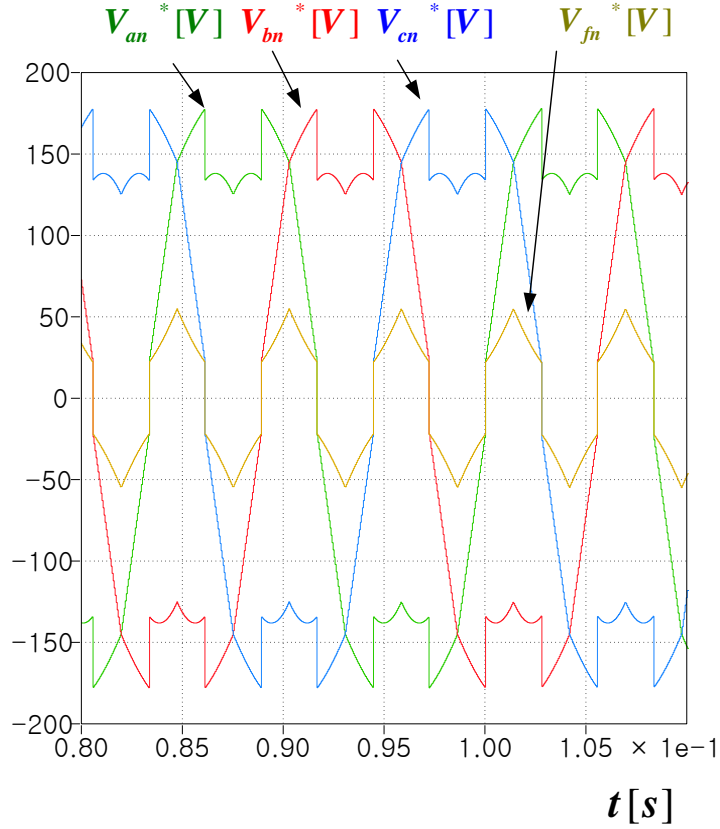


그림 3.37 OMVPWM 적용 시 극 전압 파형:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

Figure 3.37 Pole voltage references with OMVPWM:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

그림 3.38은 최종 극 전압 지령이 그림 3.37과 같고, 그림 3.32와 같은 데드 타임 보상 방법을 적용했을 때의 한 상의 최종 극 전압 지령과 평균 출력 극 전압을 보여준다. 데드 타임 보상이 제대로 되어 평균 출력 극 전압이 최종 극 전압 지령을 잘 따라가고 있는 것을 볼 수 있다.

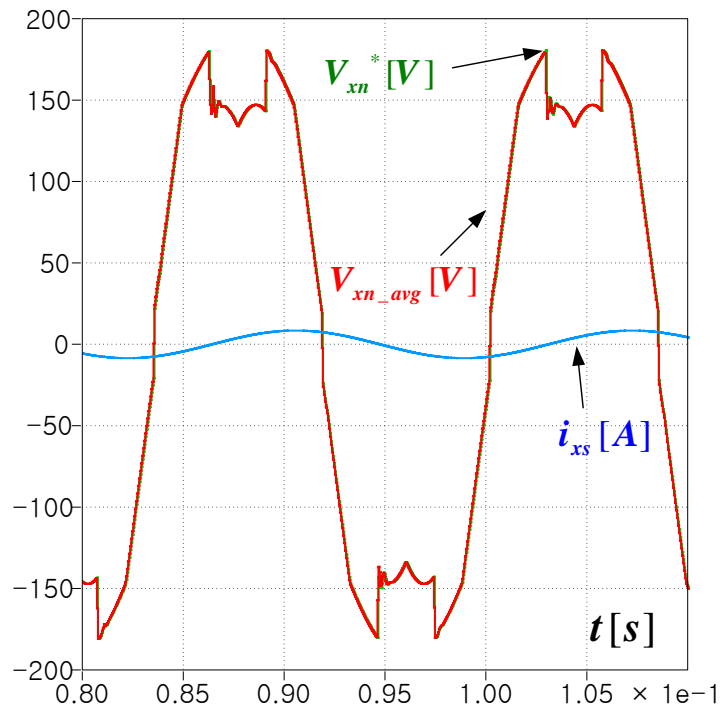


그림 3.38 OMVPWM 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류

Figure 3.38 Pole voltage reference, average output pole voltage, phase current with OMVPWM

3.1.2.3 전압 사용률

여기서 전압 변조 지수 (Modulation index)는 아래와 같이 정의한다[42].

$$Mi \triangleq \frac{V_{lm}}{V_{dc} / 2}. \quad (3.87)$$

여기서 V_{lm} 은 출력 상 전압의 기본파 성분의 크기이다.

$$\begin{cases} V_{af}^* = V_m \sin \omega t \\ V_{bf}^* = V_m \sin(\omega t - \frac{2}{3}\pi) . \\ V_{cf}^* = V_m \sin(\omega t + \frac{2}{3}\pi) \end{cases} \quad (3.88)$$

먼저 AOVPWM 적용 시, 극 전압 지령의 크기의 최대값은 (3.89)와 같다.

$$(V_{xn}^*)_{peak} = \frac{\sqrt{3}}{2}V_m + \frac{1}{4}V_{dc} . \quad (3.89)$$

극 전압의 최대 값은 (3.90)과 같이 상단 직류단 전압에서 데드 존만큼 작아야 한다.

$$(V_{xn}^*)_{peak} = \frac{\sqrt{3}}{2}V_m + \frac{1}{4}V_{dc} \leq \frac{V_{dc}}{2} - V_{dead} . \quad (3.90)$$

따라서 상 전압 지령의 최대 값은 아래와 같다.

$$V_m \leq \frac{2}{\sqrt{3}}(\frac{1}{4}V_{dc} - V_{dead}) . \quad (3.91)$$

실험에서 고려하고 있는 컨버터의 직류단 전압과 데드 타임 전압을 대입해주면 아래와 같다.

$$V_m \leq 106.2324V. \quad (3.92)$$

다음으로 OMVPWM 적용 시, 그림 3.38과 같은 극 전압 지령의 크기의 최대값은 (3.93)과 같다.

$$(V_{xn}^*)_{peak} = \frac{\sqrt{3}}{2} V_m + V_x. \quad (3.93)$$

여기서 V_x 는 극 전압 지령이 최대일 때 f 레그 극 전압이다.

V_{marU} 과 V_{marL} 의 절대값이 같으므로, 아래와 같은 관계가 성립된다.

$$\frac{V_{dc}}{2} - V_{dead} - \left(\frac{\sqrt{3}}{2} V_m + V_x\right) = V_x - V_{dead}. \quad (3.94)$$

여기서 V_x 는 아래와 같이 정리된다.

$$V_x = \frac{\frac{V_{dc}}{2} - \frac{\sqrt{3}}{2} V_m}{2}. \quad (3.95)$$

V_x 또한 V_{dead} 보다 커야 한다. 따라서 (3.96)과 같은 관계가 성립된다.

$$V_m \leq \frac{2}{\sqrt{3}} \left(\frac{V_{dc}}{2} - 2V_{dead} \right). \quad (3.96)$$

직류단 전압과 데드 타임 전압을 대입해주면 아래와 같다.

$$V_m \leq 212.4649V. \quad (3.97)$$

Mi가 작을 때 OMVPWM 적용 시 극 전압 파형은 그림 3.39와 같다.

여기서 a, b, c 레그의 가장 작은 극 전압은 아래와 같다.

$$(V_{xn}^*)_{\min} = \frac{\sqrt{3}}{2} V_m - V_x . \quad (3.98)$$

이때의 극 전압은 f 레그의 극 전압과 같다. 따라서 (3.99)와 같은 관계가 성립한다.

$$(V_{xn}^*)_{\min} = \frac{\sqrt{3}}{2} V_m - V_x = V_x . \quad (3.99)$$

이때의 V_x 는 아래와 같이 정리된다.

$$V_x = \frac{\sqrt{3}}{4} V_m . \quad (3.100)$$

V_x 또한 V_{dead} 보다 커야 한다. 따라서 (3.101)과 같은 관계가 성립된다.

$$V_m \geq \frac{4}{\sqrt{3}} V_{dead} . \quad (3.101)$$

직류단 전압과 데드 타임 전압을 대입해주면 아래와 같다.

$$V_m \geq 18.4752V . \quad (3.102)$$

식 (3.97)과 (3.102)에 의해서 OMVPWM 을 적용할 수 있는 상 전압의 크기는 아래와 같은 범위를 가진다.

$$18.4752V \leq V_m \leq 212.4649V . \quad (3.103)$$

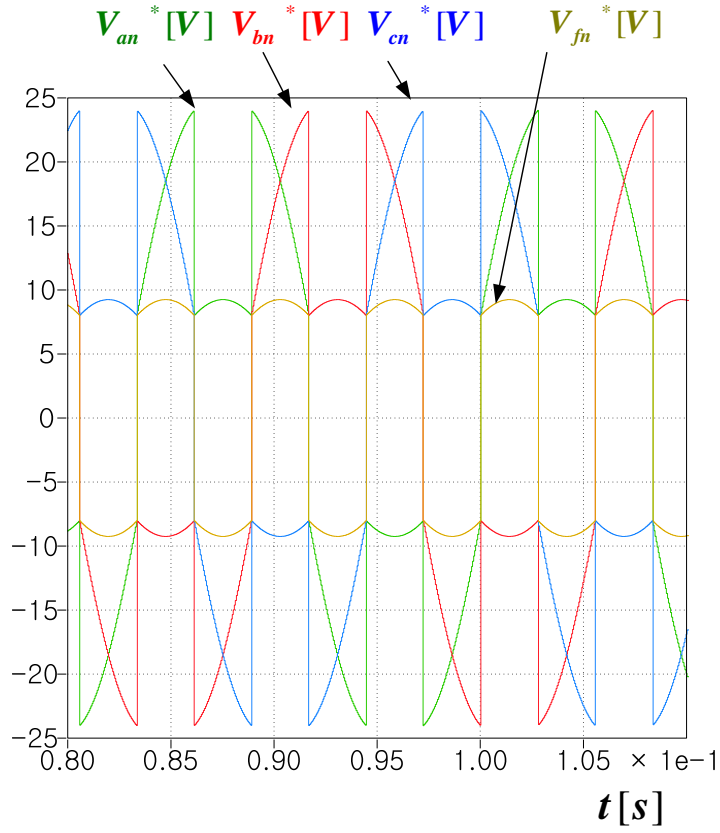


그림 3.39 OMVPWM 적용 시 극 전압 파형:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

Figure 3.39 Pole voltage references with OMVPWM:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

그림 3.40 은 상 전압 지령 크기에 따라 사용 가능한 데드 타임 보상을 위한 PWM 방법을 보여주고 있다. 0V 에 가까운 지령 전압일 때는 AOVPWM 방법만 적용이 가능하나, 어느 정도 지령 전압이 커지면(18.4 V 이상) OMVPWM 도 적용 가능하다. 106.2 V 이상에서는 AOVPWM 은 적용이 불가능하고 OMVPWM 만 적용이 가능하다.

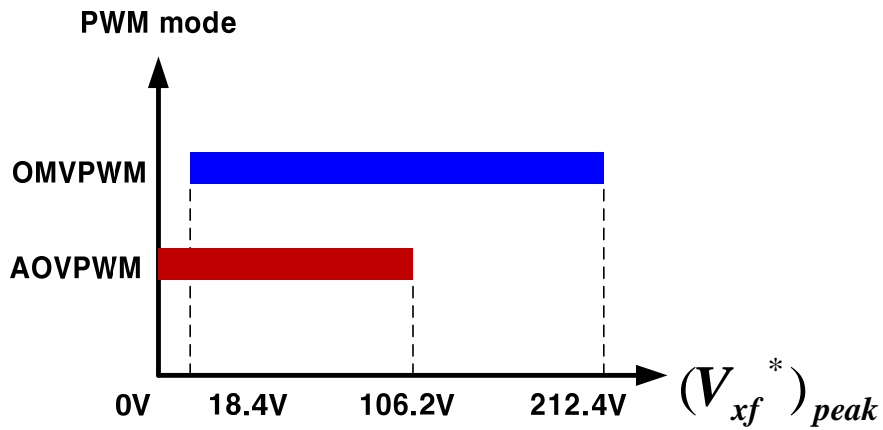


그림 3.40 상 전압 지령 크기에 따라 데드 타임 보상을 위한 PWM 방법

Figure 3.40 PWM methods for dead-time method depending on the magnitude of the phase voltage reference

3.1.3 모의 실험 결과

3 레벨 토폴로지의 데드 타임 보상 방법의 유효성 검증을 위해 모의 실험을 수행하였다. 모의 실험에 사용된 회로는 그림 3.41 과 같이 3 레벨 4 레그 컨버터이고, LC 필터의 캐피시터 단에 부하를 연결하였다.

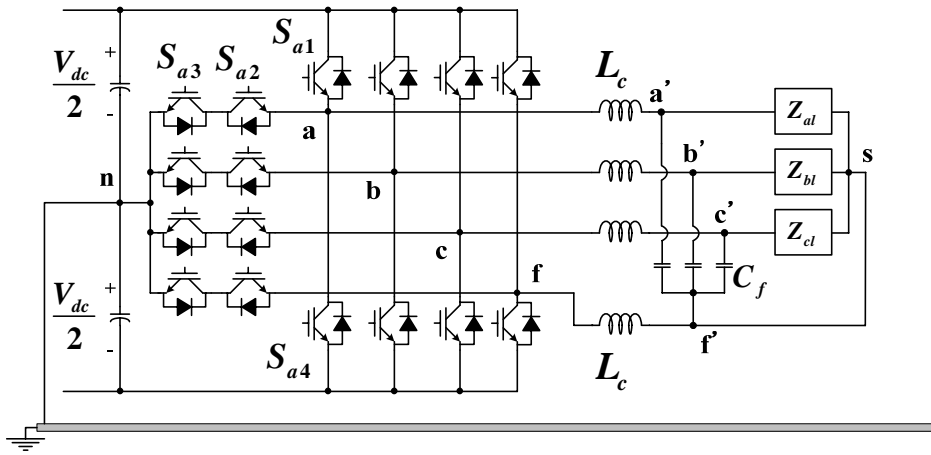


그림 3.41 모의 실험 회로

Figure 3.41 Simulation circuit diagram

데드 타임 보상용 전압은 그림 3.32 와 같이 PWM 의 온 시퀀스, 오프 시퀀스에 따라 다르게 된다. 여기서 직류단 전압 (V_{dc})은 400V, 스위칭 주파수 (f_{sw})는 20 kHz, 샘플링 주파수 (f_{samp})는 40 kHz 이다. 이때 데드 타임 (T_{dead})은 $2\mu s$ 로 설정하였다. 부하는 (3.104)와 같은 값을 가지는 3 상 평형 부하를 사용하였다.

$$L_{al} = L_{bl} = L_{cl} = 50.731mH . \quad (3.104)$$

$$R_{al} = R_{bl} = R_{cl} = 10\Omega . \quad (3.105)$$

먼저 지령 전압의 크기가 (3.106)과 같이 작을 때 모의 실험을 수행하였다. 공진 성분이 캐패시터 전압에 보이지 않게 하기 위해서 능동 댐핑 (Active damping) 방법을 적용하였다[68].

$$\begin{cases} V_{af}^* = 16 \sin 2\pi 60t \\ V_{bf}^* = 16 \sin(2\pi 60t - \frac{2}{3}\pi) . \\ V_{cf}^* = 16 \sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.106)$$

각각의 모의 실험에서의 PWM 방법과 데드 타임 보상 여부는 표 3.3과 같다.

표 3.3 저 전압에서의 모의 실험 조건

Table 3.3 Conditions for simulation in low voltage

모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
Sim1	SVPWM	보상 안함	보상 안함
Sim2	SVPWM	보상 함	보상 함
Sim3	SVPWM	보상 함	보상 안함
Sim4	SPWM	보상 안함	보상 안함
Sim5	SPWM	보상 함	보상 안함
Sim6	SVPWM+AOVPWM	보상 함	보상 함
Sim7	SVPWM+AOVPWM	보상 함	보상 안함
Sim8	SPWM+AOVPWM	보상 함	보상 함
Sim9	SPWM+AOVPWM	보상 함	보상 안함

그림 3.42, 그림 3.43, 그림 3.44 는 SVPWM 방법을 적용했을 때의 파형이다. 각각의 그림에서 (a) 는 a 상 캐패시터 지령 전압과 a 상 캐패시터 전압, (b)는 a 상 전류를 보여준다.

그림 3.42 와 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 여기서 4 개의 레그 모두 데드 타임 보상을 한 그림 3.43 을 보면 기본파 주파수 성분의 크기는 데드 타임 보상을 하지 않은 그림

3.42 와 비교해 여전히 지령 값보다는 작지만 커진 것을 볼 수 있다. 그러나 고조파 성분의 크기가 동시에 커진 것을 볼 수 있다. 오히려 f 상만 데드 타임 보상을 하지 않은 그림 3.44 와 같은 결과를 보면 그림 3.43 보다 기본파 성분의 크기는 커지고 고조파 성분의 크기는 줄어든 것을 볼 수 있다.

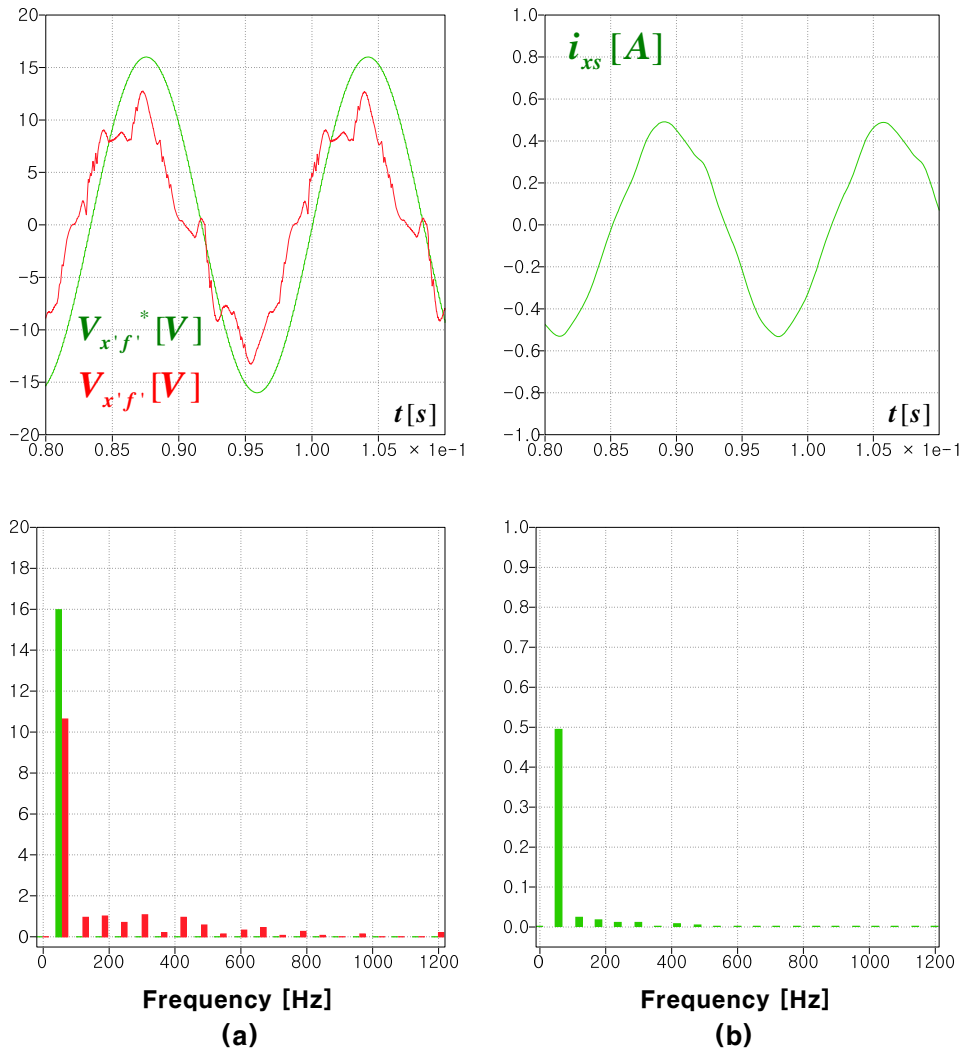


그림 3.42 모의 실험 결과 – Sim1 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)

Figure 3.42 Simulation result – Sim1 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

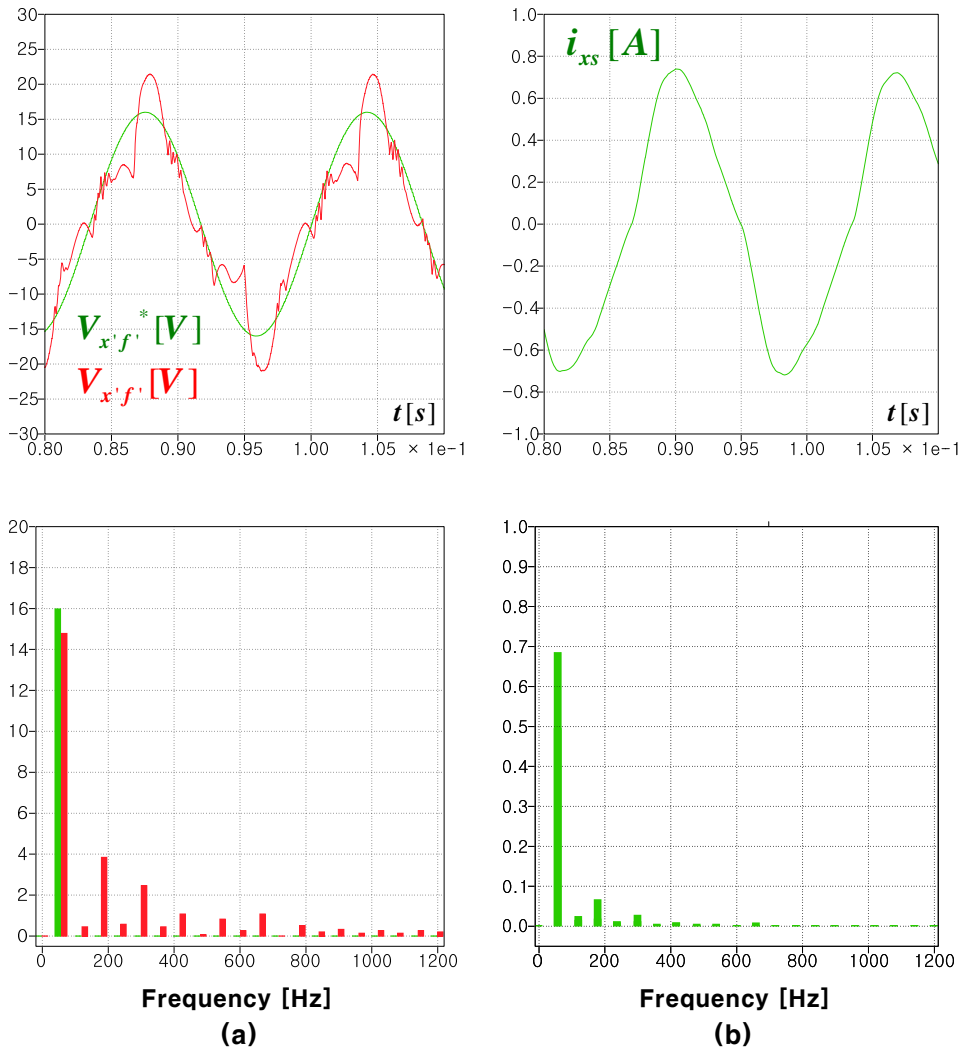


그림 3.43 모의 실험 결과 - Sim2 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.43 Simulation result - Sim2 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

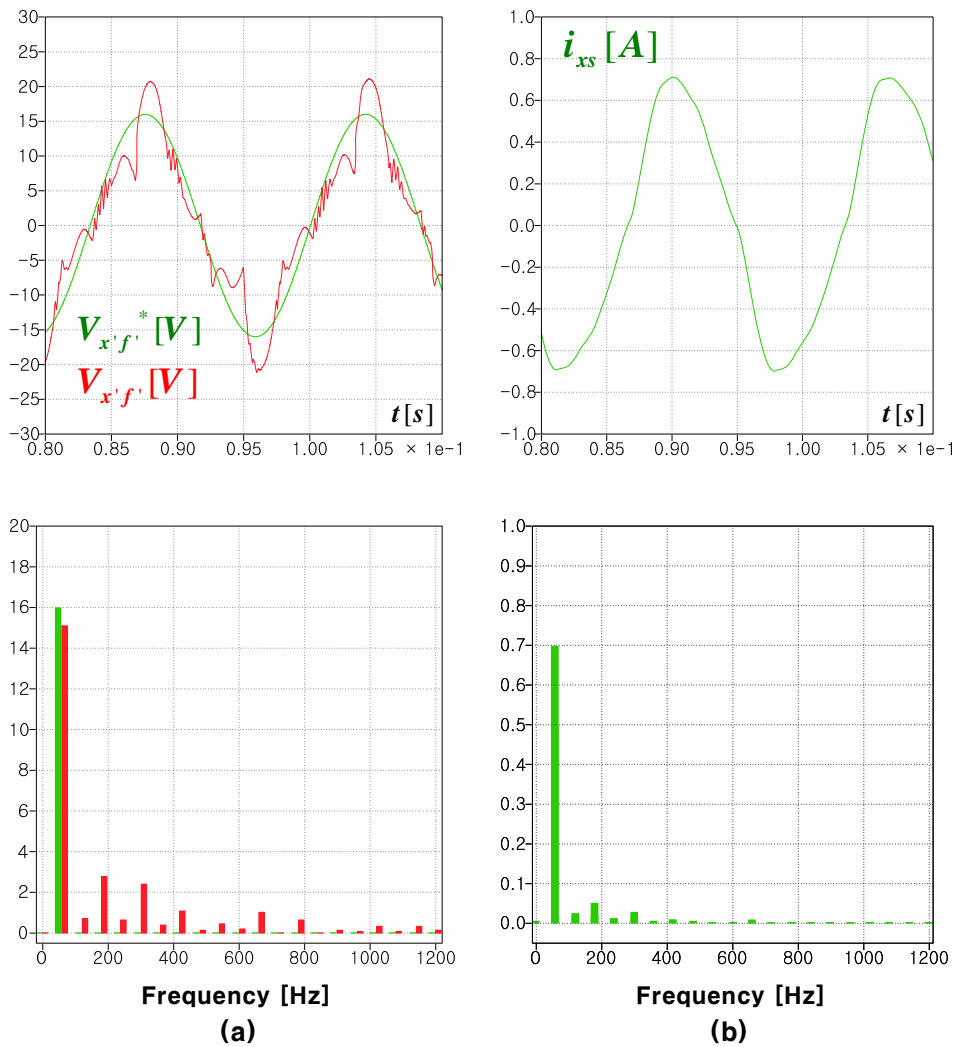


그림 3.44 모의 실험 결과 – Sim3 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.44 Simulation result – Sim3 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

그림 3.45, 그림 3.46 은 SPWM 방법을 적용했을 때의 파형이다. SPWM 방법을 4 레그 컨버터에 적용하게 되면 f 레그는 스위칭을 하지 않게 된다.

그림 3.45 와 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 여기서 a, b, c 3 개의 레그에 데드 타임 보상을 한 그림 3.46 을 보면 기본파 주파수 성분의 크기는 보상 전과 비교해 크지만, 지령 값보다는 작은 것을 볼 수 있다. 그러나 고조파 성분의 크기가 동시에 커진 것을 볼 수 있다.

SVPWM 방법 혹은 SPWM 방법을 적용해도 최종 극 전압의 지령은 데드 존 안에 들어가므로 데드 타임 보상이 제대로 이루어지지 않는다. 따라서, 캐패시터 전압은 지령 전압과 다르게 전압의 기본파 성분 크기도 작고, 고조파 성분도 커지게 된다.

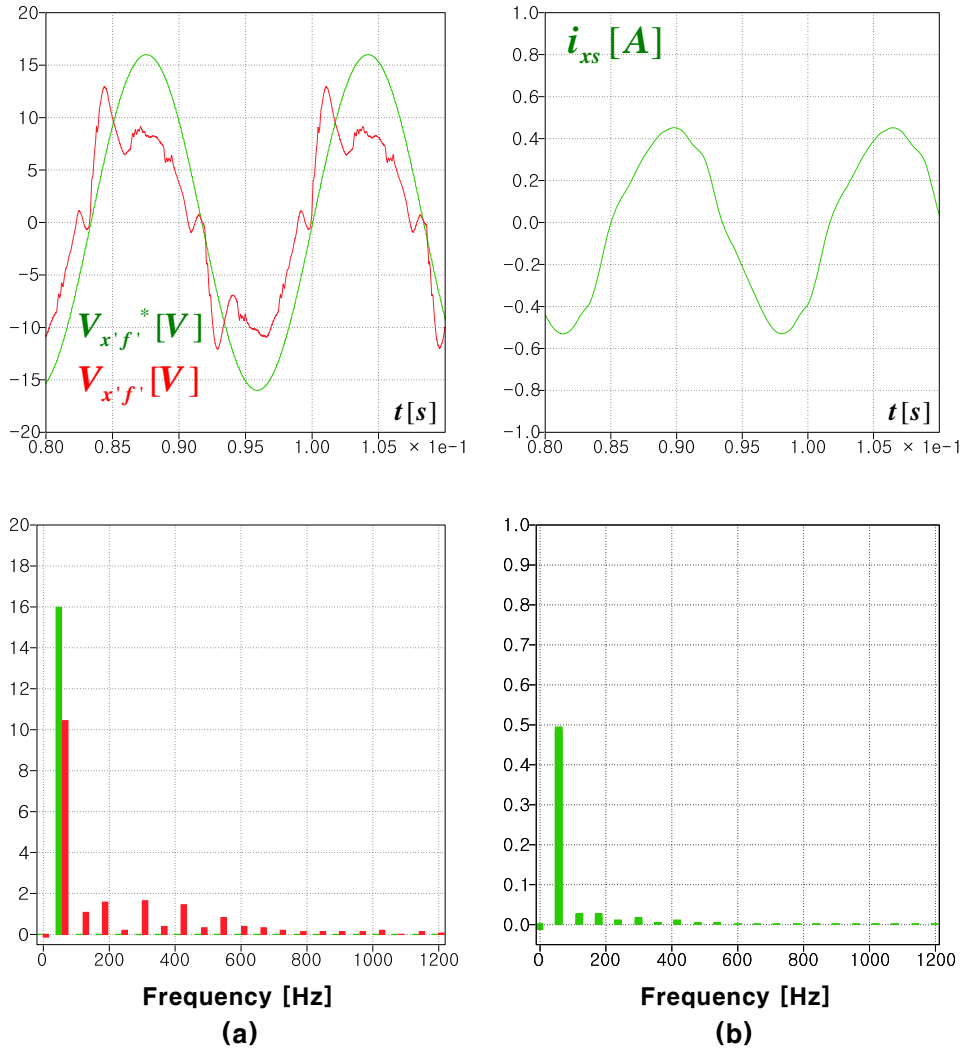


그림 3.45 모의 실험 결과 – Sim4 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.45 Simulation result – Sim4 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

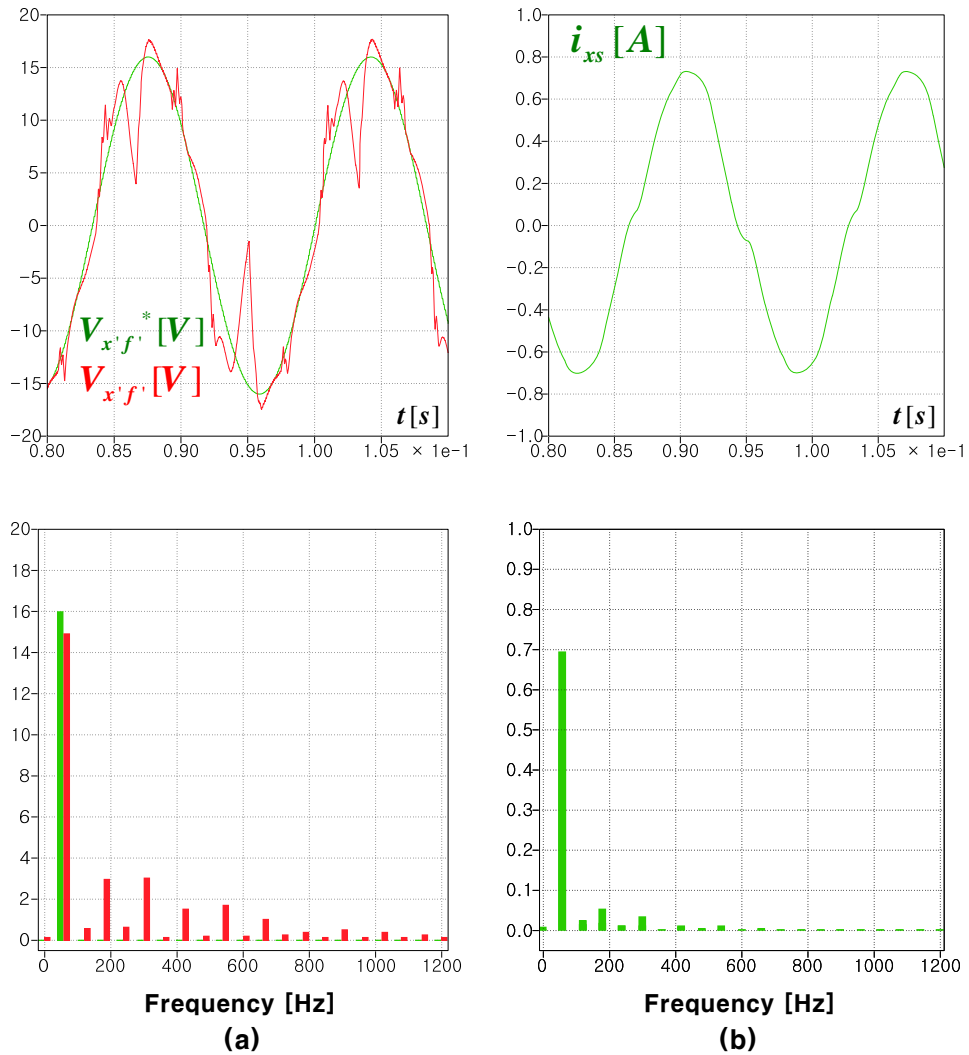


그림 3.46 모의 실험 결과 - Sim5 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.46 Simulation result - Sim5 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

AOVPWM 방법은 다른 PWM 방법과 함께 사용할 수 있다.

그림 3.47, 그림 3.48 은 AOVPWM 을 SVPWM 과 함께 사용했을 때의 결과이고, 그림 3.49, 그림 3.50 은 SPWM 과 함께 사용했을 때의 결과이다. 그림 3.47, 그림 3.48 을 보면 f 레그의 데드 타임 보상과 상관없이 비슷한 결과를 보이고, 그림 3.49, 그림 3.50 역시 f 레그의 데드 타임 보상과 상관없이 비슷한 결과를 보인다. AOVPWM 을 사용했을 때, 0 전류 부근의 보상 오차로 완벽하게 보상이 되지는 않으나 기존 PWM 을 사용했을 때의 결과에 비해서는 보상이 잘되어 지령 전압과 캐패시터 전압의 오차가 크지 않은 것을 볼 수 있다.

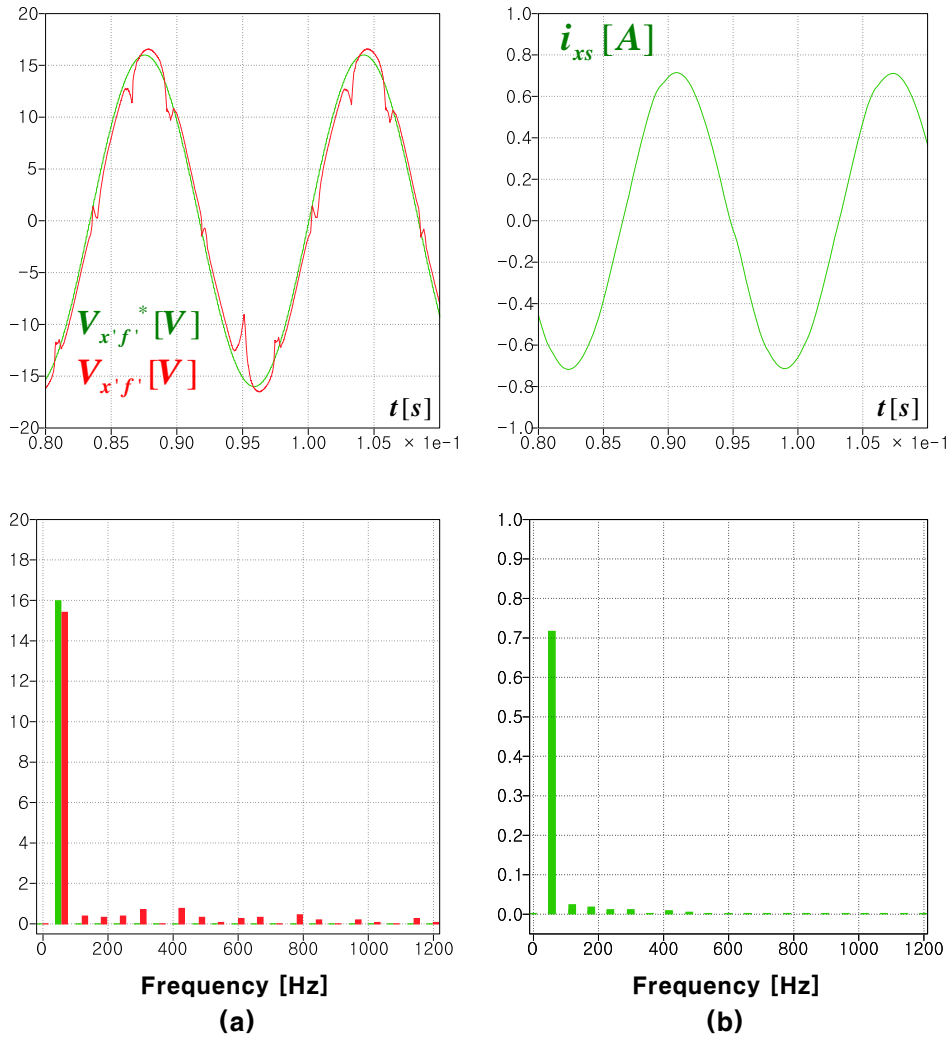


그림 3.47 모의 실험 결과 - Sim6 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.47 Simulation result - Sim6 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

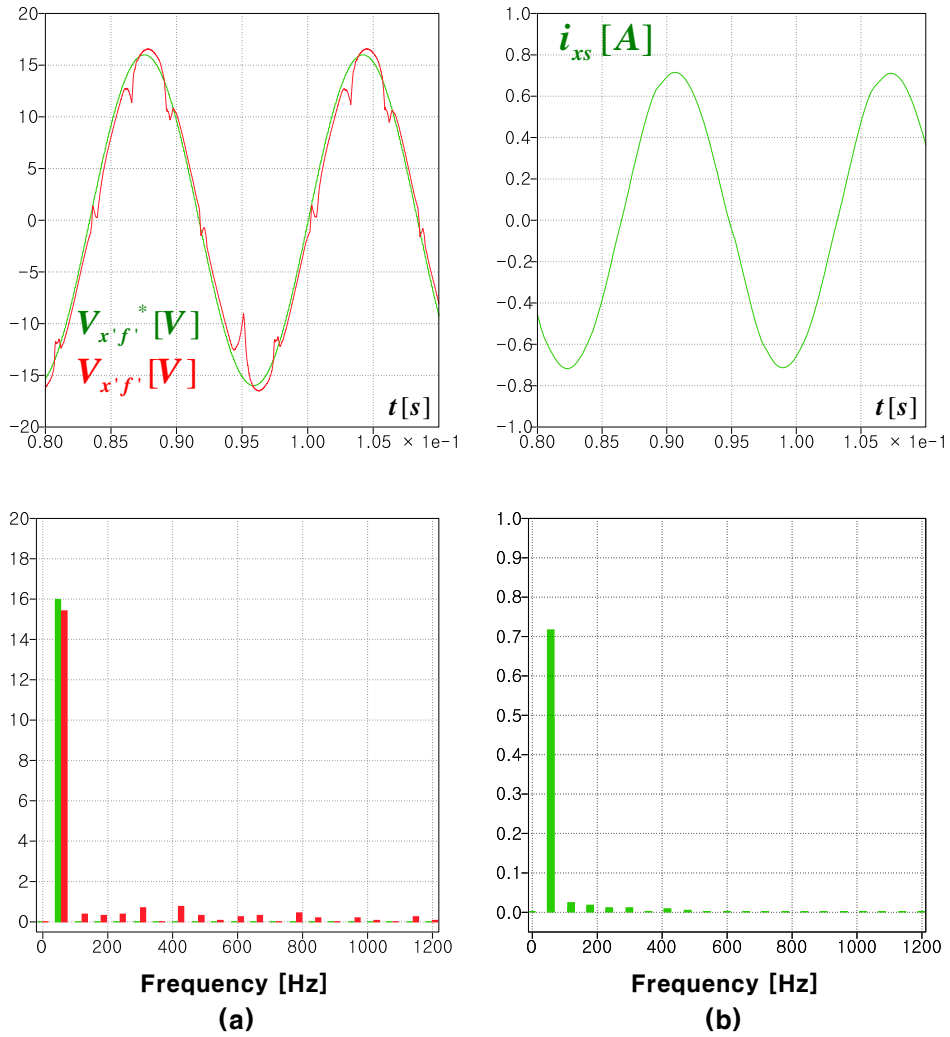


그림 3.48 모의 실험 결과 - Sim7 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.48 Simulation result - Sim7 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

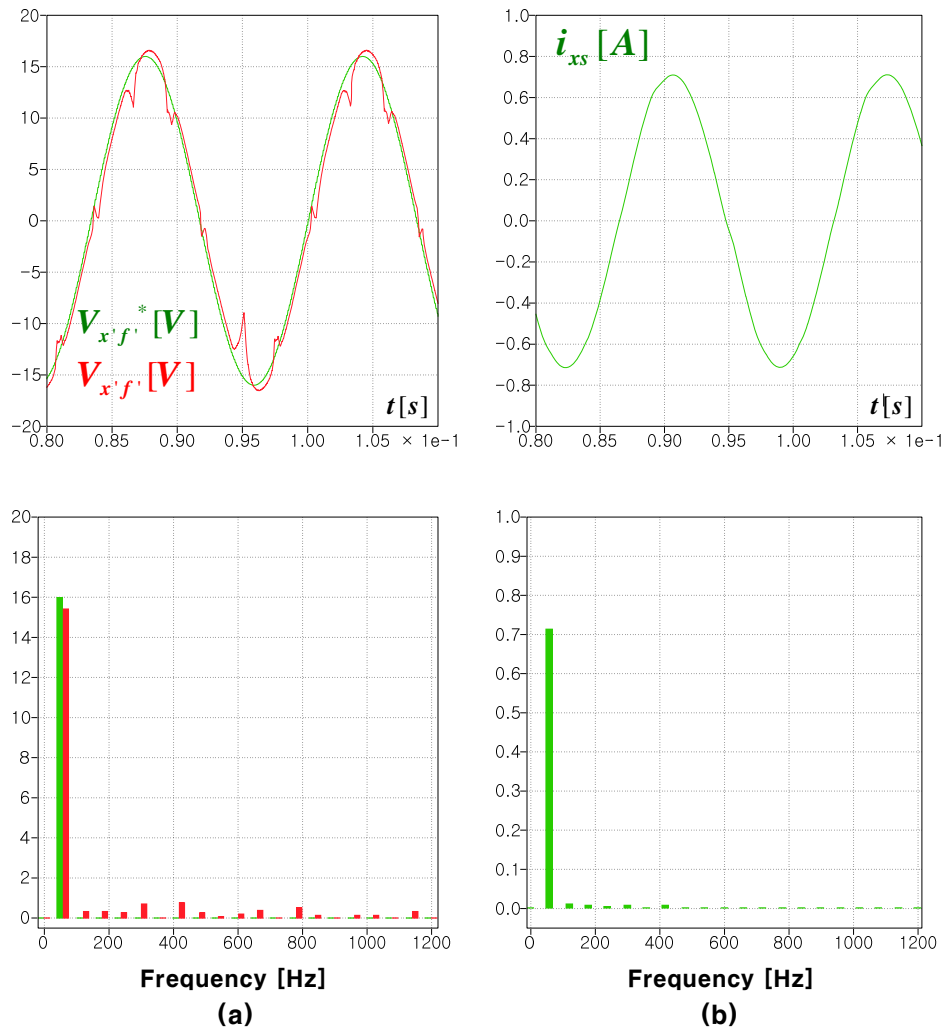


그림 3.49 모의 실험 결과 - Sim8 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)

Figure 3.49 Simulation result - Sim8 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

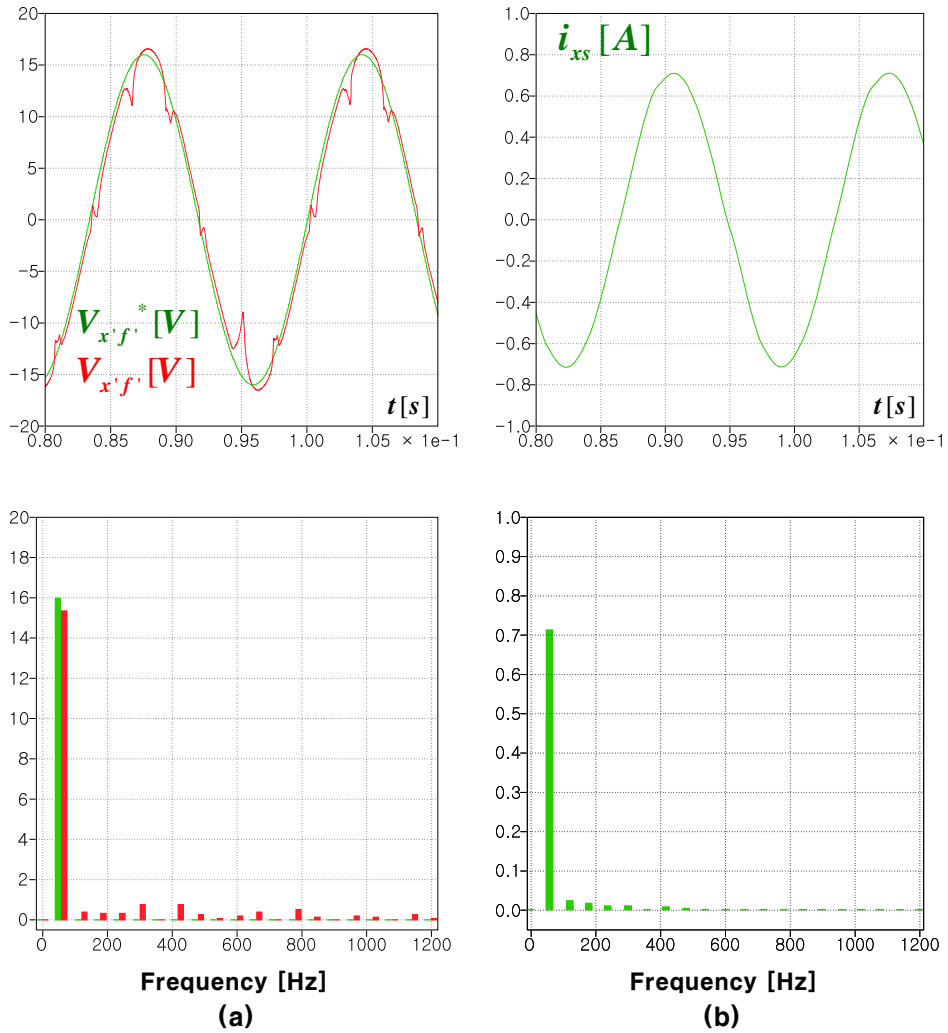


그림 3.50 모의 실험 결과 - Sim9 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.50 Simulation result - Sim9 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

다음으로 지령 전압의 크기가 (3.107)과 같이 클 때 모의 실험을 수행하였다. 공진 성분이 캐패시터 전압에 보이지 않게 하기 위해서 앞의 경우와 마찬가지로 능동 댐핑 (Active damping) 을 적용하였다.

$$\begin{cases} V_{af}^* = 180 \sin 2\pi 60t \\ V_{bf}^* = 180 \sin(2\pi 60t - \frac{2}{3}\pi) . \\ V_{cf}^* = 180 \sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.107)$$

각각의 모의 실험에서의 PWM 방법과 데드 타임 보상 여부는 표 3.4와 같다.

표 3.4 고 전압에서의 모의 실험 조건

Table 3.4 Conditions for simulation in high voltage

모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
Sim10	SVPWM	보상 안함	보상 안함
Sim11	SVPWM	보상 함	보상 함
Sim12	SVPWM	보상 함	보상 안함
Sim13	SPWM	보상 안함	보상 안함
Sim14	SPWM	보상 함	보상 안함
Sim15	SVPWM+OMVPWM	보상 함	보상 함
Sim16	SVPWM+OMVPWM	보상 함	보상 안함

그림 3.51, 그림 3.52, 그림 3.53 은 SVPWM 방법을 적용했을 때의 파형이다. 그림 3.51 과 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 조금 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 그리고 많은 고조파 성분이 보인다. 여기서 4 개의 레그 모두 데드 타임 보상을 한 그림 3.52 를 보면 기본과 주파수 성분의 크기는 지령 값보다도 오히려 약간 커진 것을 볼 수 있다. 그러나 고조파 성분의 크기는 줄어든 것을 볼 수 있다. 오히려 f 상만 데드 타임 보상을 하지 않은 그림 3.53 의 결과를 보면 기본과 성분의 전압은 그림 3.52 와 비슷하지만, 고조파 성분은 많이 줄어든 것을 볼 수 있다.

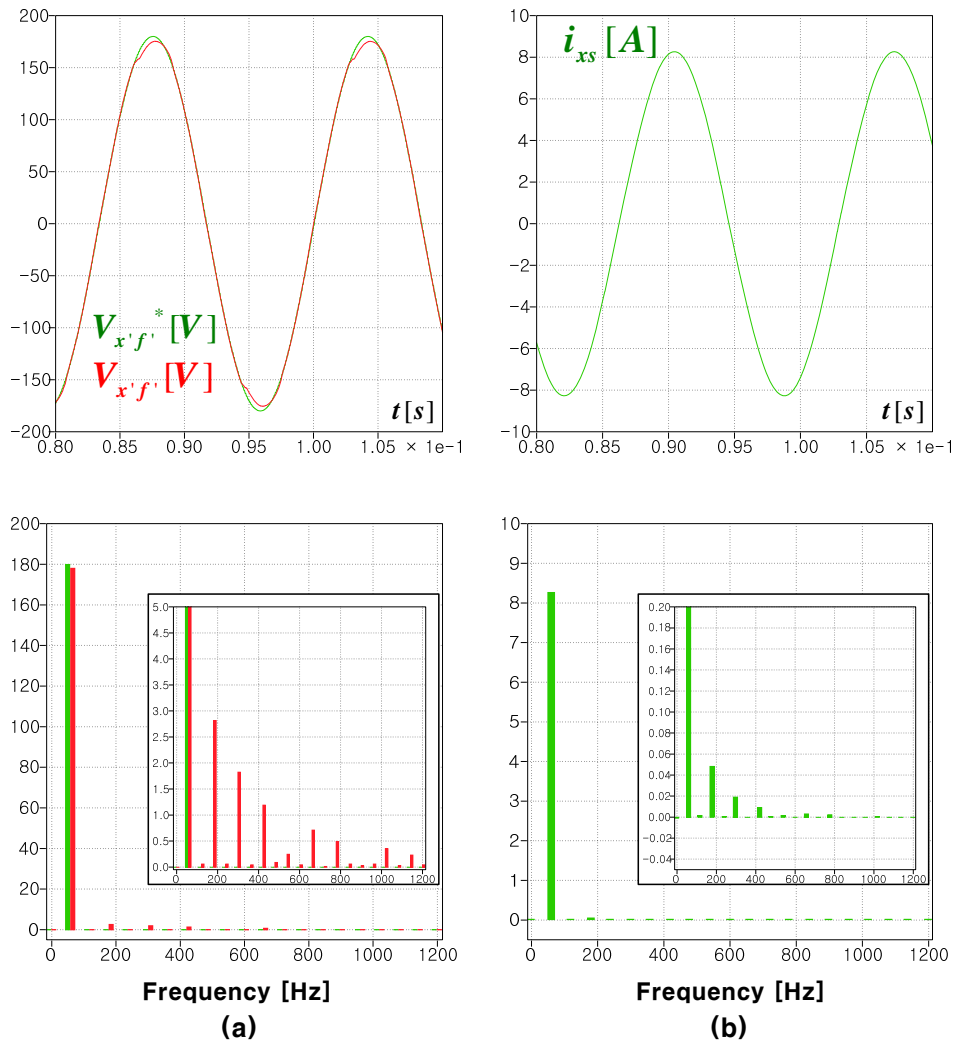


그림 3.51 모의 실험 결과 – Sim10 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.51 Simulation result – Sim10 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

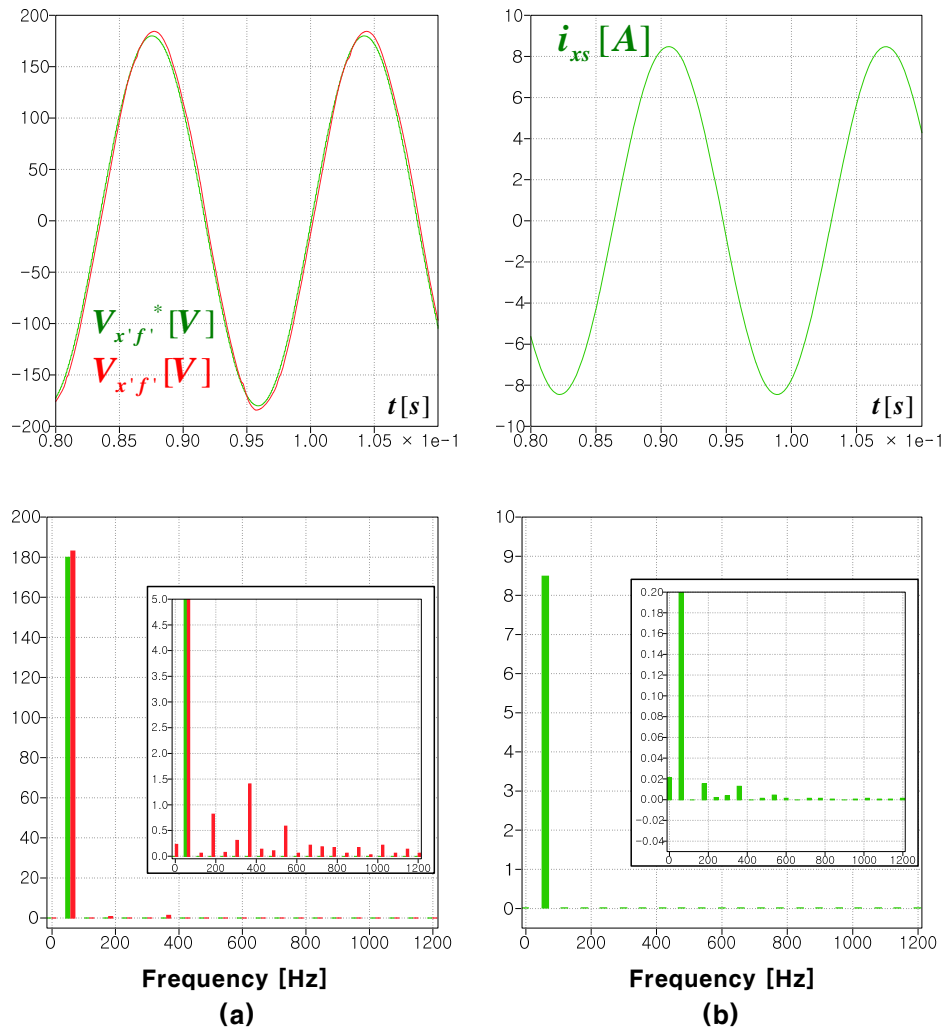


그림 3.52 모의 실험 결과 - Sim11 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)

Figure 3.52 Simulation result - Sim11 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

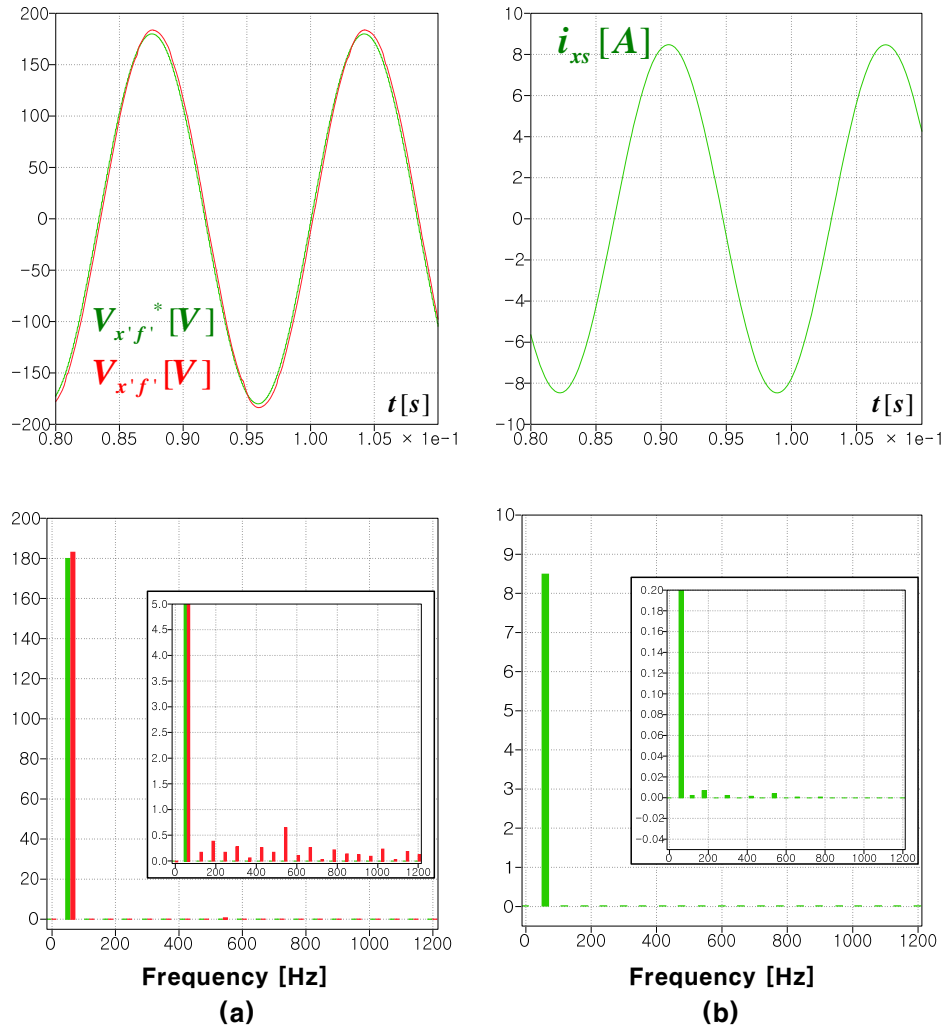


그림 3.53 모의 실험 결과 – Sim12 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.53 Simulation result – Sim12 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

그림 3.54, 그림 3.55 는 SPWM 을 적용했을 때의 파형이다. SPWM 을 4 레그 컨버터에 적용하게 되면 f 레그가 스위칭을 하지 않게 된다. 그림 3.54 와 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 약간 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 여기서 a, b, c 3 개의 레그에 데드 타임 보상을 한 그림 3.55 를 보면 기본파 주파수 성분의 크기는 보상 전과 비교해 지령 값보다 커진 것을 볼 수 있다. 그러나 고조파 성분의 크기는 작아진 것을 볼 수 있다.

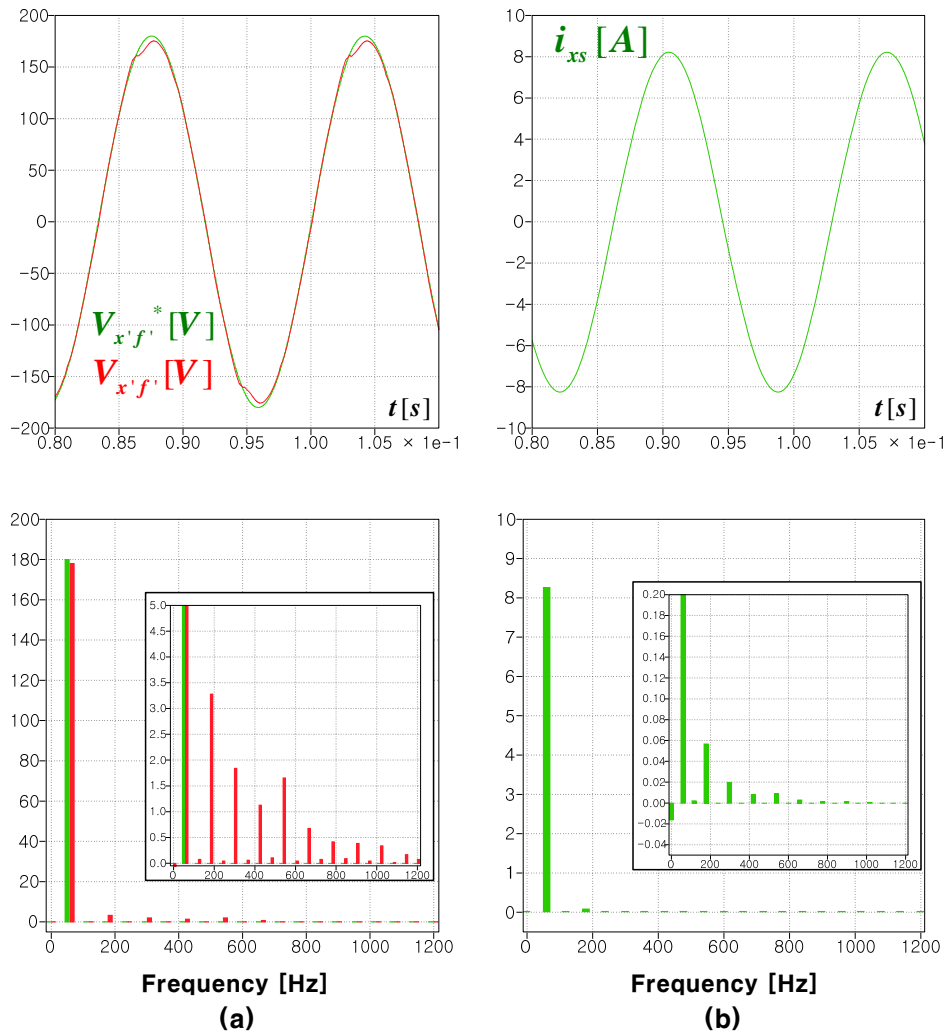


그림 3.54 모의 실험 결과 - Sim13 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.54 Simulation result - Sim13 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

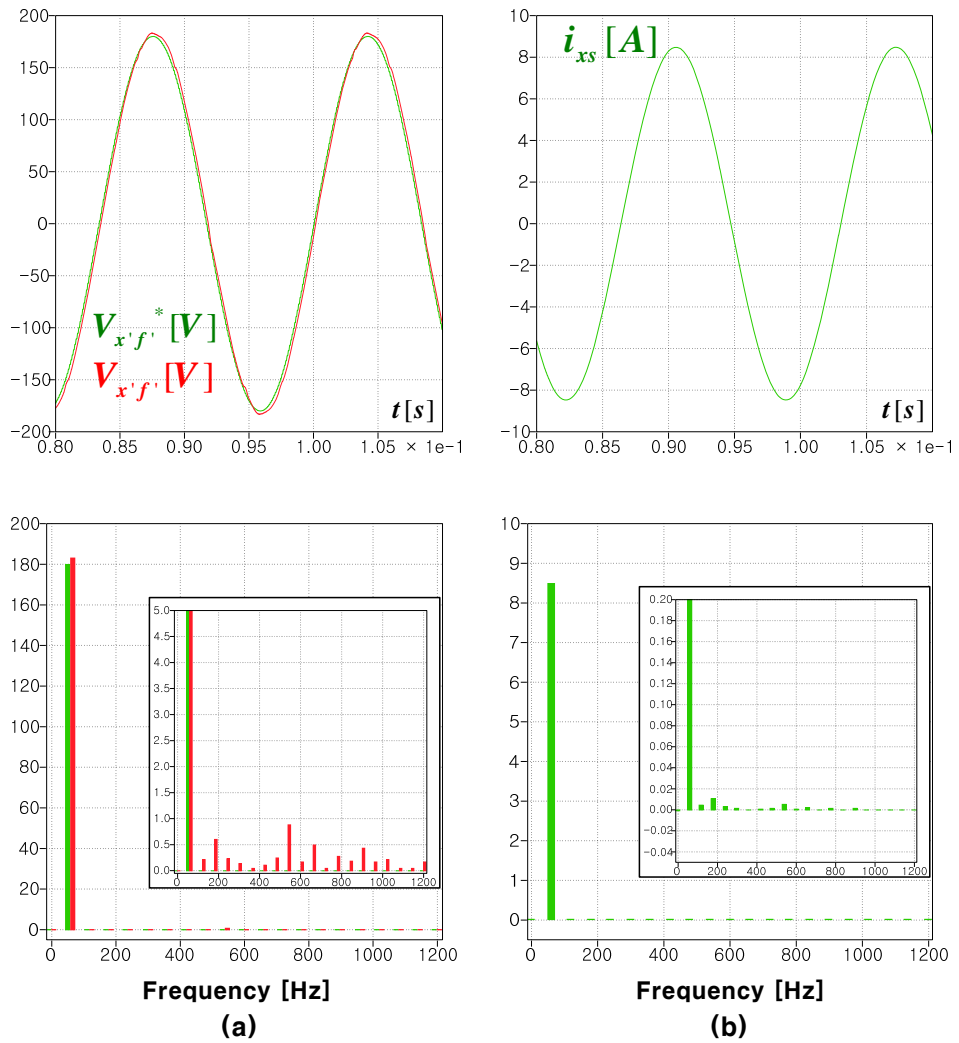


그림 3.55 모의 실험 결과 – Sim14 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.55 Simulation result – Sim14 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

OMVPWM 방법도 AOV PWM 방법과 마찬가지로 SVPWM 과 함께 사용할 수 있다. 그림 3.56, 그림 3.57 은 OMVPWM 을 SVPWM 과 함께 사용했을 때의 결과이다. OMVPWM 방법을 적용하면 기존 PWM 을 사용했을 때에 비해 고조파 성분이 줄어드는 것을 알 수 있다. 그리고 그림 3.57 에서 볼 수 있듯이 a, b, c 레그에서는 데드 타임 보상을 하고, f 레그에서는 오히려 데드 타임 보상을 하지 않았을 때 오히려 고조파 성분이 많이 줄어드는 것을 볼 수 있다.

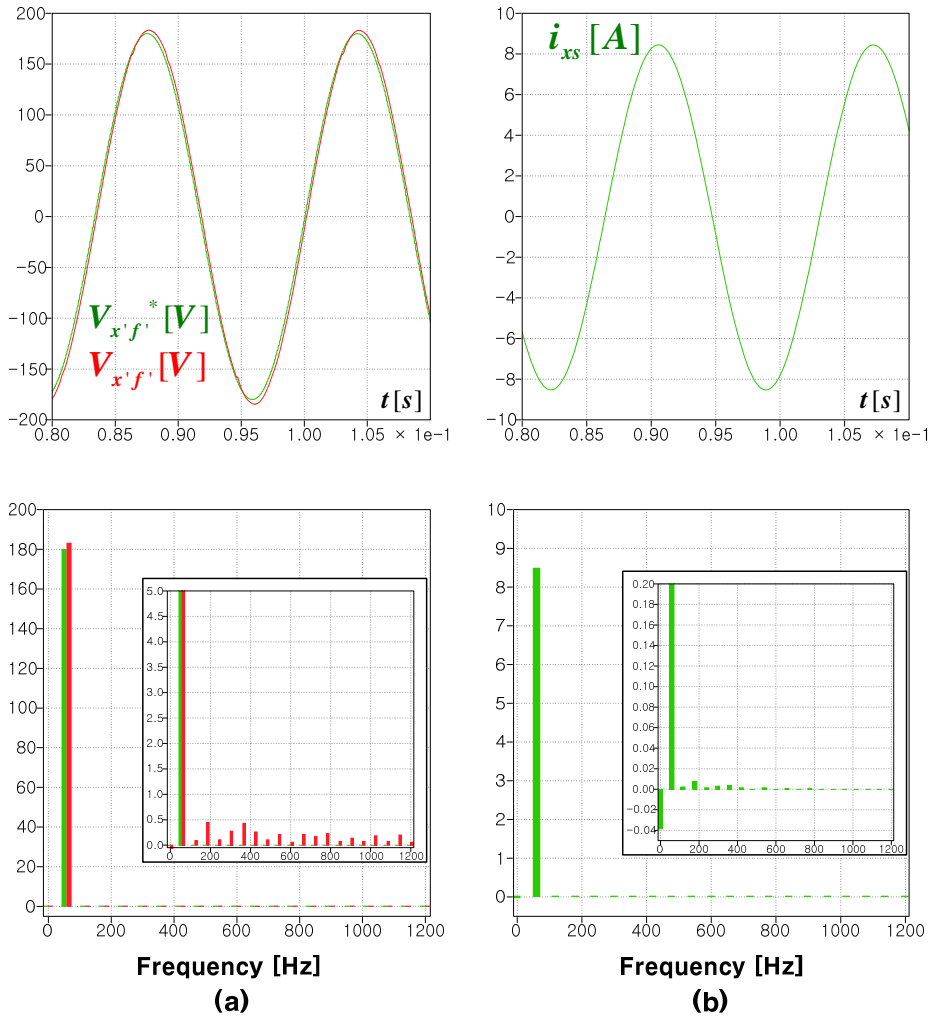


그림 3.56 모의 실험 결과 - Sim15

(a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)

Figure 3.56 Simulation result - Sim15

(a) Phase voltage reference/phase voltage (FFT),

(b) Phase current (FFT)

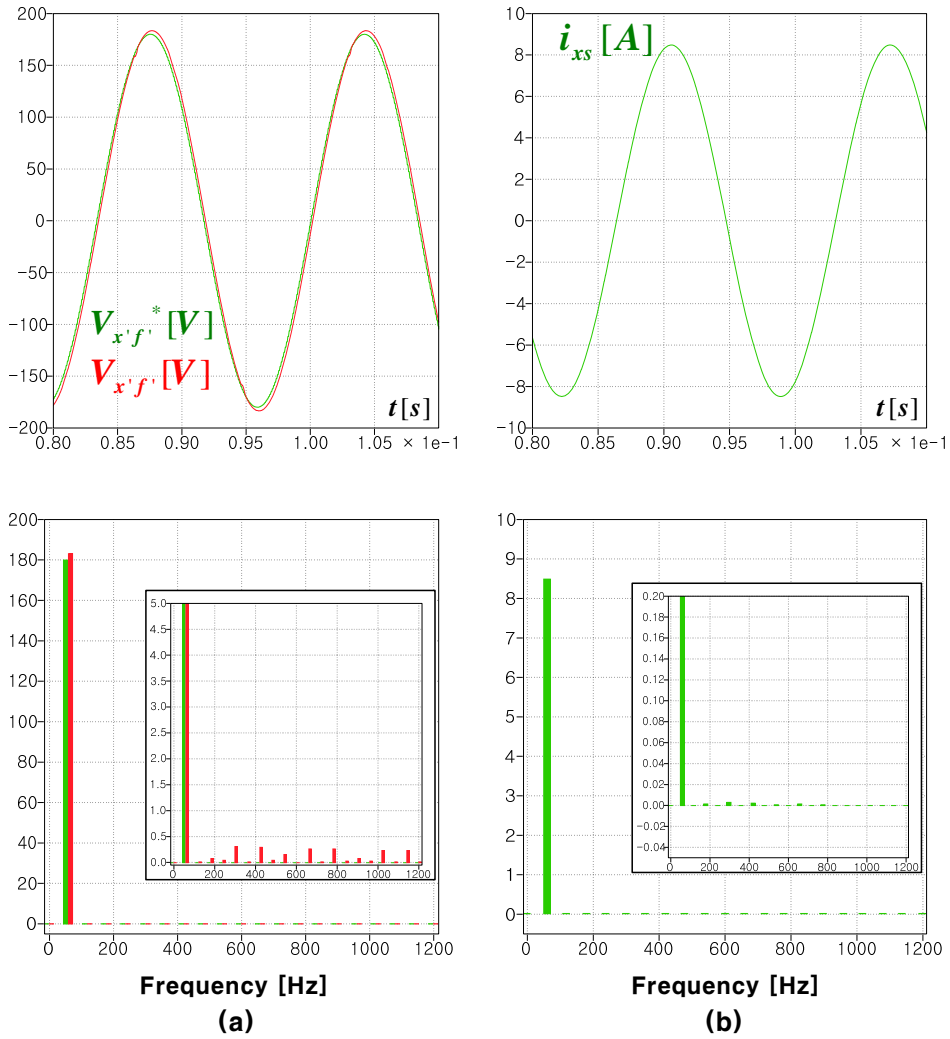


그림 3.57 모의 실험 결과 - Sim16

(a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)

Figure 3.57 Simulation result - Sim16

(a) Phase voltage reference/phase voltage (FFT),

(b) Phase current (FFT)

3.1.4 실험 결과

그림 3.41과 같은 모의 실험 회로와 같은 회로를 이용하여 실제 실험을 수행하였다. 여기서 직류단 전압 (V_{dc})은 430V, 스위칭 주파수 (f_{sw})는 20 kHz, 샘플링 주파수 (f_{samp})는 40 kHz 이다. 이때 데드 타임 (T_{dead})은 $2\mu s$ 로 설정하였다. 사용된 부하는 인덕터와 저항이 각각 직렬로 연결되어 있고, 그 값은 각각 (3.108), (3.109)와 같다.

$$L_{al} = L_{bl} = L_{cl} = 50.731mH . \quad (3.108)$$

$$R_{al} = R_{bl} = R_{cl} = 40\Omega . \quad (3.109)$$

실험에서 사용한 데드 타임 보상 곡선은 그림 3.32와는 다르게 측정한 값을 이용하였다. 전력용 반도체 소자에 전류를 흐르게 해서 그때 발생하는 전압 오차를 직접 측정하였다[54]. 전류에 따른 전압 오차는 그림 3.58과 같다. 이때 데드 타임 보상 전압은 실제 측정한 값과 가장 유사한 Arctangent 함수 형태의 곡선을 이용하였다.

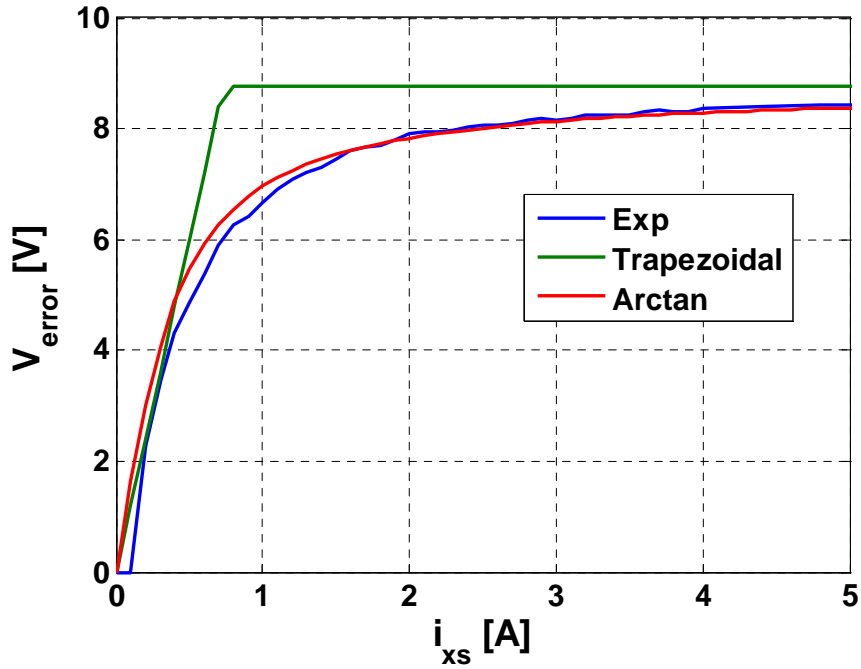


그림 3.58 전류와 전압 오차

Figure 3.58 Current and voltage error

각 실험의 결과를 비교하기 위해 (3.110)과 같이 기본파 성분의 전압 전달률 (Voltage Transfer Rate, VTR)을 새로 정의하였고, 각각의 실험마다 그 값과 전고조파왜곡율 (Total Harmonic Distortion, THD) 값을 추출하였다.

$$VTR = \frac{V_{cap,1}}{V_{cap}^*} \times 100 [\%]. \quad (3.110)$$

여기서 $V_{cap,1}$ 은 캐패시터 전압의 기본파 성분의 크기이다. 지령과 같은 완벽한 형태의 정현파가 출력된다면 기본파의 크기가 지령과 같으므로,

VTR은 100%가 되고, THD는 0%가 된다.

먼저 (3.111)과 같은 저 전압 조건에서 실험을 수행하였다. 저 전압 실험에서 사용한 PWM 방법과 각 상의 데드 타임 보상 여부는 표 3.5와 같다.

$$\begin{cases} V_{af}^* = 18\sin 2\pi 60t \\ V_{bf}^* = 18\sin(2\pi 60t - \frac{2}{3}\pi) . \\ V_{cf}^* = 18\sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.111)$$

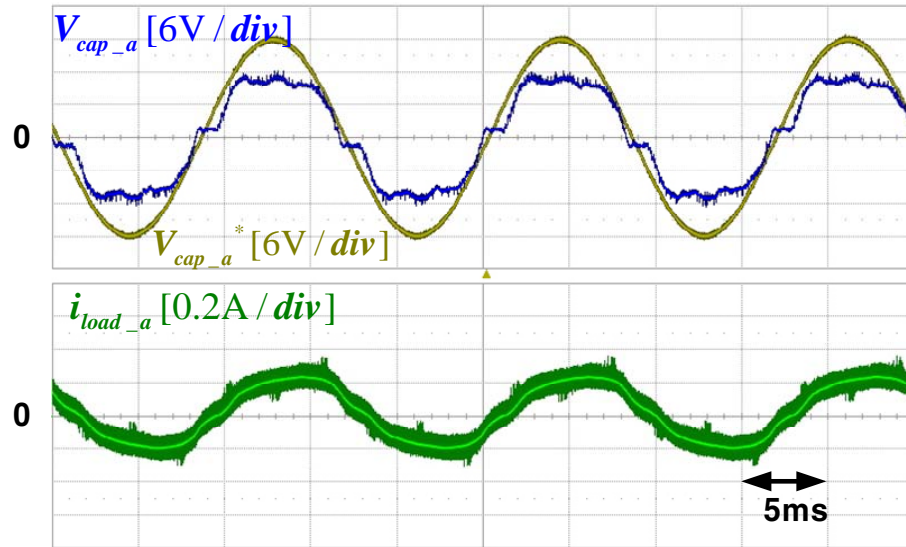
표 3.5 저 전압에서의 실험 조건

Table 3.5 Conditions for experiment in low voltage

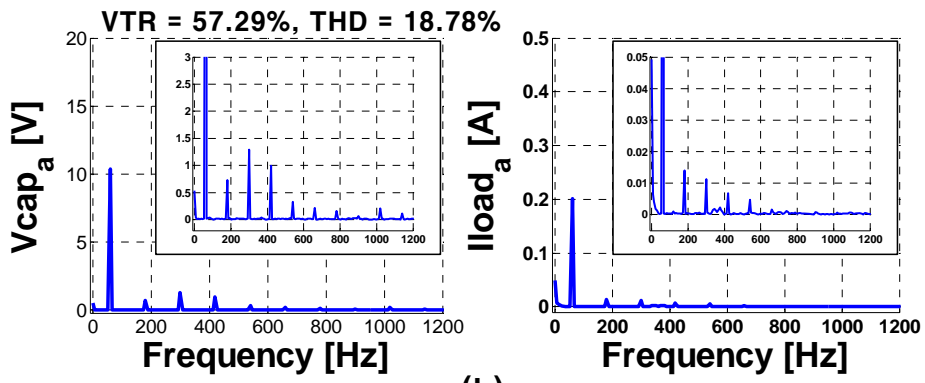
모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
실험 1	SVPWM	보상 안함	보상 안함
실험 2	SVPWM	보상 함	보상 안함
실험 3	SVPWM	보상 함	보상 함
실험 4	SPWM	보상 안함	보상 안함
실험 5	SPWM	보상 함	보상 안함
실험 6	SVPWM+AOVPWM	보상 안함	보상 안함
실험 7	SVPWM+AOVPWM	보상 함	보상 안함
실험 8	SVPWM+AOVPWM	보상 함	보상 함

그림 3.59, 그림 3.60, 그림 3.61 은 SVPWM 방법을 적용했을 때의 파형이다. 각각의 그림에서 (a) 는 a 상 캐패시터 지령 전압과 a 상 캐패시터 전압, a 상 부하 전류, (b)는 a 상 캐패시터 전압과 전류의 FFT 를 보여준다.

그림 3.59 와 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. f 상만 데드 타임 보상을 하지 않은 그림 3.60 과 같은 결과를 보면 그림 3.59 보다 기본파 성분의 크기는 커지고 3 고조파 성분을 제외한 나머지 고조파 성분의 크기는 줄어든 것을 볼 수 있다. 여기서 4 개의 레그 모두 데드 타임 보상을 한 그림 3.61 을 보면 기본파 주파수 성분의 크기는 커졌지만, 고조파 성분의 크기도 같이 커진 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 57.29%로 작으나, a, b, c 레그에 데드 타임 보상을 추가하면 76.13% 로 증가하게 된다. 그러나 VTR 값은 여전히 작은 것을 알 수 있다.



(a)



(b)

그림 3.59 실험 결과 - 실험 1

Figure 3.59 Experimental result - EXP. 1

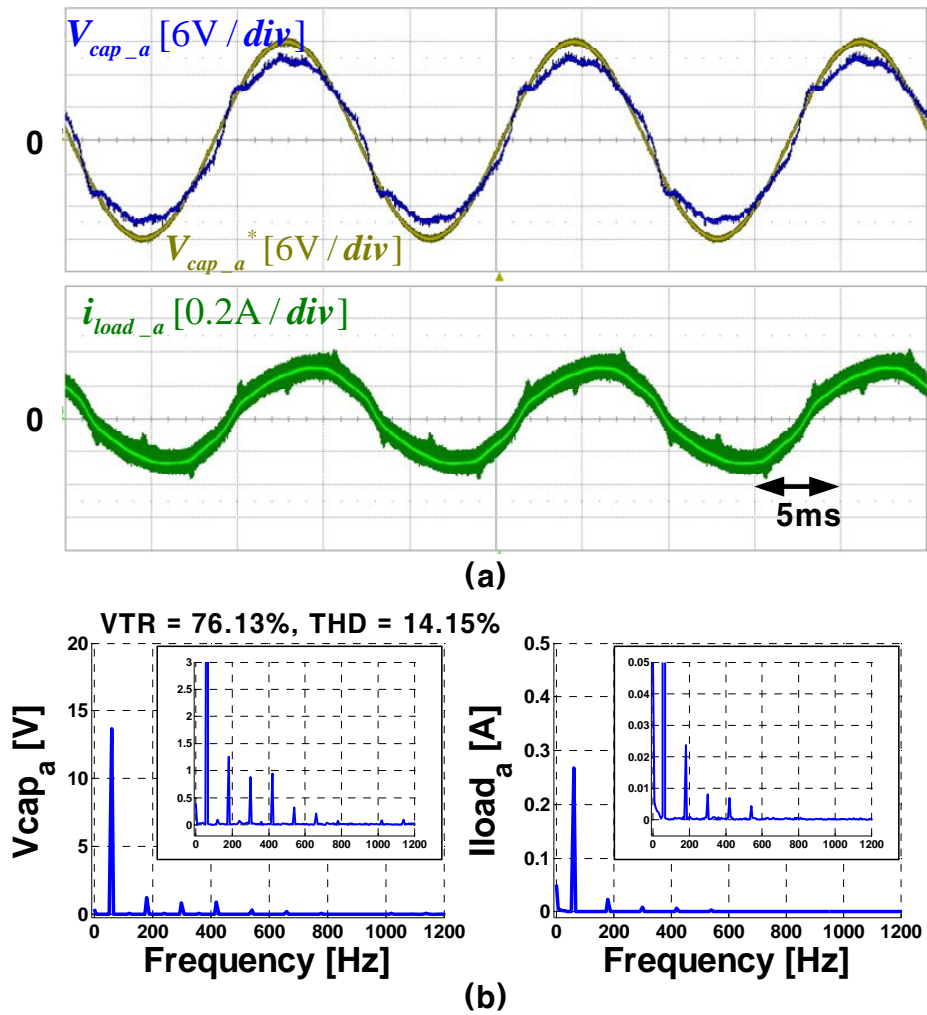
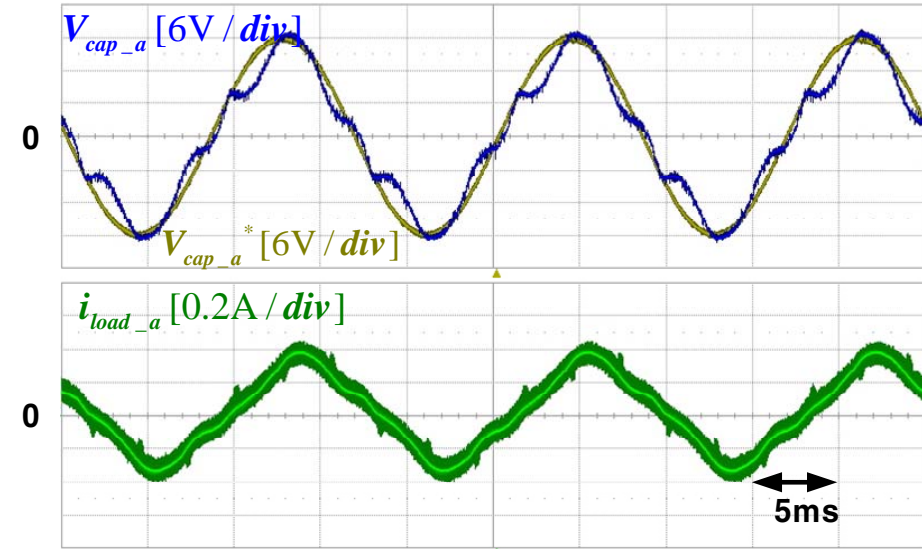
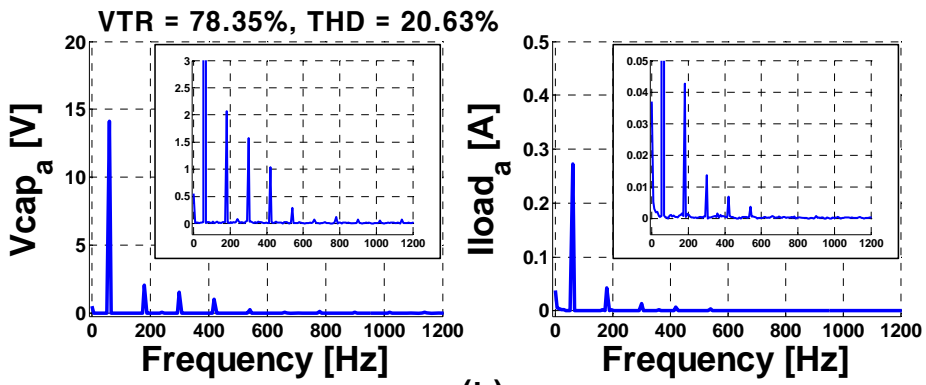


그림 3.60 실험 결과 - 실험 2

Figure 3.60 Experimental result - EXP. 2



(a)



(b)

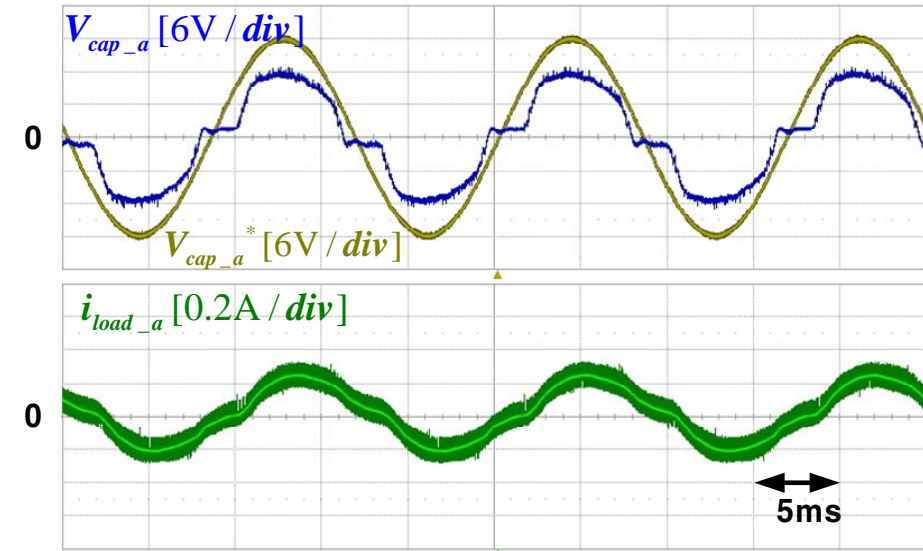
그림 3.61 실험 결과 - 실험 3

Figure 3.61 Experimental result - EXP. 3

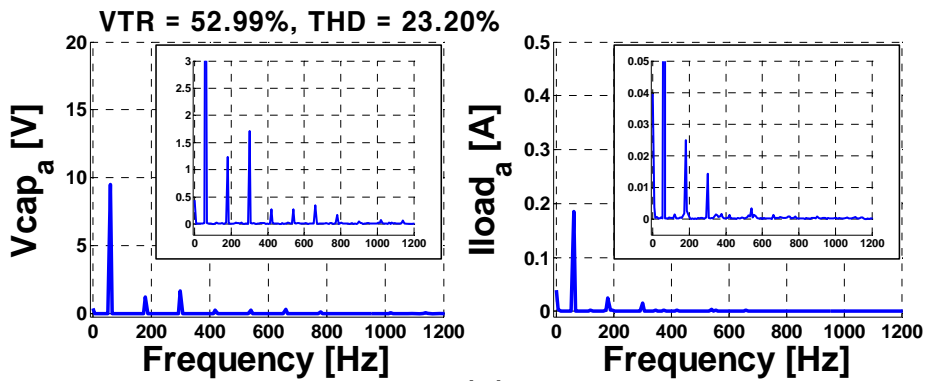
그림 3.62, 그림 3.63 은 SPWM 방법을 적용했을 때의 파형이다. SPWM 방법을 4 레그 컨버터에 적용하게 되면 f 레그는 스위칭을 하지 않게 된다.

그림 3.62 와 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 여기서 a, b, c 3 개의 레그에 데드 타임 보상을 한 그림 3.63 을 보면 기본파 주파수 성분의 크기는 보상 전과 비교해 커진 것을 볼 수 있다. 또한 고조파 성분의 크기는 작아진 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 52.99%로 작으나, a, b, c 레그에 데드 타임 보상을 추가하면 77.75%로 증가하게 된다. 하지만 여전히 VTR 의 값이 작은 것을 알 수 있다.

SVPWM 방법 혹은 SPWM 방법을 적용해도 최종 극 전압의 지령은 데드 존 안에 들어가는 시간이 많으므로 데드 타임 보상이 제대로 이루어지지 않는다.



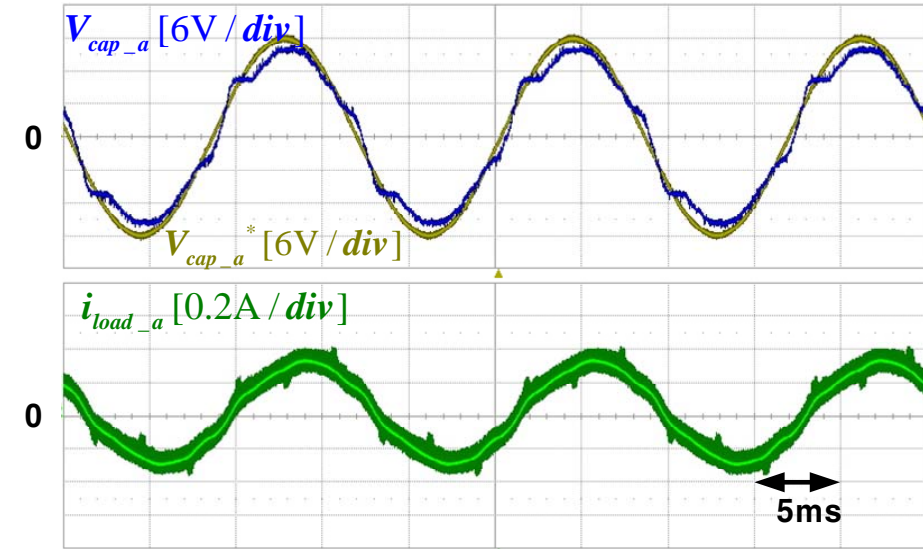
(a)



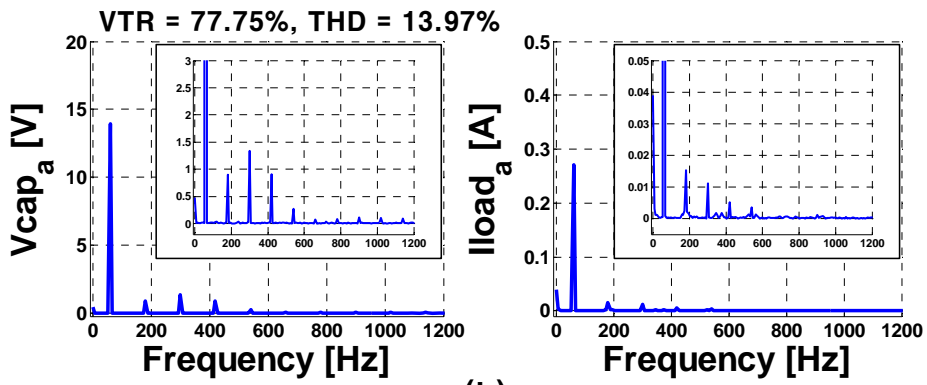
(b)

그림 3.62 실험 결과 - 실험 4

Figure 3.62 Experimental result - EXP. 4



(a)



(b)

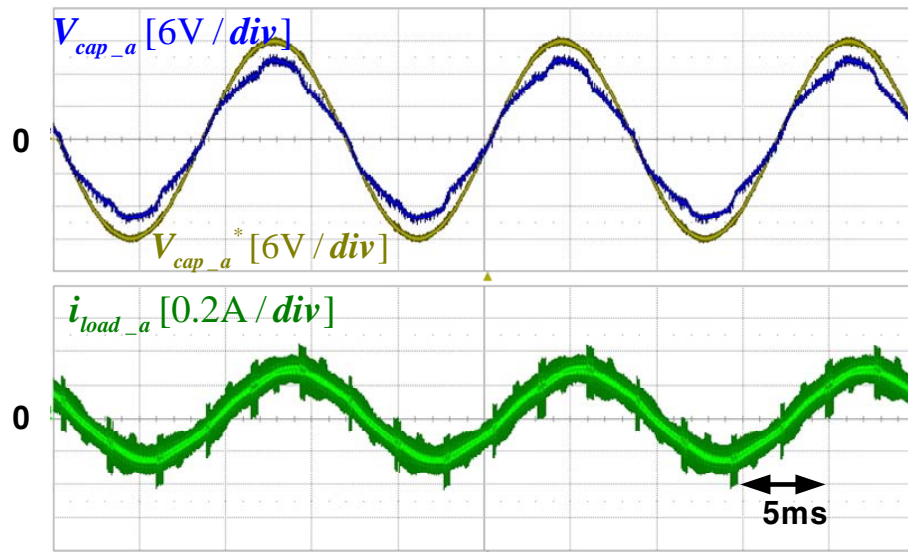
그림 3.63 실험 결과 - 실험 5

Figure 3.63 Experimental result - EXP. 5

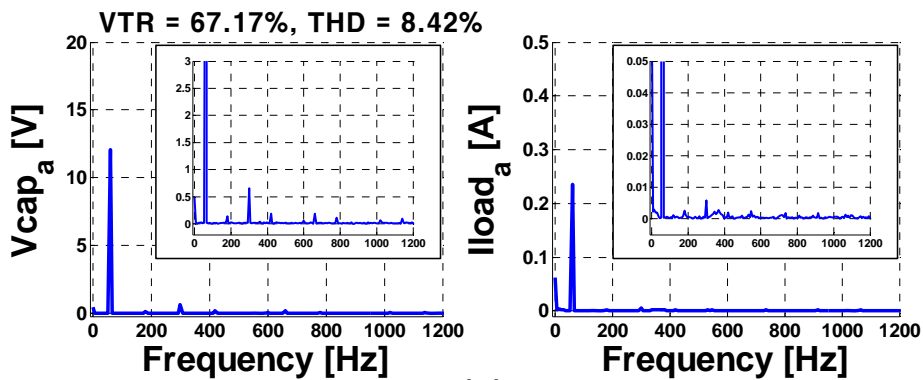
AOVPWM 방법은 다른 PWM 방법과 함께 사용할 수 있다.

그림 3.64, 그림 3.65, 그림 3.66 은 AOVPWM 을 SVPWM 과 함께 사용했을 때의 결과이다. 그림 3.64 는 AOVPWM 방법을 적용하고 데드 타임 보상은 적용하지 않았을 때의 결과로 고조파 전압은 크지 않으나, 기본파 전압의 크기가 지령보다 작은 것을 볼 수 있다. 그림 3.65 는 f 상을 제외한 나머지 상에서 데드 타임 보상을 했을 때의 결과로 기본파 전압의 크기가 커진 것을 볼 수 있다. 여기에 f 상에도 데드 타임 보상을 적용했을 때는 그림 3.66 과 같은데 f 상에서 데드 타임 보상을 했을 때, 기본파 성분의 크기는 오히려 약간 줄었으나 고조파 성분의 크기는 큰 차이가 없는 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 67.17%로 같은 조건의 다른 PWM 방법보다는 크지만 여전히 작다. 하지만 a, b, c 레그에 데드 타임 보상을 추가하면 VTR 이 87.55% 로 많이 증가하게 된다.

저 전압 조건에서 AOVPWM 을 적용하면 기본 방법인 SPWM 과 SVPWM 방법을 적용했을 때에 비해 데드 타임 보상이 제대로 되는 것을 볼 수 있다.



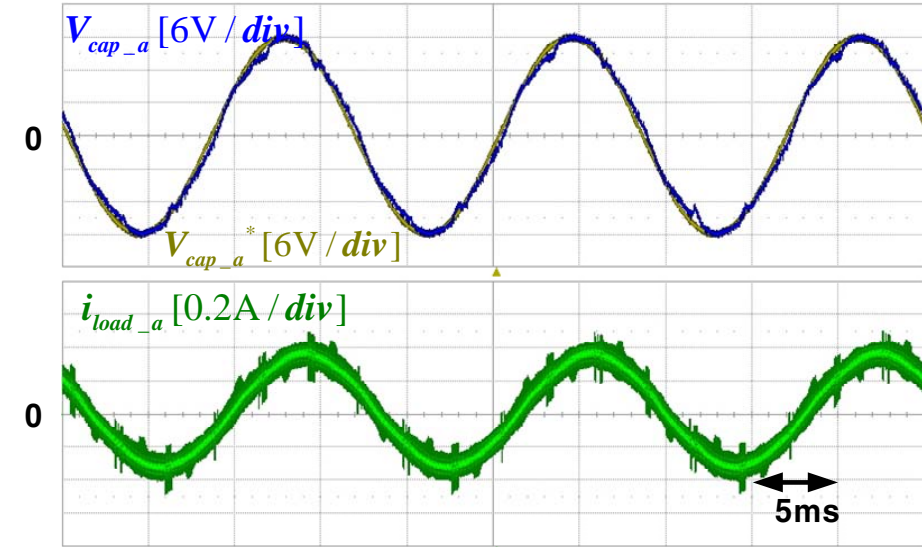
(a)



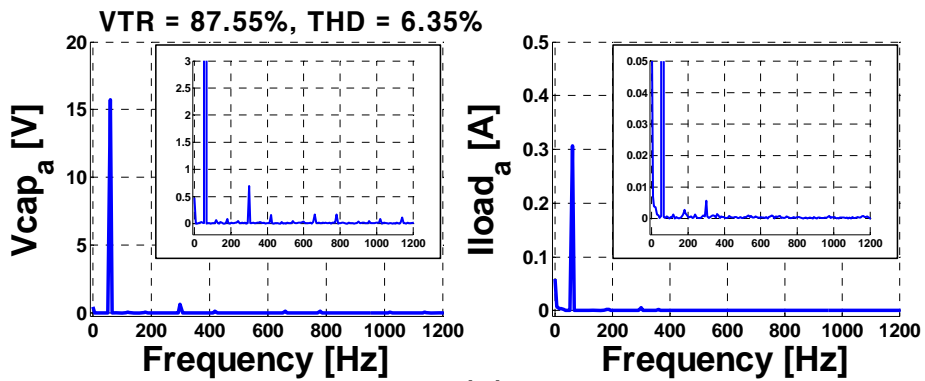
(b)

그림 3.64 실험 결과 - 실험 6

Figure 3.64 Experimental result - EXP. 6



(a)



(b)

그림 3.65 실험 결과 - 실험 7

Figure 3.65 Experimental result - EXP. 7

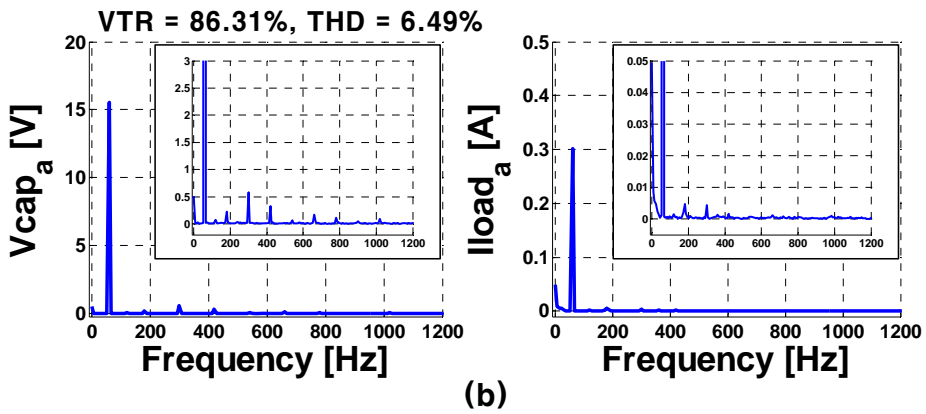
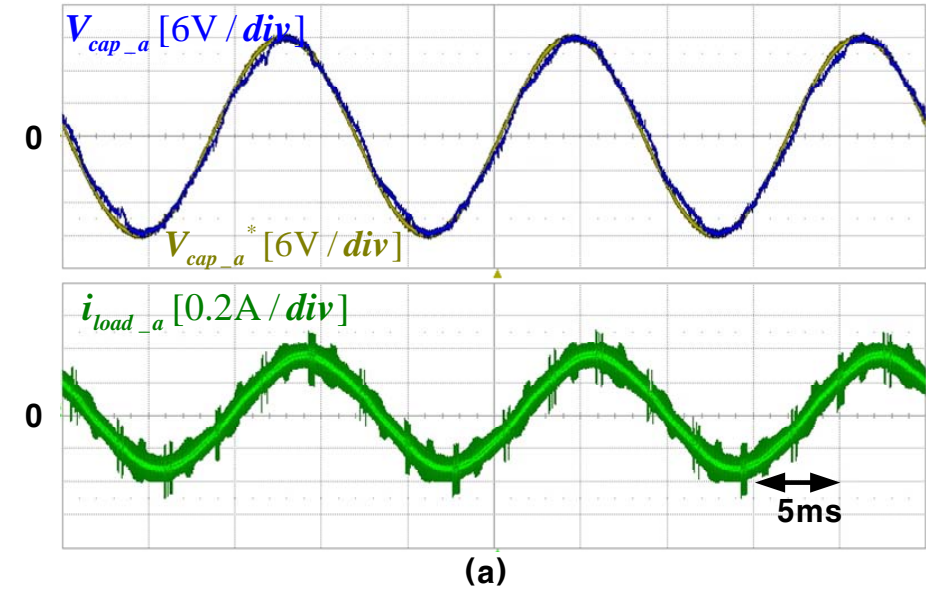


그림 3.66 실험 결과 - 실험 8

Figure 3.66 Experimental result - EXP. 8

다음으로 (3.112)와 같은 고 전압 조건에서 실험을 수행하였다. 고 전압 실험에서 사용한 PWM 방법과 각 상의 데드 타임 보상 여부는 표 3.6과 같다.

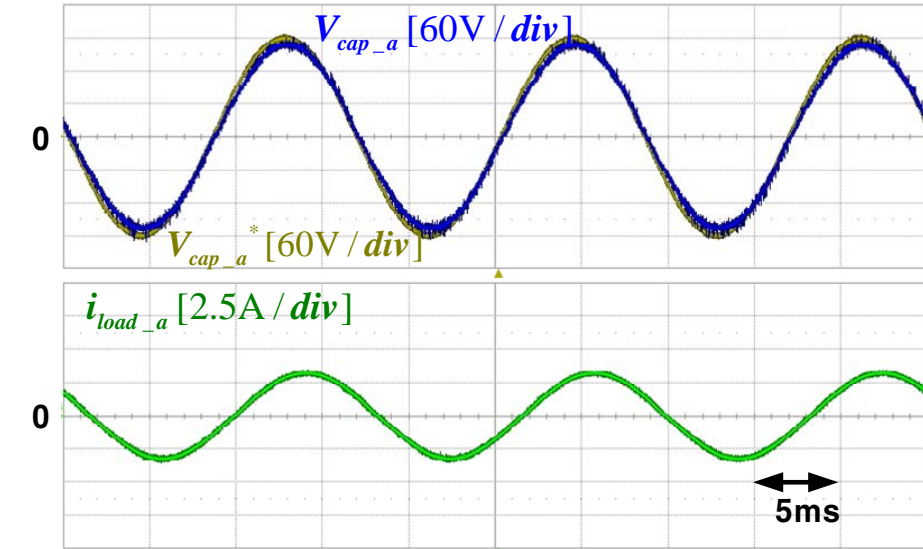
$$\begin{cases} V_{af}^* = 180 \sin 2\pi 60t \\ V_{bf}^* = 180 \sin(2\pi 60t - \frac{2}{3}\pi) . \\ V_{cf}^* = 180 \sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.112)$$

표 3.6 고 전압에서의 실험 조건

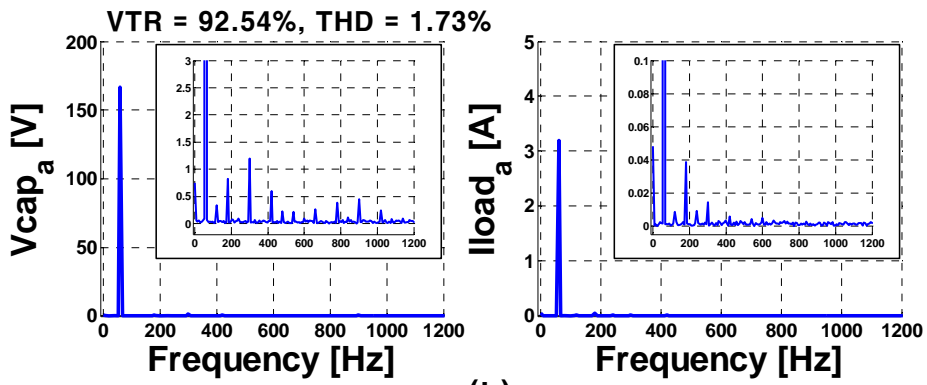
Table 3.6 Conditions for experiment in high voltage

모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
실험 9	SVPWM	보상 안함	보상 안함
실험 10	SVPWM	보상 함	보상 안함
실험 11	SVPWM	보상 함	보상 함
실험 12	SPWM	보상 안함	보상 안함
실험 13	SPWM	보상 함	보상 안함
실험 14	SVPWM+OMVPWM	보상 안함	보상 안함
실험 15	SVPWM+OMVPWM	보상 함	보상 안함
실험 16	SVPWM+OMVPWM	보상 함	보상 함

그림 3.67, 그림 3.68, 그림 3.69 는 SVPWM 방법을 적용했을 때의 파형이다. 그림 3.67 과 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 조금 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 그리고 많은 고조파 성분이 보인다. f 상만 데드 타임 보상을 하지 않은 그림 3.68 의 결과를 보면 기본파 성분의 전압은 데드 타임 보상 전에 비해 많이 커진 것을 볼 수 있다. 또한 고조파 성분의 크기가 줄어든 것을 볼 수 있다. 4 개의 레그 모두 데드 타임 보상을 한 그림 3.69 를 보면 기본파 주파수 성분의 크기는 데드 타임 보상 전보다 커졌고, 고조파 성분의 크기는 그림 3.68 에 비해 증가분은 크지 않은 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 92.54%로 저 전압 조건에서보다는 값이 커진 것을 알 수 있다. 이는 지령 전압의 크기가 상대적으로 크기 때문이다. a, b, c 레그에 데드 타임 보상을 추가하면 그 값은 97.49% 로 늘어나게 된다.



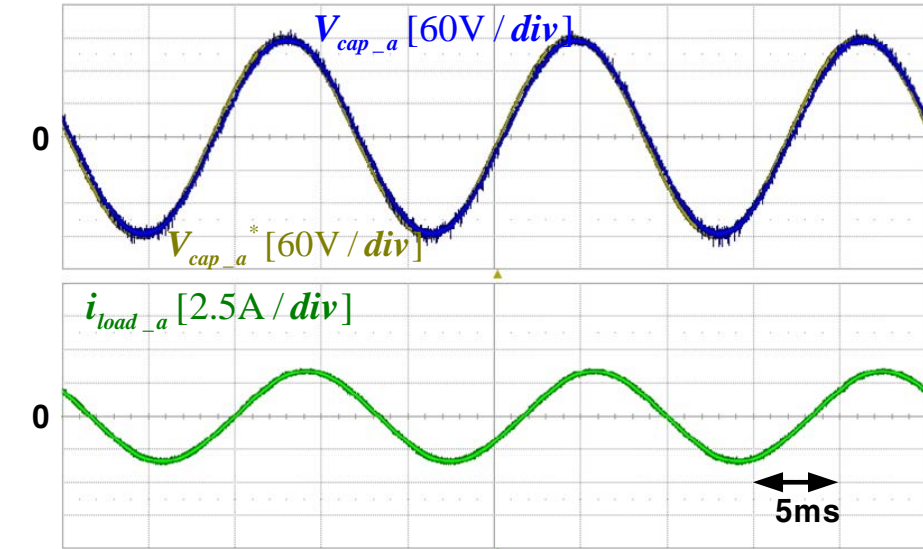
(a)



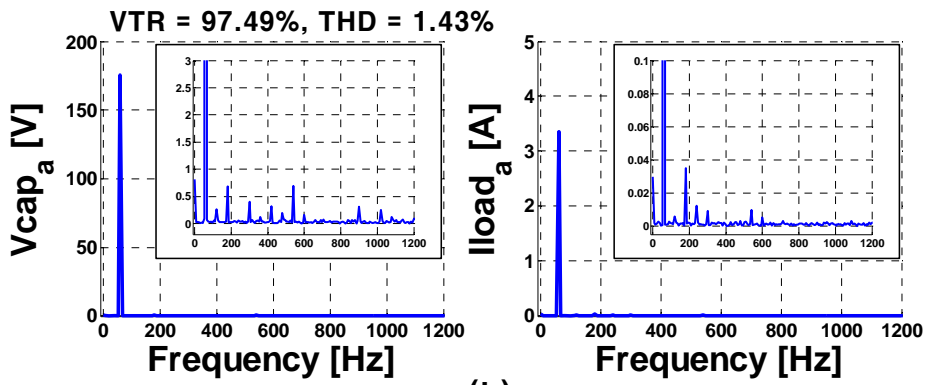
(b)

그림 3.67 실험 결과 - 실험 9

Figure 3.67 Experimental result - EXP. 9



(a)



(b)

그림 3.68 실험 결과 - 실험 10

Figure 3.68 Experimental result - EXP. 10

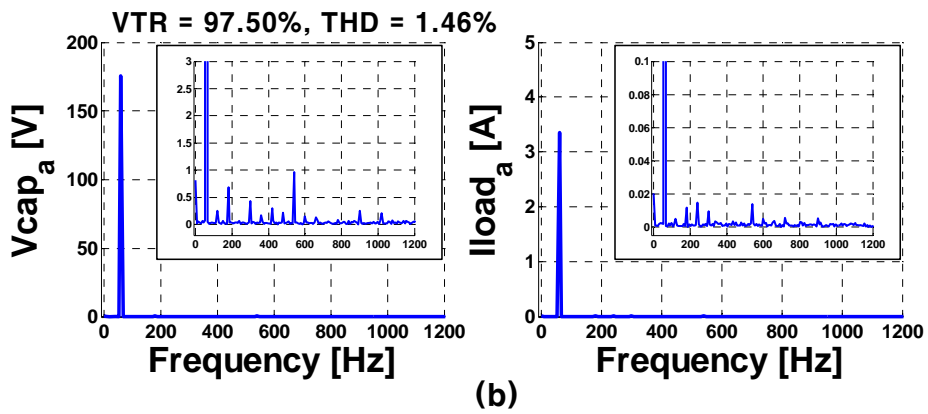
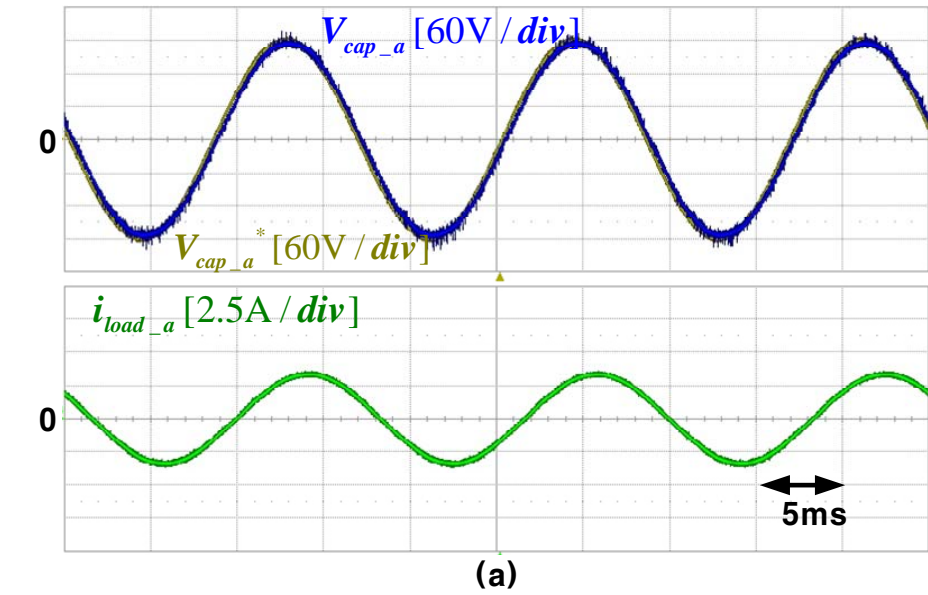
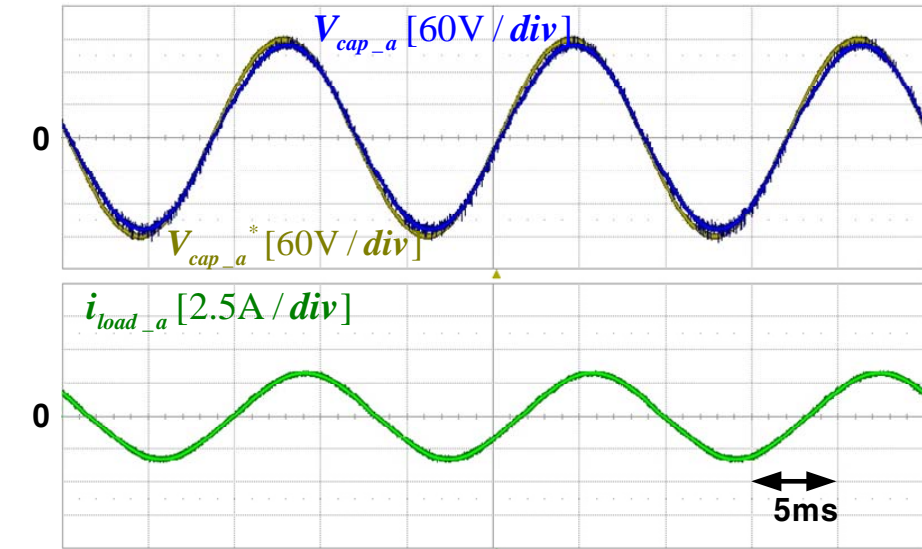


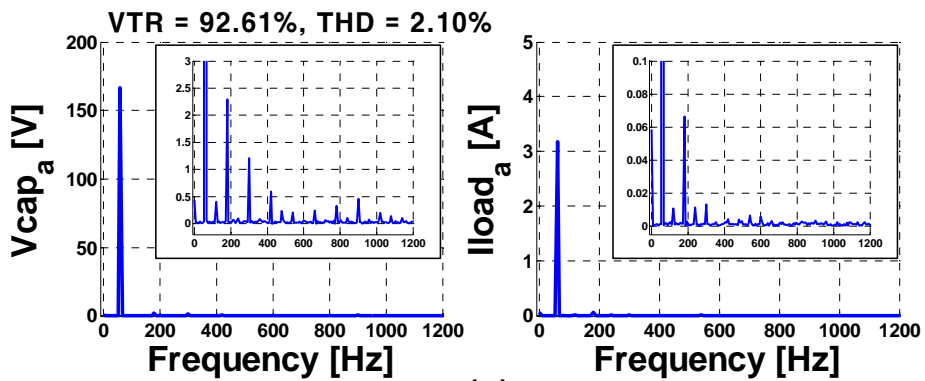
그림 3.69 실험 결과 - 실험 11

Figure 3.69 Experimental result - EXP. 11

그림 3.70, 그림 3.71 은 SPWM 을 적용했을 때의 파형이다. SPWM 을 4 레그 컨버터에 적용하게 되면 f 레그가 스위칭을 하지 않게 된다. 그림 3.70 과 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 약간 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 여기서 a, b, c 3 개의 레그에 데드 타임 보상을 한 그림 3.71 을 보면 기본파 주파수 성분의 크기는 보상 전과 비교해 지령 값보다는 커진 것을 볼 수 있다. 또한 고조파 성분의 크기도 많이 작아진 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 92.61%로 저 전압 조건에서보다는 그 값이 커진 것을 알 수 있다. a, b, c 레그에 데드 타임 보상을 추가하면 그 값은 97.63% 로 늘어난 것을 볼 수 있다.



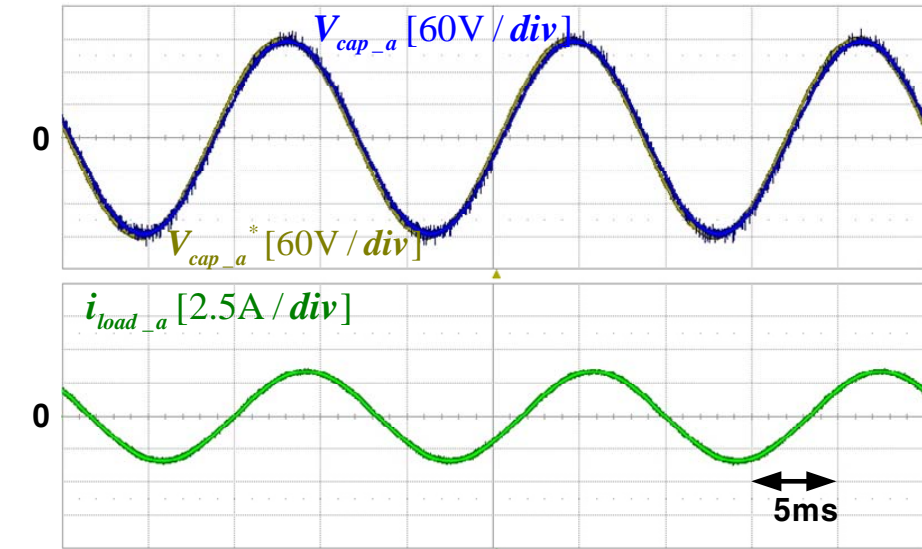
(a)



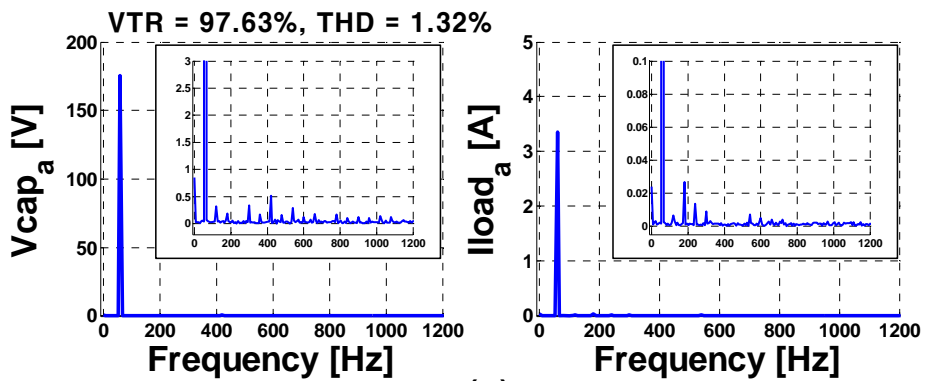
(b)

그림 3.70 실험 결과 - 실험 12

Figure 3.70 Experimental result - EXP. 12



(a)



(b)

그림 3.71 실험 결과 - 실험 13

Figure 3.71 Experimental result - EXP. 13

OMVPWM 방법도 AOVPMW 방법과 마찬가지로 SVPWM 방법과 함께 사용할 수 있다. 그림 3.72, 그림 3.73, 그림 3.74 는 OMVPWM 을 SVPWM 과 함께 사용했을 때의 결과이다. 데드 타임 보상을 아무 것도 하지 않았을 때는 그림 3.72 에서 볼 수 있듯이 기본파 성분의 크기가 지령 전압 보다 작은 것을 알 수 있다. 하지만 a, b, c 레그에서 데드 타임 보상을 하게 되면 그림 3.73 과 같이 기본파 성분의 크기가 커지고, 고조파 성분의 크기도 줄어드는 것을 알 수 있다. 여기에 f 레그까지 데드 타임 보상을 해주게 되면 그림 3.74 와 같이 기본파 성분의 크기도 지령 전압과 가깝고, 고조파 성분의 크기도 더 줄어드는 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 92.6%이나, a, b, c 레그에 데드 타임 보상을 추가하면 97.58%로 증가한 것을 볼 수 있다. 다시 f 레그에서도 보상을 하게 되면 97.61%로 증가하게 된다.

고 전압 조건에서는 어떤 PWM 방법을 사용하더라도 데드 타임 보상 방법만 적용하게 되면 VTR 값이 90% 이상으로 높은 것을 볼 수 있다.

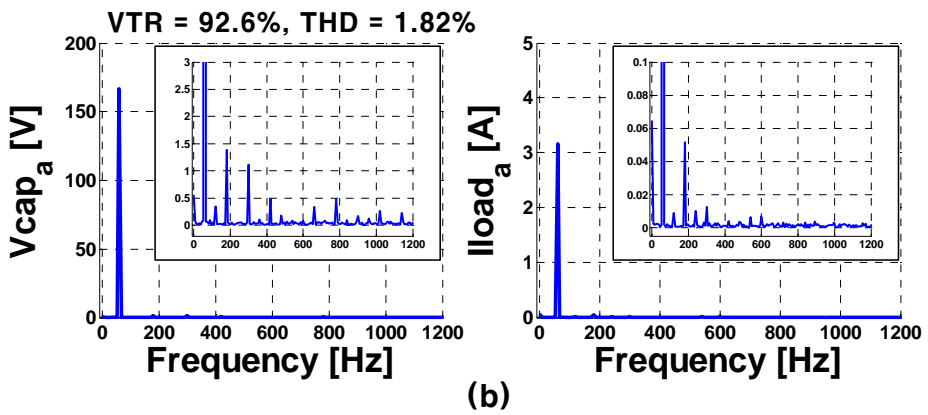
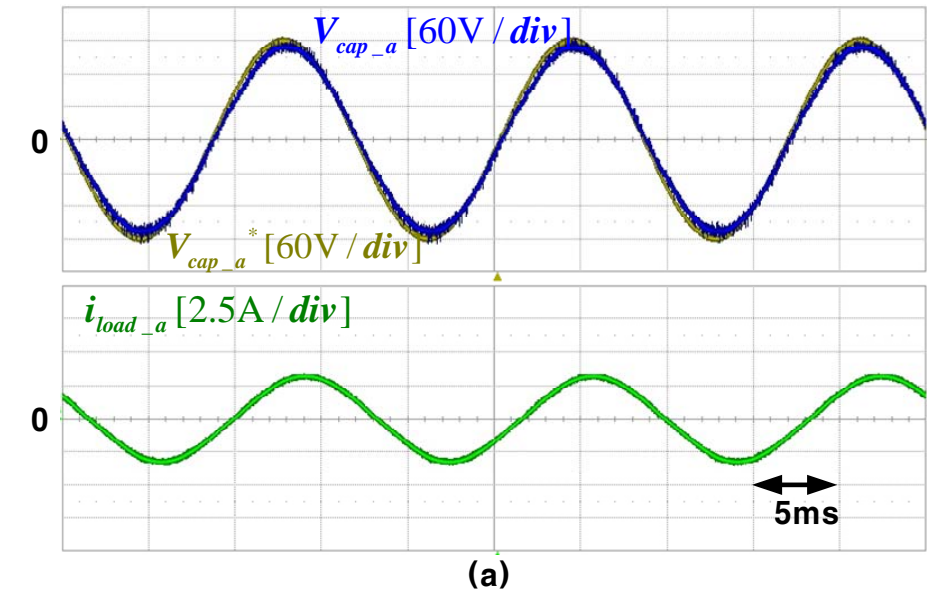
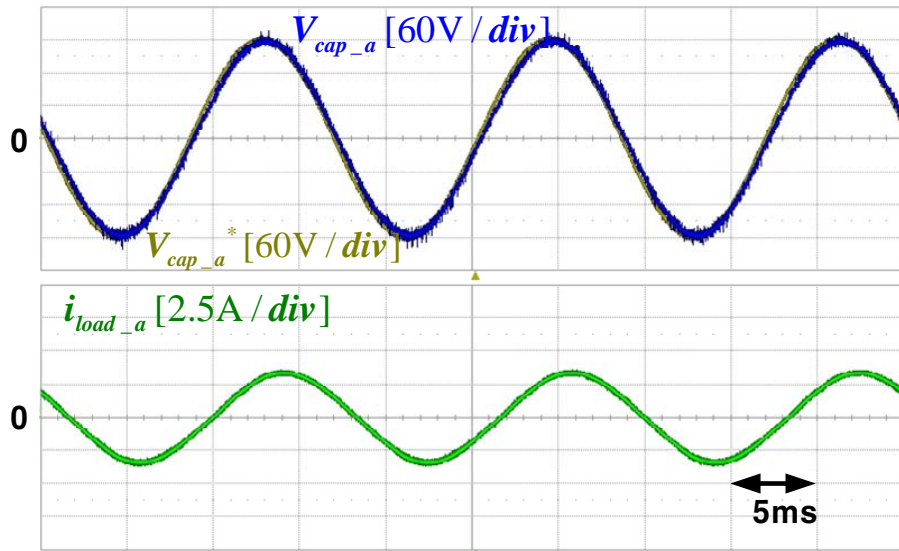
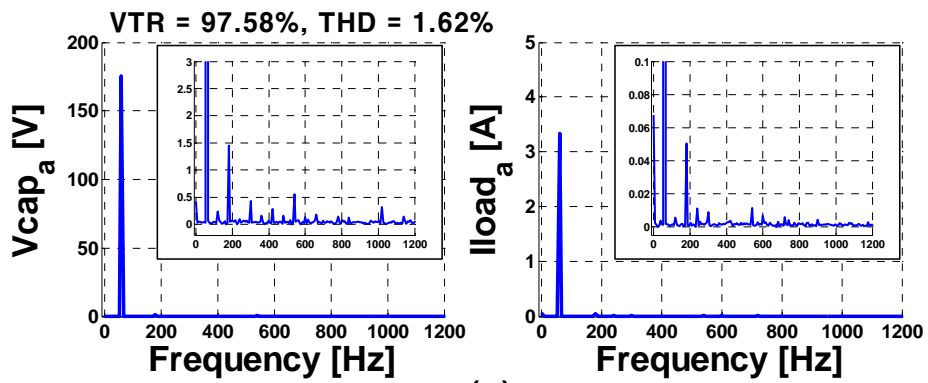


그림 3.72 실험 결과 - 실험 14

Figure 3.72 Experimental result - EXP. 14



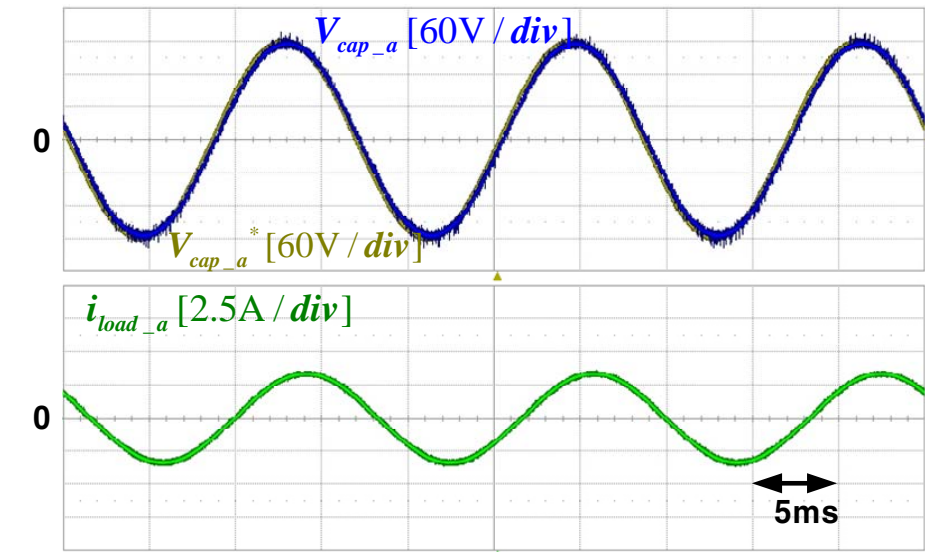
(a)



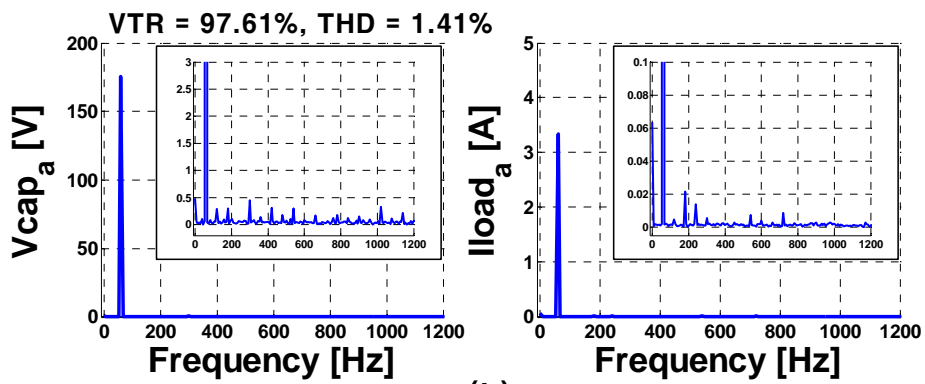
(b)

그림 3.73 실험 결과 - 실험 15

Figure 3.73 Experimental result - EXP. 15



(a)



(b)

그림 3.74 실험 결과 - 실험 16

Figure 3.74 Experimental result - EXP. 16

다양한 부하 조건에서의 검증을 위하여 먼저 아래와 같이 RL 부하의 값을 변경해서 실험을 수행하였다.

$$L_{al} = L_{bl} = L_{cl} = 0.731mH . \quad (3.113)$$

$$R_{al} = R_{bl} = R_{cl} = 9.7\Omega . \quad (3.114)$$

작은 크기의 전압 지령일 때는 (3.111)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.112)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.75, 그림 3.76은 각각 지령 전압의 크기가 작을 때, 클 때의 실험 결과이다. 기존 PWM 방법 대신에 데드 존을 회피하기 위한 PWM 방법인 AOVPWM를 적용 했을 때에 VTR의 값이 커진 것을 알 수 있고, OMVPWM를 각각 적용했을 때도 VTR의 값이 커진 것을 알 수 있다.

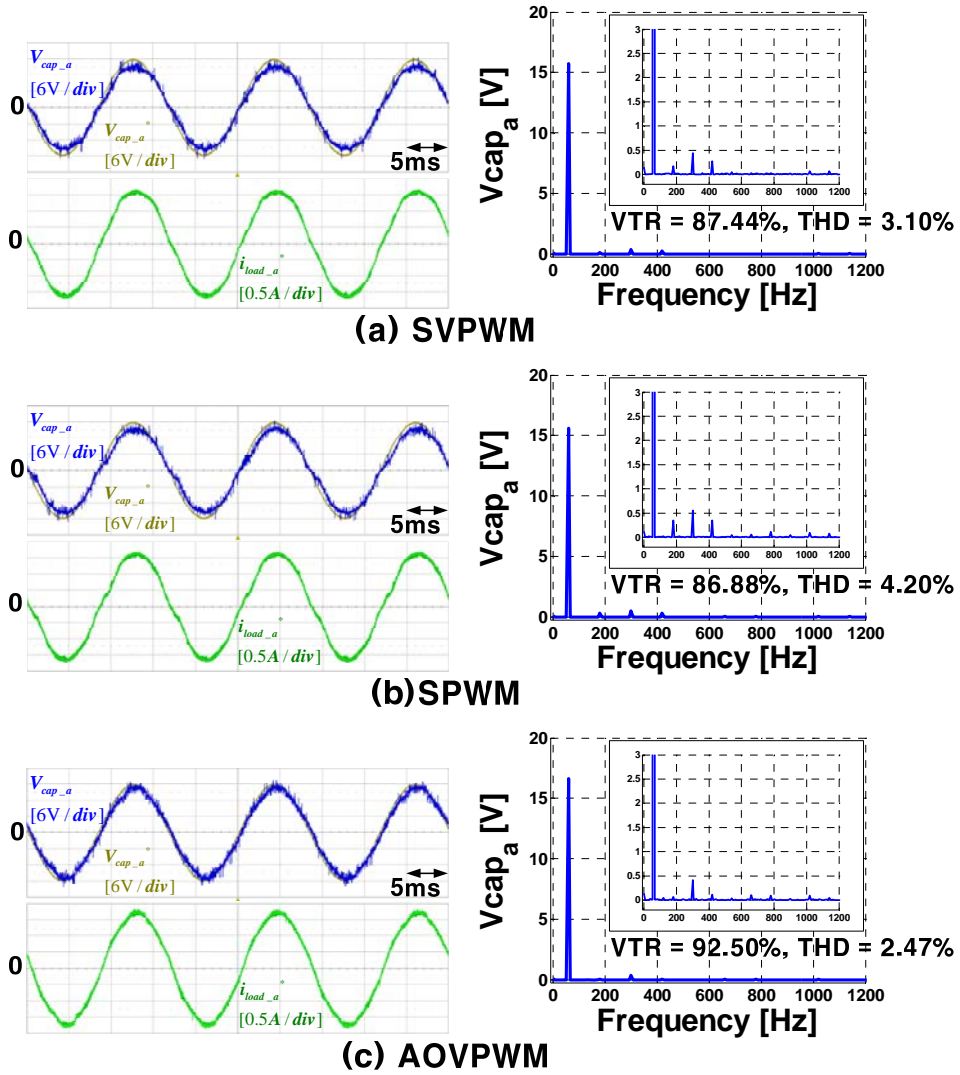
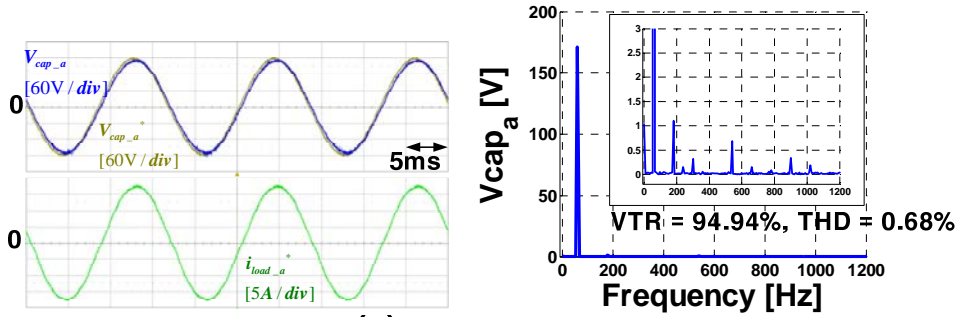
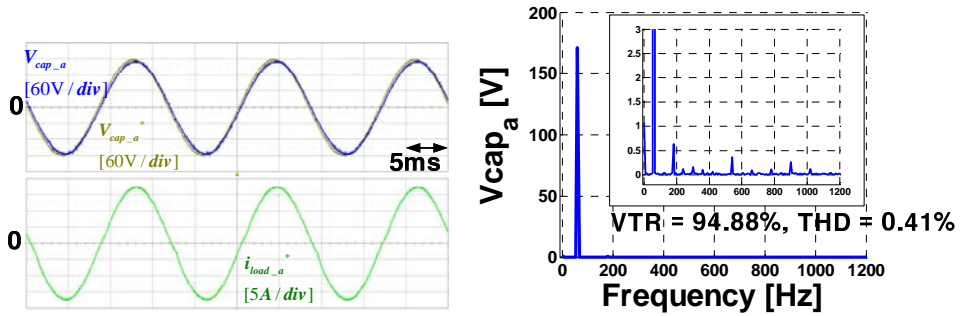


그림 3.75 실험 결과 - 고 전류 부하 조건 (저 전압)

Figure 3.75 Experimental result - High current load (Low voltage)



(a) SVPWM



(b) SPWM

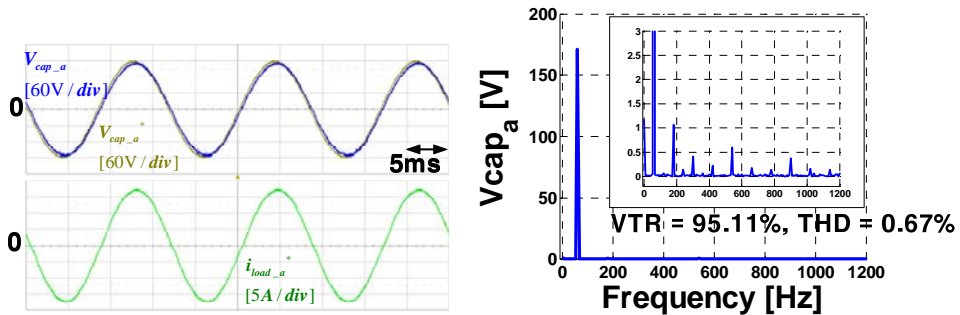


그림 3.76 실험 결과 - 고 전류 부하 조건 (고 전압)

Figure 3.76 Experimental result - High current load (High voltage)

다음으로 그림 3.77과 같은 다이오드 부하의 조건에서 실험을 수행하였다.

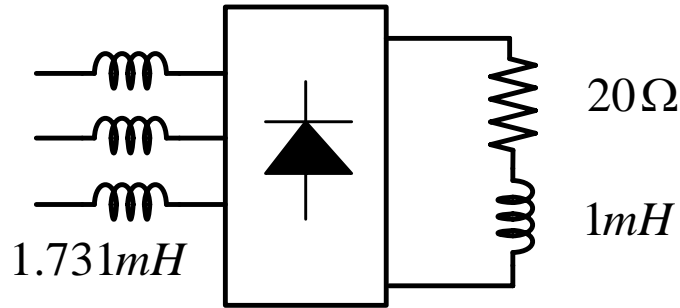


그림 3.77 부하 조건 - 다이오드 부하1

Figure 3.77 Load condition - Diode circuit1

작은 크기의 전압 지령일 때는 (3.111)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.112)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.78, 그림 3.79는 각각 지령 전압의 크기가 작을 때, 클 때의 실험 결과이다. 기존 PWM 방법 대신에 데드 존을 회피하기 위한 PWM 방법인 AOVPWM를 적용했을 때 VTR 값이 확실히 증가한 것을 알 수 있고, OMVPWM를 각각 적용했을 때는 기존 방법과 VTR의 값이 거의 유사한 것을 알 수 있다.

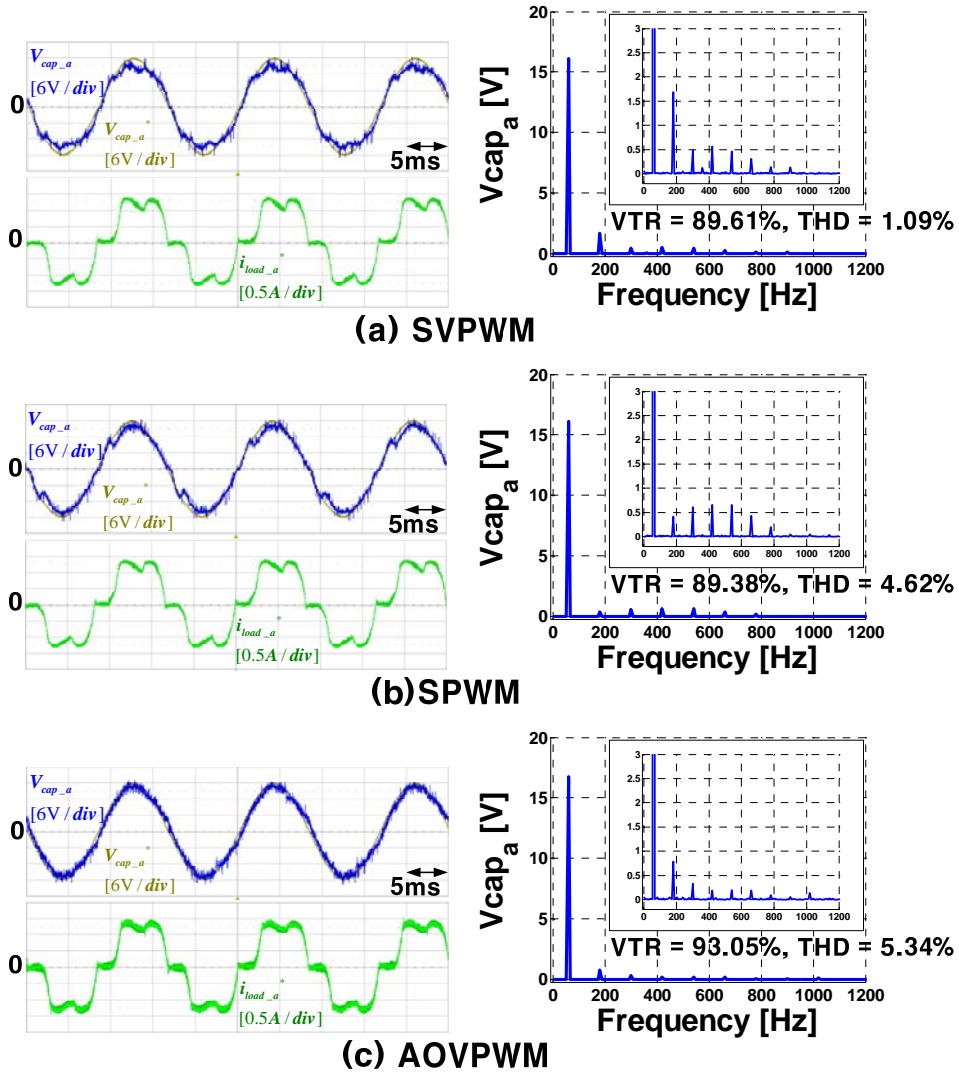


그림 3.78 실험 결과 - 다이오드 부하 조건1 (저 전압)

Figure 3.78 Experimental result - Diode circuit1 (Low voltage)

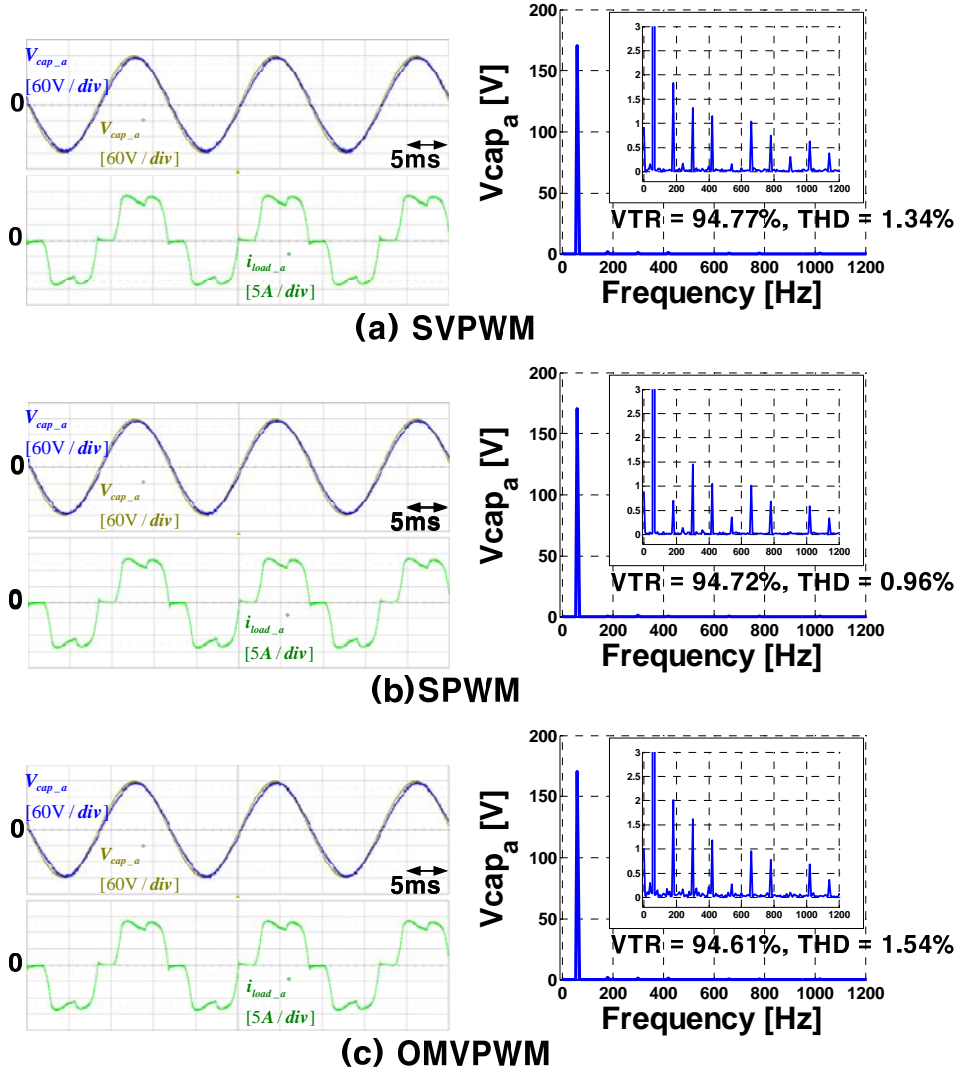


그림 3.79 실험 결과 - 다이오드 부하 조건1 (고 전압)

Figure 3.79 Experimental result - Diode circuit1 (High voltage)

추가로 그림 3.80과 같은 다이오드 부하의 조건에서 실험을 수행하였다.

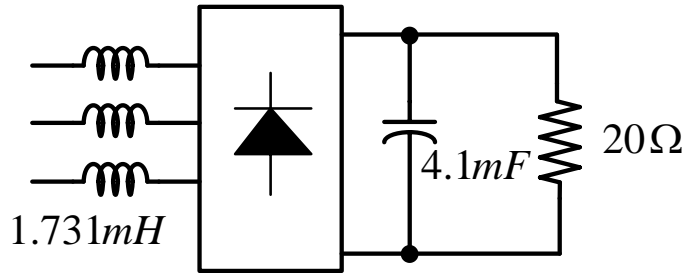


그림 3.80 부하 조건 - 다이오드 부하2

Figure 3.80 Load condition - Diode circuit2

작은 크기의 전압 지령일 때는 (3.111)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.112)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.81, 그림 3.82는 각각 지령 전압의 크기가 작을 때, 클 때의 실험 결과이다. 기존 PWM 방법 대신에 데드 존을 회피하기 위한 PWM 방법인 AOVPWM를 적용했을 때 VTR의 값이 확실히 증가한 것을 알 수 있고, OMVPWM를 각각 적용했을 때는 기존 방법과 VTR의 값이 거의 유사한 것을 알 수 있다.

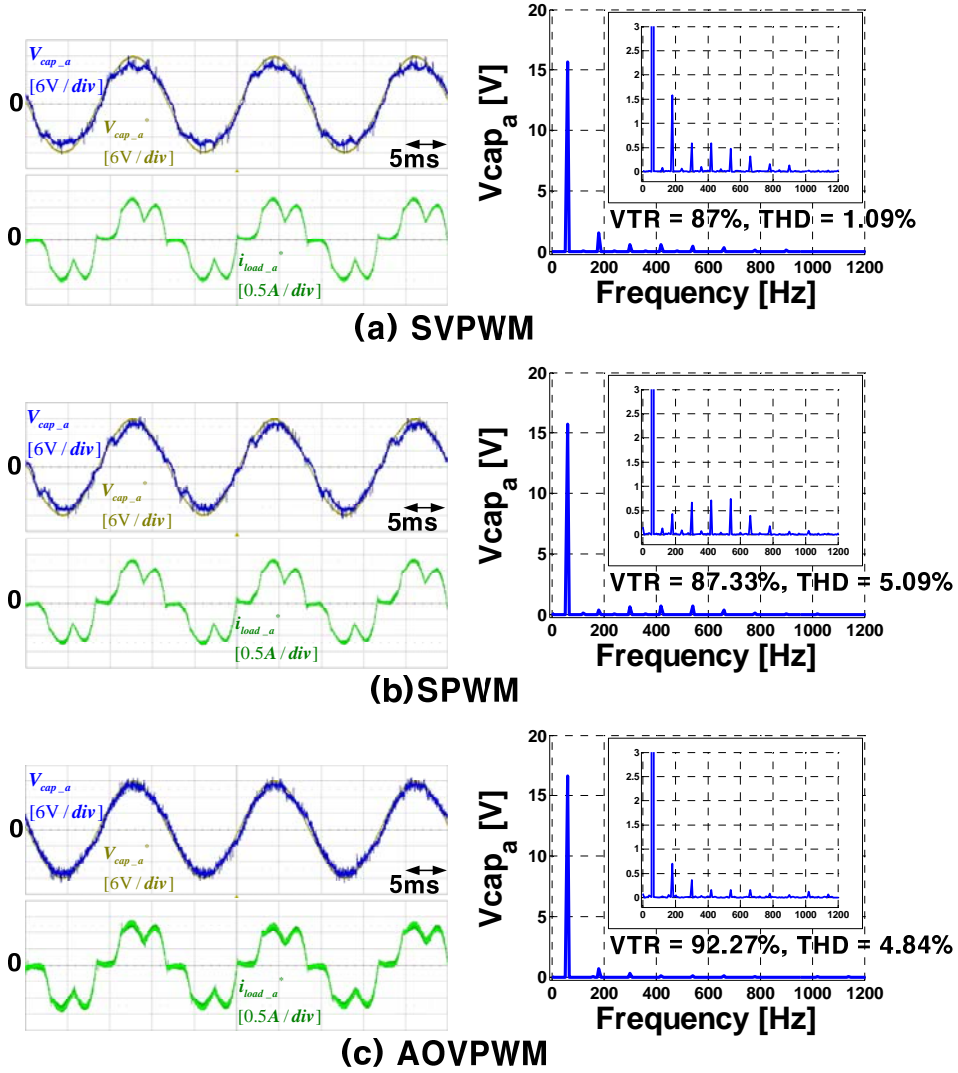


그림 3.81 실험 결과 - 다이오드 부하 조건2 (저 전압)

Figure 3.81 Experimental result - Diode circuit2 (Low voltage)

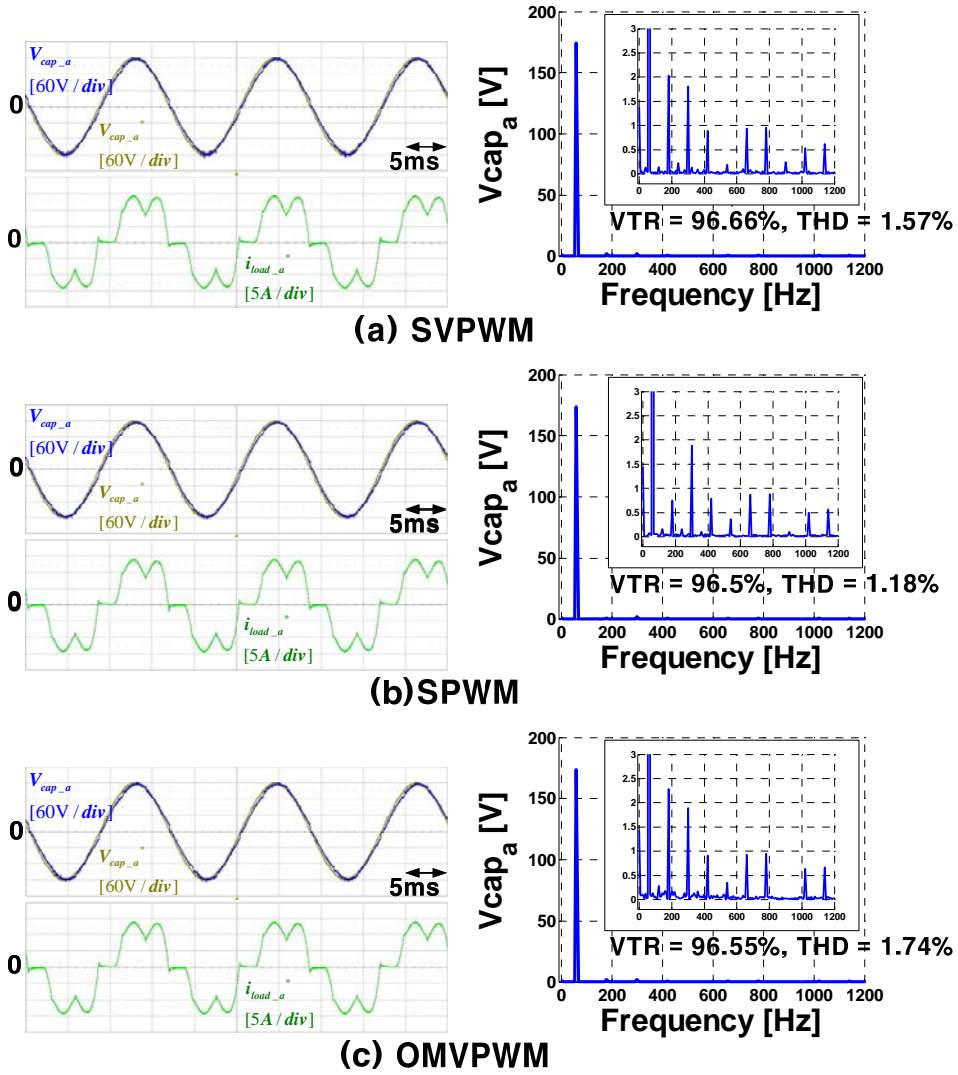


그림 3.82 실험 결과 - 다이오드 부하 조건2 (고 전압)

Figure 3.82 Experimental result - Diode circuit2 (High voltage)

이와 같이 3.1절에서는 데드 존 회피를 위한 PWM 방법을 제안하였고, 이를 통하여 보상 전에 비해 데드 타임에 의한 전압 왜곡을 줄일 수 있다는 것을 확인할 수 있었다. 하지만, 데드 타임 보상을 완벽하게 할 수 없을 뿐 아니라, 옵셋 전압 변동을 통해 데드 존을 피하고 있으므로 이 방법은 2장에서 언급한 커먼 모드 전압 저감 PWM 방법과 양립할 수 없다는 단점이 있다.

또한 AOVPWM 방법을 적용할 경우 커먼 모드 전압이 커진다는 문제가 있다. 그림 3.83이 저 전압 조건에서 SVPWM, AOVPWM를 각각 적용했을 때의 커먼 모드 전압 파형이다. 파형에서 알 수 있듯이

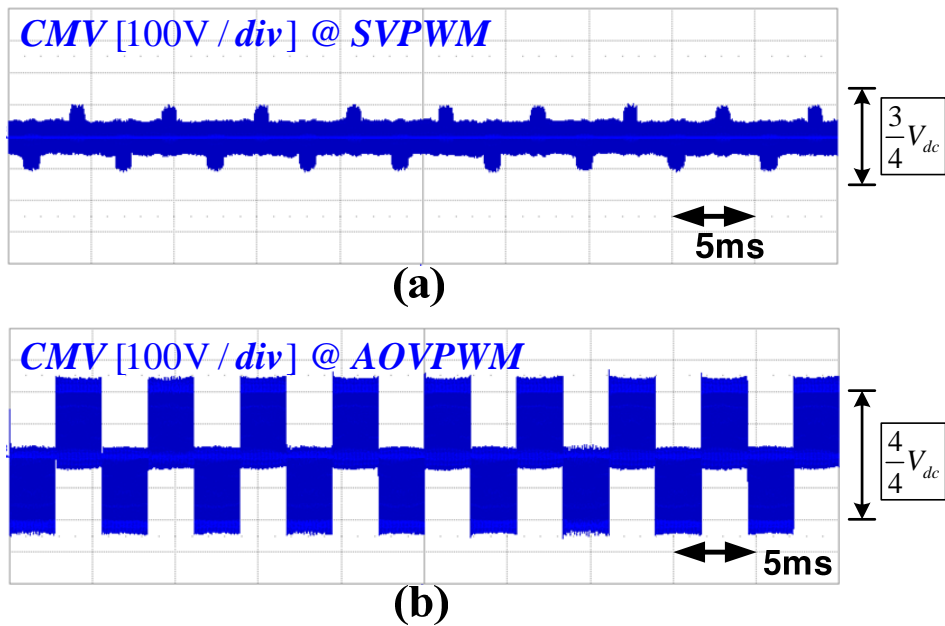


그림 3.83 커먼 모드 전압 (a) SVPWM, (b) AOVPWM

Figure 3.83 Common-mode voltage (a) SVPWM, (b) AOVPWM

AOVPWM를 적용하면 SVPWM에 비해 커먼 모드 전압이 커지게 된다. 하지만 SVPWM 방법을 적용 했을 때의 커먼 모드 전압이 예상 값인 $\frac{3}{4}V_{dc}$ 보다 작은 것을 알 수 있다. 이는 SVPWM 방법을 적용했을 경우에는 극 전압 지령이 데드 존 안에 들어가 있으므로 제대로 된 극 전압이 출력되지 않기 때문이다.

3.2 전압 제어기

본 논문에서 교류 전원 장치 용으로 사용한 회로 구조는 그림 3.84와 같다.

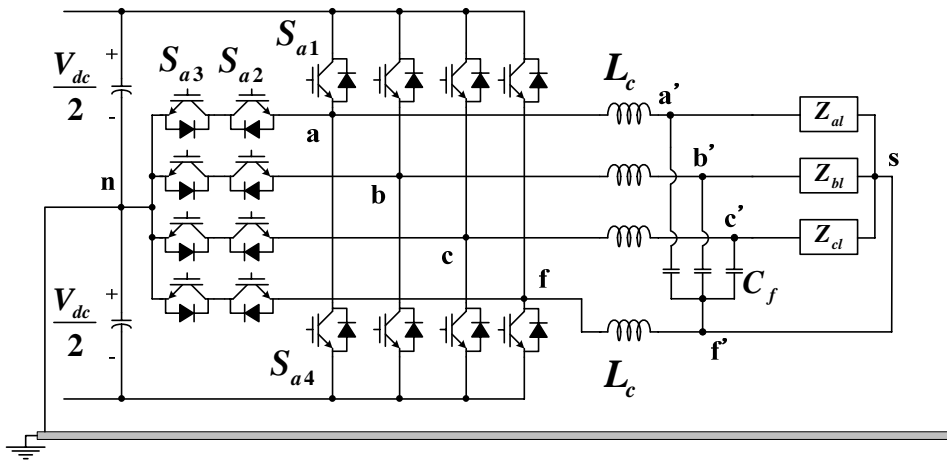


그림 3.84 3레벨 4레그 컨버터 구조

Figure 3.84 3 level 4 leg topology

3레벨 구조 중 하나인 T-type이 사용되었고, 테스트 부하로 사용될 부하가 평형인지 불평형인지에 상관없이 원하는 상 전압을 만들어주기 위해 4선 구조 중 4레그 구조가 사용되었다. 그리고 전력용 반도체 소자의 스위칭 동작으로 발생될 스위칭 리플 (ripple) 성분이 부하단에 보이지 않게 하기 위하여 필터가 필요한데, 본 논문에서는 컨버터의

출력단에 L필터 대신 LC필터를 사용하였다. 스위칭 주파수 대역에 같은 전압 고조파 성분이 보인다고 가정할 때, LC필터는 L필터에 비해 전체 시스템의 부피, 무게를 줄일 수 있다.

그림 3.84와 같은 회로를 한 상 등가 회로로 표현하면 그림 3.85 (a)와 같다. V_{xn} 은 a, b, c 상 중 하나의 상에서의 출력 극 (Pole) 전압을 나타내고, V_{fn} 은 f 레그의 출력 극 전압을 나타내준다. 컨버터의

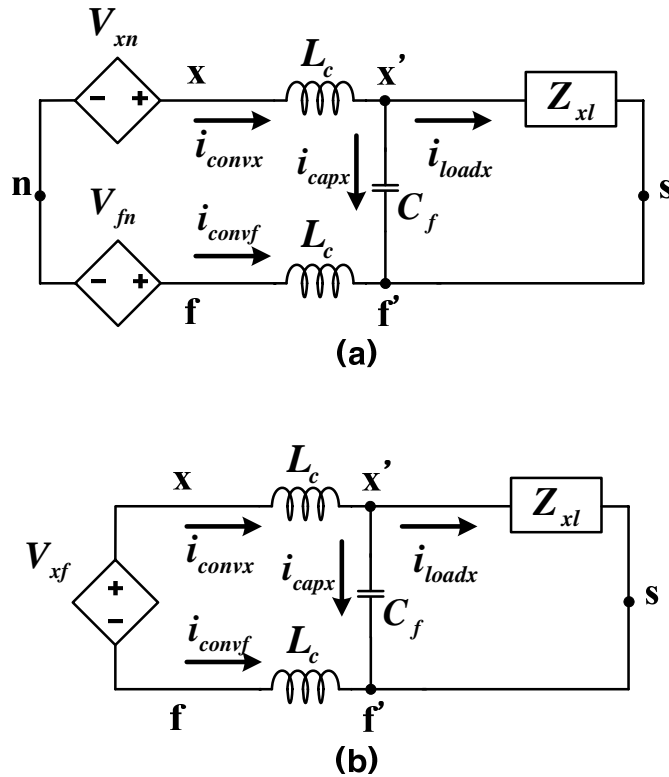


그림 3.85 한 상 (x 상) 등가 회로

Figure 3.85 One phase (x phase) equivalent circuit

출력 전압은 LC필터를 거쳐 필터링 되고, 필터 캐패시터에 병렬로 부하가 연결되게 된다. x상 (x는 a, b, c 상 중의 하나)과 f상 컨버터 출력 전압의 차를 V_{xf} 라 표현하면, 그림 3.85 (a) 는 그림 3.85 (b) 와 같이 표현할 수 있다.

그림 3.85 (b) 의 한 상 등가 회로를 블록도로 표시하면 그림 3.86과 같다.

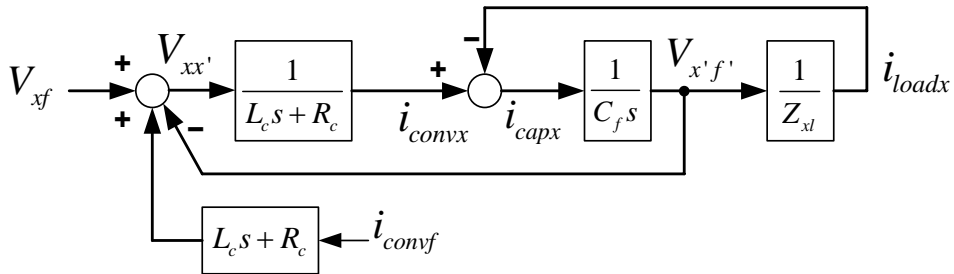


그림 3.86 한 상 (x 상) 등가 회로의 블록도

Figure 3.86 Block diagram of one phase (x phase) equivalent circuit

여기서 R_c 는 인덕터 L_c 의 기생 저항 성분이다. 그림 3.86의 컨버터 출력 전압 (V_{xf})과 부하 전압 ($V_{x'f'}$)과의 관계를 살펴보면 (3.115)와 같다.

$$\begin{aligned}
V_{x'f'} = & \frac{1}{C_f L_c s^2 + C_f R_c s + 1} V_{xf} \\
& - \frac{L_c s + R_c}{C_f L_c s^2 + C_f R_c s + 1} i_{loadx} \quad . \\
& + \frac{L_c s + R_c}{C_f L_c s^2 + C_f R_c s + 1} i_{conf}
\end{aligned} \tag{3.115}$$

만약 부하가 3상 평형이고, 평형 전압을 인가하는 경우에 i_{conf} 에는 전류가 흐르지 않으므로 (3.115)는 (3.116)과 같이 표현된다.

$$\begin{aligned}
V_{x'f'} = & \frac{1}{C_f L_c s^2 + C_f R_c s + 1} V_{xf} \\
& - \frac{L_c s + R_c}{C_f L_c s^2 + C_f R_c s + 1} i_{loadx} \quad .
\end{aligned} \tag{3.116}$$

식 (3.116)을 보면 부하 전압 ($V_{x'f'}$)은 컨버터 출력 전압 (V_{xf})과 부하 전류 (i_{loadx})에 의해서 결정된다는 것을 알 수 있다.

3.2.1 기존 전압 제어기

멀티 루프 (Multi-Loop) 전압 제어기는 그림 3.87과 같이 최상위에 전압 제어기가 사용되고, 하위에 전류 제어기가 사용되는 구조를 가지고 있다[69-71]. 이는 직렬 (cascaded) 제어 방식 전압 제어기라고도 불린다. 이와 같은 제어기에서는 전압 제어기의 제어 대역폭이 하위의 전류 제어기의 제어 폭보다 작아야 한다는 큰 단점이 있다. 따라서 이러한 직렬 제어 구조의 제어기는 다른 제어기에 비해 상대적으로 동특성이 느리다는 특징이 있다.

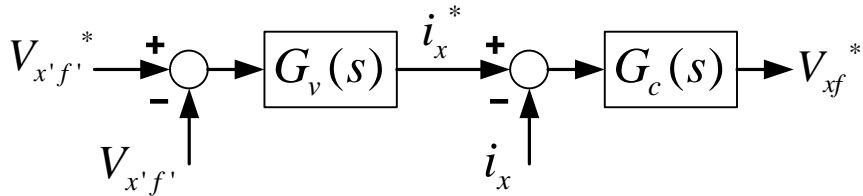


그림 3.87 멀티 루프 (multi-loop) 전압 제어기의 블록도

Figure 3.87 Block diagram of multi-loop voltage controller

또 다른 제어 구조로는 deadbeat 제어 이론을 이용한 deadbeat 전압 제어기가 있다[72-74]. 이와 같은 제어기는 알려진 바와 같이 회로 제정수 값에 민감하다는 단점이 있다. 제정수 값을 잘못 추정할 경우 제어 성능이 떨어지고 시스템의 안정성에 영향을 주기도 한다.

다음으로 오픈 루프 전압 제어기는 그림 3.88과 같다[75-77]. 그림 3.88에서 보는 바와 같이 오픈 루프 제어기는 부하 전압을 측정하여 되먹임 (feedback)하지 않고 제어기를 구성하는 방법이다. 하지만, LC

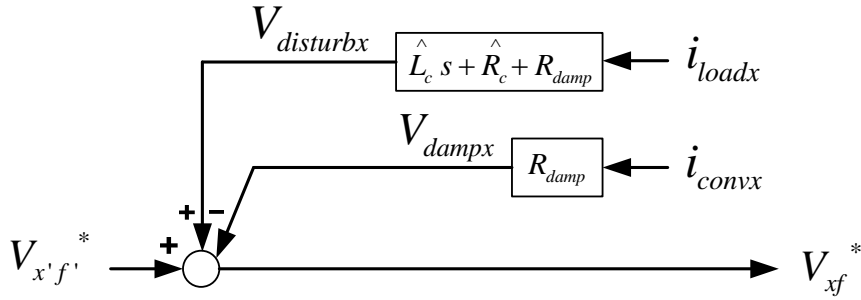


그림 3.88 오픈 루프 (open-loop) 전압 제어기의 블록도

Figure 3.88 Block diagram of open-loop voltage controller

필터에 의해 발생한 공진 (Resonance)을 억제 하기 위해 추가로 능동
 댐핑 저항에 인가 되는 전압 (V_{dampx})을 구현하여 이를 부하 전압 지령
 에서 빼주게 된다. 또한 부하 전류로 인해 컨버터 측 인덕터 (L_c) 및
 저항에 의해 생기는 전압 왜곡을 보상하기 위해 $V_{disturbx}$ 를 전향 보상해
 준다. 여기서 V_{dampx} 와 $V_{disturbx}$ 는 각각 (3.117), (3.118)과 같다.

$$V_{dampx} = R_{damp} i_{convx} . \quad (3.117)$$

$$V_{disturbx} = (\hat{L}_c s + \hat{R}_c + R_{damp}) i_{loadx} . \quad (3.118)$$

위의 오픈 루프 제어기를 이용하여 모의 실험을 수행하였다.

먼저 데드 타임에 의한 전압 왜곡 현상을 배제하기 위해 반도체 스위
 칭 블록은 제거하고 가변 전압원을 이용하였다. 또한 (3.118)에 사용한
 인덕터 추정 값 (\hat{L}_c), 저항 추정 값 (\hat{R}_c)을 각각 실제 L필터의 인덕
 터 값 (L_c), 저항 값 (R_c)을 사용하였다. 그리고 가상 댐핑 저항 값은
 (3.119)와 같다.

$$R_{damp} = 25.8\Omega. \quad (3.119)$$

그림 3.89의 결과를 보면 부하 상 전압 지령이 급격하게 변함에도 불구하고 부하 상 전압은 공진 없이 지령을 잘 따라가고 있음을 알 수 있다. 하지만 큰 댐핑 저항의 영향으로 지령 전압과 실제 전압 사이의 위상이 5도 정도 차이가 나는 것을 알 수 있다.

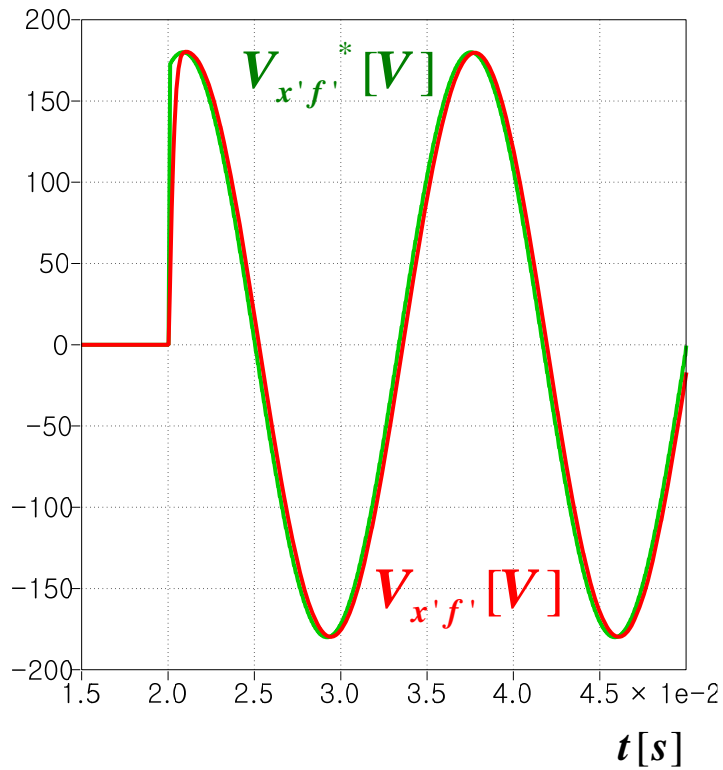


그림 3.89 오픈 루프 (open-loop) 전압 제어기 모의 실험1

Figure 3.89 Open-loop voltage controller simulation result1

그림 3.90은 인덕터 추정 값 (\hat{L}_c)을 실제 값보다 10% 크게 알고 있을 때의 파형이다. 제정수 추정 값의 오차는 (3.118)과 같이 $V_{disturbx}$ 의 오차를 불러일으키지만, 그 비중이 크지 않으므로 그림 3.90의 파형은 그림 3.89와 큰 차이가 나지 않는 것을 볼 수 있다.

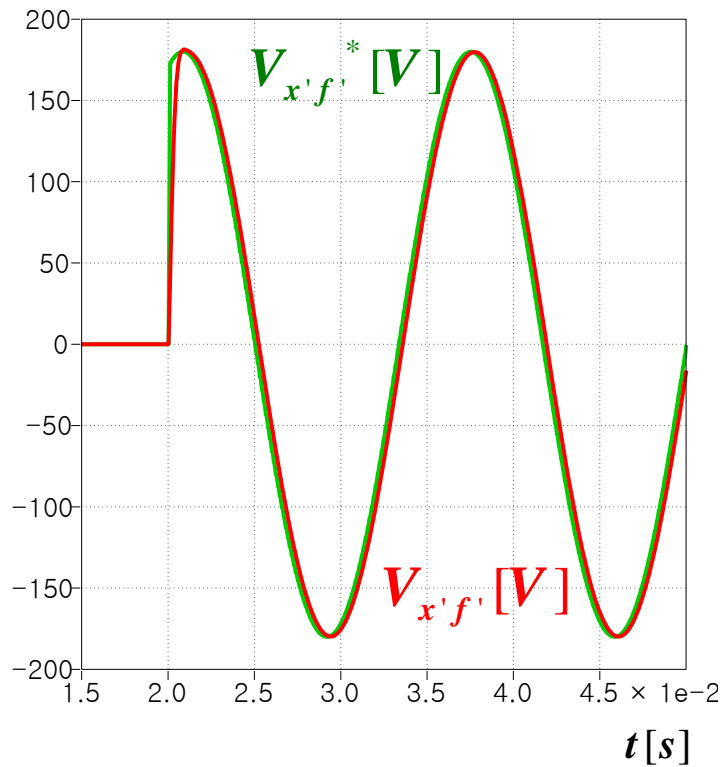


그림 3.90 오픈 루프 (open-loop) 전압 제어기 모의 실험2

Figure 3.90 Open-loop voltage controller simulation result2

그림 3.91은 인덕터의 기생 저항 추정 값 (\hat{R}_e)을 실제 값보다 50% 크게 알고 있을 때의 파형이다. 제정수 추정값의 오차는 (3.118)과 같이 $V_{disturbx}$ 의 오차를 불러일으키지만, 그 비중이 크지 않으므로 그림 3.91은 그림 3.89와 큰 차이가 나지 않는 것을 볼 수 있다.

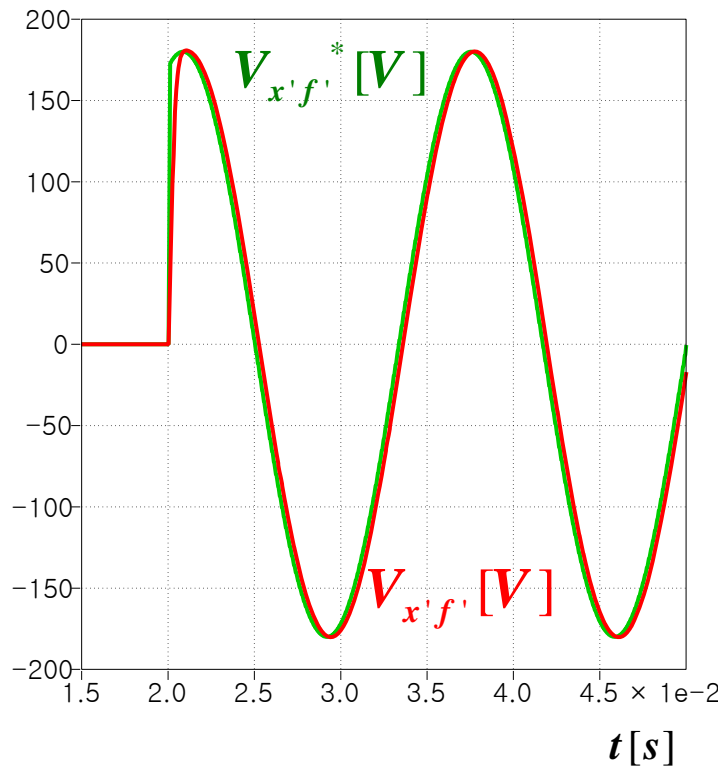


그림 3.91 오픈 루프 (open-loop) 전압 제어기 모의 실험3

Figure 3.91 Open-loop voltage controller simulation result3

모의 실험 1~3은 이상적인 가변 전압원을 이용한 모의 실험이었다. 그림 3.92는 지령 전압의 크기가 큰 경우인 모의 실험 4의 결과로 모의 실험 1과 같이 제정수의 오차가 없을 때이지만, 실제 실험과 같이 PWM을 위한 반도체 스위치가 사용되고 데드 타임까지 적용하여 모의 실험했을 때의 결과이다. 실제 부하 상 전압은 지령 전압에 비해 많이 작아진 것을 볼 수 있다. 이는 데드 타임에 의한 컨버터 출력 전압 왜곡에 의한 것으로, 데드 타임에 의한 컨버터 출력 전압 왜곡이 부하 상 전압에도 왜곡을 일으키고 있는 것을 알 수 있다.

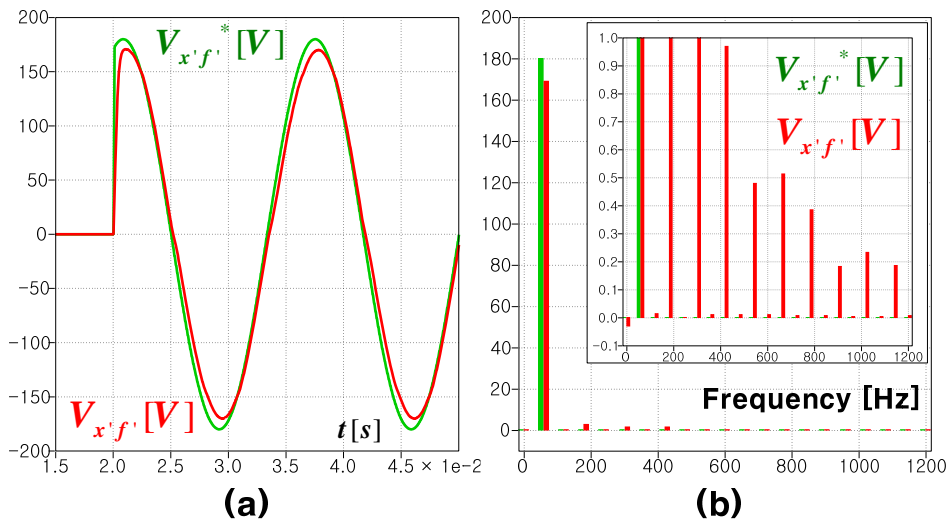


그림 3.92 오픈 루프 (open-loop) 전압 제어기 모의 실험4 (a) 파형, (b) (a)의 FFT

Figure 3.92 Open-loop voltage controller simulation result4 (a) waveform, (b) FFT of (a)

그림 3.93은 지령 전압의 크기가 작을 때인 모의 실험 5의 결과로 실제 부하 상 전압은 지령 전압에 비해 많이 작아진 것을 볼 수 있다. 이는 모의 실험 4의 결과와 마찬가지로 데드 타임에 의한 컨버터 출력 전압 왜곡이 부하 상 전압에도 왜곡을 일으키기 때문이다.

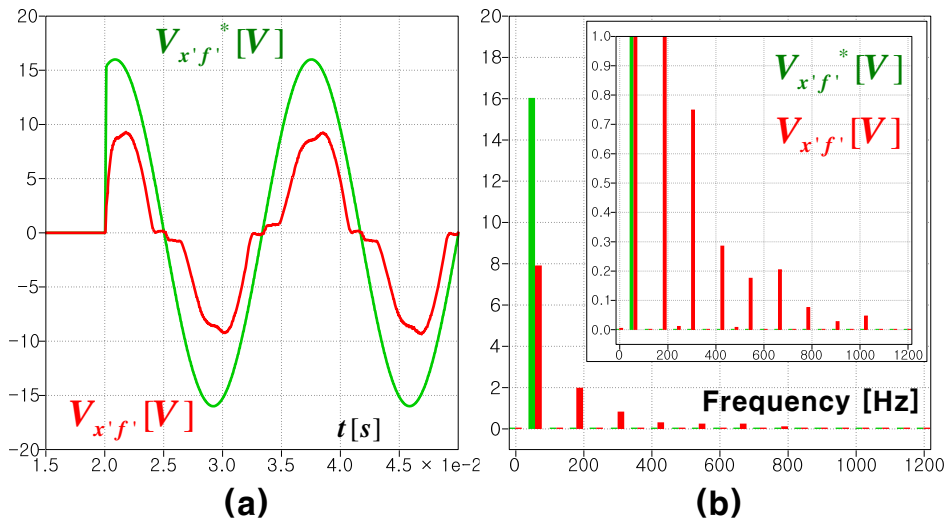


그림 3.93 오픈 루프 (open-loop) 전압 제어기 모의 실험5 (a) 파형, (b) (a)의 FFT

Figure 3.93 Open-loop voltage controller simulation result5 (a) waveform, (b) FFT of (a)

그림 3.94는 오픈 루프 전압 제어기를 포함한 한 상 등가 회로의 블록도이다.

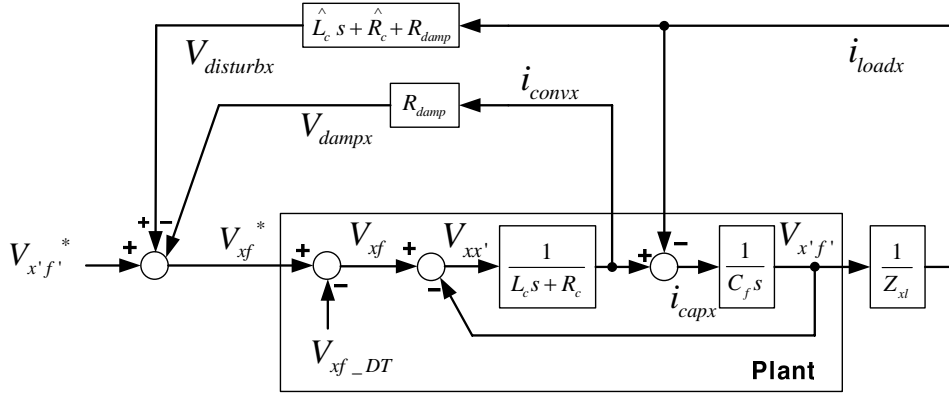


그림 3.94 오픈 루프 (open-loop) 전압 제어기를 포함한 한 상 (x 상) 등가 회로의 블록도

Figure 3.94 Block diagram of one phase (x phase) equivalent circuit with open-loop voltage controller

컨버터 출력 전압 (V_{xf})은 오픈 루프 전압 제어기와 데드 타임에 의한 전압 왜곡을 추가하면 (3.120)과 같다.

$$V_{xf} = V_{x'f'}^* + (\hat{L}_c s + \hat{R}_c + R_{damp})i_{loadx} - R_{damp}i_{convx} - V_{xf-DT} \quad (3.120)$$

식 (3.120)을 (3.115)에 대입 하면 (3.121)과 같이 정리된다.

$$\begin{aligned}
V_{x'f'} &= \frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} V_{x'f'}^* \\
&\quad - \frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} V_{xf-DT} \\
&\quad + \frac{(\hat{L}_c - L_c)s + (\hat{R}_c - R_c)}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} i_{loadx} \\
&\quad + \frac{L_c s + R_c}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} i_{conf}
\end{aligned} \tag{3.121}$$

만약 부하가 3상 평형 부하이고, 평형 전압을 인가하는 경우에 i_{conf} 에 전류가 흐르지 않으므로 (3.121)은 (3.122)와 같이 표현 될 수 있다.

$$\begin{aligned}
V_{x'f'} &= \frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} V_{x'f'}^* \\
&\quad - \frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} V_{xf-DT} \\
&\quad + \frac{(\hat{L}_c - L_c)s + (\hat{R}_c - R_c)}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} i_{loadx}
\end{aligned} \tag{3.122}$$

식 (3.122)를 통해서 부하 상 전압과 부하 지령 전압, 데드 타임에 의한 왜곡 전압, 부하 전류의 관계를 나눠서 살펴볼 수 있다.

$$TF_{-VR} = \frac{V_{x'f'}}{V_{x'f'}^*} = \frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} \tag{3.123}$$

$$TF_{-VD} = \frac{V_{x'f'}}{V_{xf-DT}} = -\frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} \tag{3.124}$$

$$TF_{-IL} = \frac{V_{x'f'}}{i_{loadx}} = \frac{(\hat{L}_c - L_c)s + (\hat{R}_c - R_c)}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} \tag{3.125}$$

식 (3.123~125)를 살펴보면, 오픈 루프 제어기를 이용하면 인덕터의

기생 저항 성분이 R_{damp} 만큼 더 커진 것처럼 보이는 것을 알 수 있다. 또한 (3.124)에서 볼 수 있듯이 지령 전압 ($V_{x,f}^*$)뿐만 아니라 데드 타임에 의한 전압 왜곡 (V_{xf_DT})도 부하 상 전압 왜곡에 영향을 주는 것을 볼 수 있다. 제정수 추정 오차가 없을 때 각각의 보드 선도는 그림 3.95와 같다.

TF_VR과 TF_VD는 같은 전달 함수를 가지므로, 겹쳐 보인다. TF_IL은 추정 오차가 없을 경우 전달 함수의 크기가 0이므로 해당 보드 선도는

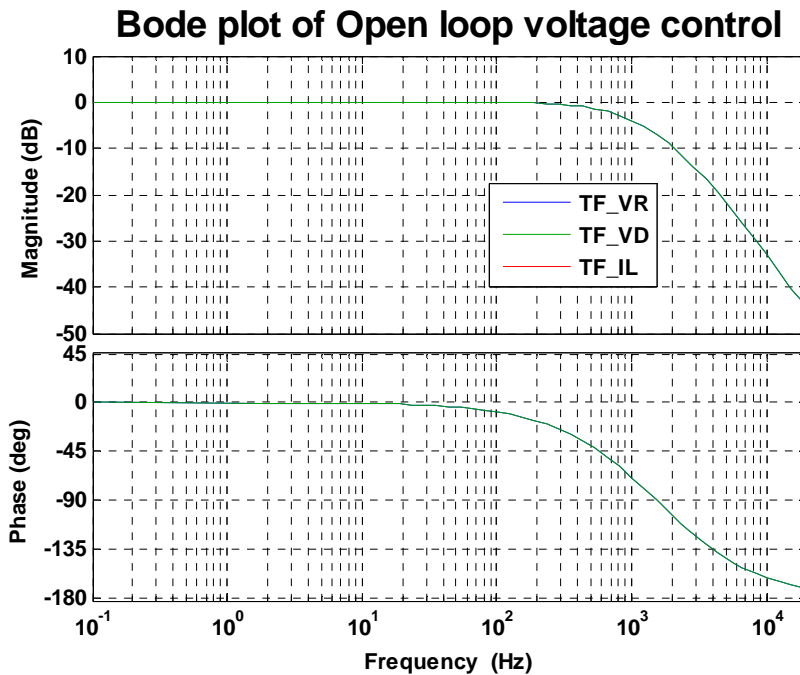


그림 3.95 제정수 오차 없을 때 오픈 루프 (open-loop) 전압 제어기 보드 선도

Figure 3.95 Bode plot of open-loop voltage controller with no parameter estimation error

에서는 보이지 않는다.

제정수의 추정 오차가 있을 때의 TF_IL에 해당하는 (3.125)의 보드 선도는 그림 3.96과 같다. 추정 오차가 없을 때는 전달 함수의 크기가 0이라 보드 선도에 표시가 되지 않는다. 제정수 추정 오차가 있을 때의 보드 선도를 보면 제정수 오차가 부하 상 전압에 영향을 주기는 하지만 0 dB 보다 작으므로 큰 영향을 미치지 않는 것을 알 수 있다.

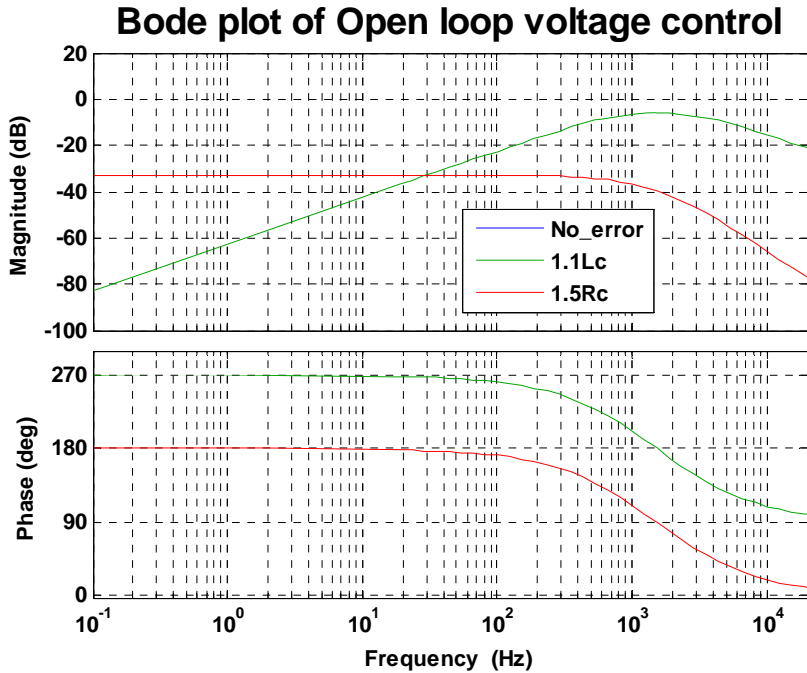


그림 3.96 오픈 루프 (open-loop) 전압 제어기의 TF_IL 보드 선도

Figure 3.96 Bode plot of open-loop voltage controller TF_IL

그림 3.97은 3.1절에서 설명한 데드 타임 보상을 위한 PWM 방법 (OMVPWM+SVPWM)을 적용하고 a, b, c, f 상에 데드 타임 보상을 한 모의 실험 결과이다. 그림 3.92와 다르게 데드 타임 보상 방법을 적용하면 부하 상 전압이 지령 전압을 잘 따라가고 있는 것을 볼 수 있다. 이처럼 데드 타임 보상을 제대로 할 경우 부하 상 전압을 원하는 대로 합성할 수 있다.

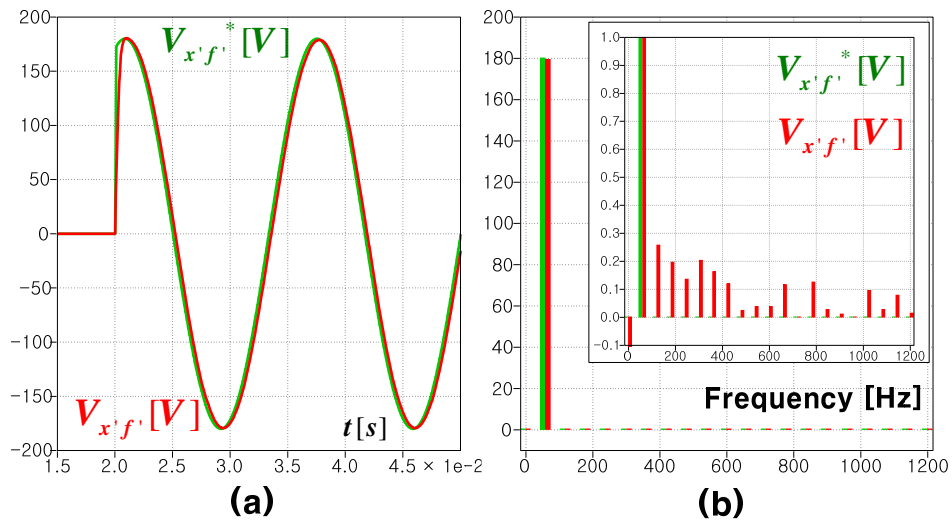


그림 3.97 오픈 루프 (open-loop) 전압 제어기 모의 실험6 (a) 파형, (b) (a)의 FFT

Figure 3.97 Open-loop voltage controller simulation result6 (a) waveform, (b) FFT of (a)

그림 3.98 은 3.1 절에서 설명한 데드 타임 보상을 위한 PWM 방법 (AOVPWM+SVPWM)을 적용하고 a, b, c, f 상에 데드 타임 보상을 한 모의 실험한 결과이다. 그림 3.93 과 다르게 데드 타임 보상 방법을 적용하면 아직 고조파 성분의 전압이 있기는 하지만, 부하 상 전압이 지령 전압을 어느 정도는 잘 따라가고 있는 것을 볼 수 있다. 이처럼 데드 타임 보상을 제대로 할 경우 부하 상 전압이 원하는 대로 합성이 잘 된다.

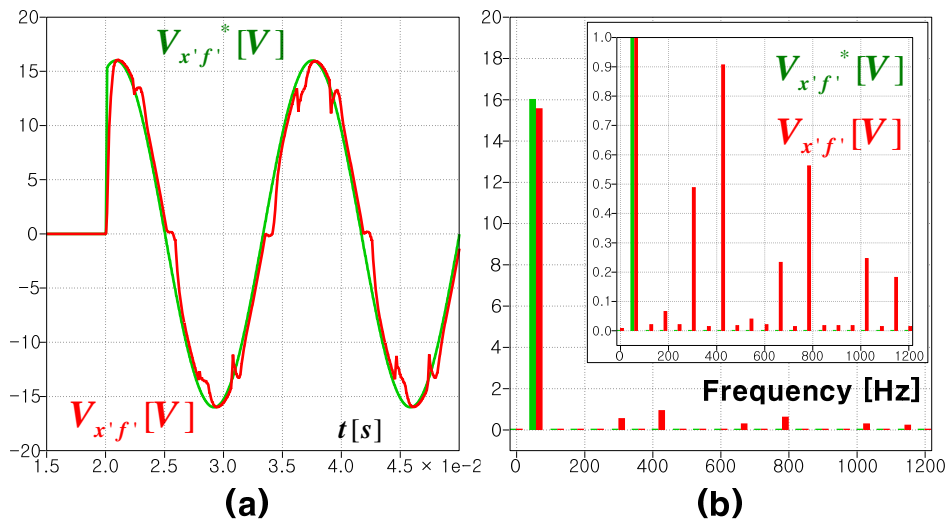


그림 3.98 오픈 루프 (open-loop) 전압 제어기 모의 실험7 (a) 파형, (b) (a)의 FFT

Figure 3.98 Open-loop voltage controller simulation result7 (a) waveform, (b) FFT of (a)

하지만 실제 실험 환경에서는 완벽한 데드 타임 보상이 쉽지 않을 수 있는 문제가 있다. 이 경우 오픈 루프 전압 제어기를 사용할 경우에는 완벽히 보상되지 않은 데드 타임 전압 왜곡이 그대로 반영 된다는 문제가 있다. 따라서 실제 환경에서 개선된 출력 파형을 얻기 위해서는 다른 형태의 제어기가 필요하다.

3.2.2 제안된 전압 제어기

오픈 루프 전압 제어기는 빠른 동특성이 보장되지만, 데드 타임에 의한 전압 왜곡이 그대로 부하 전압에 보인다는 단점이 있다. 이를 보완하기 위해 멀티 루프 전압 제어기를 사용할 수 있으나, 전압 제어기의 제어 대역폭이 전류 제어기의 제어 대역폭에 의한 제한된다는 단점이 있다. 본 논문에서는 위에서 언급한 제어기의 단점을 보완한 단일 루프 (Single-loop) 전압 제어기를 제안하고자 한다.

제안된 단일 루프 전압 제어기의 형태는 그림 3.99와 같다.

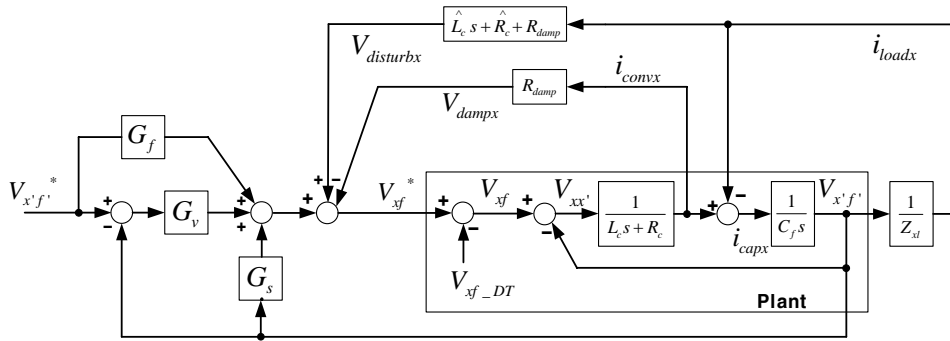


그림 3.99 단일 루프 (single-loop) 전압 제어기 블록도

Figure 3.99 Block diagram of single-loop voltage controller

제안된 전압 제어기는 오픈 루프 전압 제어기의 형태를 기반으로 최상단에 전압 제어기가 추가된 형태이다. 제안된 전압 제어기의 컨버터 전압 지령은 (3.126)과 같다.

$$\begin{aligned} V_{xf}^* = & G_v (V_{x'f'}^* - V_{x'f'}) + G_f V_{x'f'}^* + G_s V_{x'f'} \\ & + (\hat{L}_c s + \hat{R}_c + R_{damp}) i_{loadx} - R_{damp} i_{convx} \end{aligned} \quad (3.126)$$

식 (3.126)을 (3.116)에 대입하면 아래와 같다.

$$\begin{aligned} V_{x'f'} = & \frac{(G_v + G_f)}{(C_f L_c s^2 + C_f R_c s + 1) - (G_s - G_v - R_{damp} C_f s)} V_{x'f'}^* \\ & - \frac{1}{(C_f L_c s^2 + C_f R_c s + 1) - (G_s - G_v - R_{damp} C_f s)} V_{xf-DT} \quad (3.127) \\ & + \frac{(\hat{L}_c - L_c)s + (\hat{R}_c - R_c)}{(C_f L_c s^2 + C_f R_c s + 1) - (G_s - G_v - R_{damp} C_f s)} i_{loadx} \end{aligned}$$

여기서 각각의 제어기 G_v , G_f , G_s 는 (3.128)과 같이 비례-적분-미분 (Proportional-Integral-Differential, PID) 형태이다.

$$\begin{cases} G_v = K_{vp} + K_{vi} \frac{1}{s} + K_{vd} s \\ G_f = K_{fp} + K_{fi} \frac{1}{s} + K_{fd} s \\ G_s = K_{sp} + K_{si} \frac{1}{s} + K_{sd} s \end{cases} \quad (3.128)$$

식 (3.128)을 다시 (3.127)에 대입해서 정리하면 (3.129)와 같다.

$$\begin{aligned}
V_{x'f'} &= \frac{(K_{vd} + K_{fd})s^2 + (K_{vp} + K_{fp})s + (K_{vi} + K_{fi})}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} V_{x'f'}^* \\
&\quad - \frac{s}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} V_{xf-DT} \\
&\quad + \frac{(\hat{L}_c - L_c)s^2 + (\hat{R}_c - R_c)s}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} i_{loadx} \\
&\quad . \quad (3.129)
\end{aligned}$$

식 (3.129)를 통해서 부하 상 전압과 부하 지령 전압, 데드 타임에 의한 왜곡 전압, 부하 전류의 관계를 나눠서 살펴볼 수 있다.

$$\begin{aligned}
TF_{-VR} &= \frac{V_{x'f'}}{V_{x'f'}^*} \\
&= \frac{(K_{vd} + K_{fd})s^2 + (K_{vp} + K_{fp})s + (K_{vi} + K_{fi})}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} \\
&\quad . \quad (3.130)
\end{aligned}$$

$$\begin{aligned}
TF_{-VD} &= \frac{V_{x'f'}}{V_{xf-DT}} \\
&= - \frac{s}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} \\
&\quad . \quad (3.131)
\end{aligned}$$

$$\begin{aligned}
TF_{-IL} &= \frac{V_{x'f'}}{i_{loadx}} \\
&= \frac{(\hat{L}_c - L_c)s^2 + (\hat{R}_c - R_c)s}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} \\
&\quad . \quad (3.132)
\end{aligned}$$

전압 제어기의 전달 함수인 (3.130)이 (3.133)과 같이 1차 저역 통과

필터 (Low Pass Filter, LPF)의 형태를 가진다고 가정하자.

$$\frac{(K_{vd} + K_{fd})s^2 + (K_{vp} + K_{fp})s + (K_{vi} + K_{fi})}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} = \frac{\omega_{vc}}{s + \omega_{vc}} \quad (3.133)$$

여기서 미분기 사용 시 입력 신호의 잡음 (Noise) 성분에 의해 고주파에서 잡음 전압 성분이 커지는 문제가 발생할 수 있기 때문에 측정된 값을 입력으로 사용하는 제어기의 미분기 이득 (K_{vd} , K_{sd})은 0으로 설정하였다. 따라서 (3.133)은 (3.134)로 다시 표시된다.

$$\frac{(K_{fd})s^2 + (K_{vp} + K_{fp})s + (K_{vi} + K_{fi})}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} = \frac{\omega_{vc}}{s + \omega_{vc}} \quad (3.134)$$

식 (3.134)를 이용하여 계수 비교를 해주면 표 3.7과 같이 계수를 구할 수 있다.

표 3.7 단일 루프 (single-loop) 전압 제어기 이득

Table 3.7 Gains for single-loop voltage controller

항목	값
K_{vp}	$-\omega_{vc}^2 \hat{C}_f \hat{L}_c$
K_{vi}	ω_{vc}
K_{vd}	0
K_{fp}	$\omega_{vc} \hat{C}_f (\hat{R}_c + R_{damp})$
K_{fi}	0
K_{fd}	$\omega_{vc} \hat{C}_f \hat{L}_c$
K_{sp}	$-\omega_{vc} \hat{C}_f (\hat{R}_c + R_{damp})$
K_{si}	0
K_{sd}	0

능동 댐핑 저항 값과 제어 주파수 대역이 (3.135), (3.136)과 같을 때, 전달 함수 (3.130), (3.131), (3.132)의 보드 선도는 그림 3.100과 같다.

$$R_{damp} = 22.99\Omega . \quad (3.135)$$

$$\omega_{vc} = 2\pi 850[rad / s] . \quad (3.136)$$

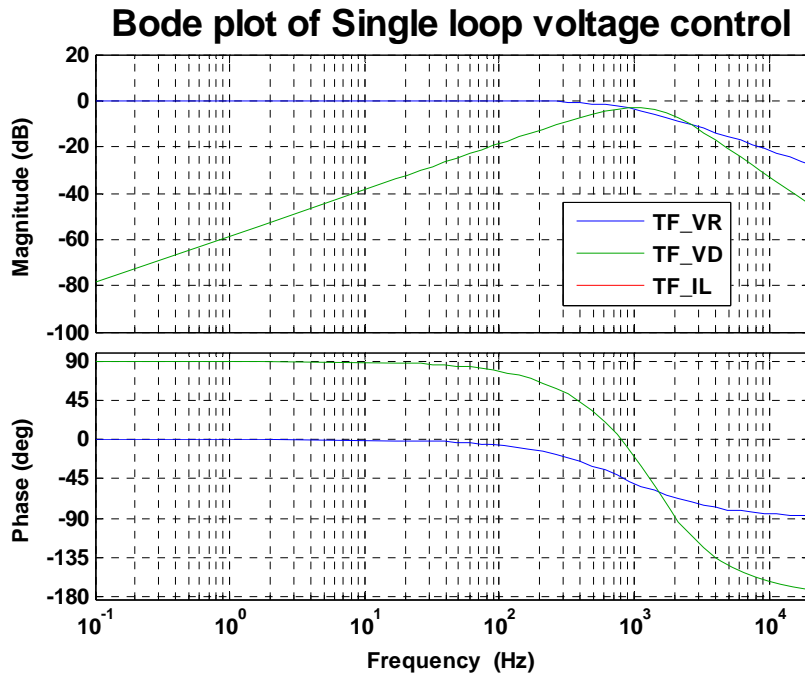


그림 3.100 단일 루프 (single-loop) 전압 제어기의 보드 선도

Figure 3.100 Bode plot of single-loop voltage controller

오픈 루프 전압 제어기의 보드 선도인 그림 3.95와 비교했을 때, 데드 타임 전압에 의한 전달 함수 성분의 크기가 0 dB 이하로 떨어진 것을 알 수 있다. 이것은 데드 타임 보상을 따로 해주지 않더라도 제어기에 의해 데드 타임 보상이 되는 효과를 얻을 수 있음을 의미한다.

3.2.3 모의 실험

제안된 전압 제어기의 유효성을 확인하기 위해 그림 3.84와 같은 회로를 이용하여 모의 실험을 수행하였다.

먼저 지령 전압이 큰 경우에 모의 실험을 수행하였다. 그림 3.101은 그림 3.97에서와 같이 데드 타임 보상을 위한 PWM (OMVPWM+SVPWM)을 적용하지만, 데드 타임 보상은 하지 않았고, 단일 루프 전압 제어기를 사용하였을 때의 파형이다. 데드 타임 보상을 하지 않았음에도 불구하고, 데드 타임 전압에 의한 고조파 성분이 그림

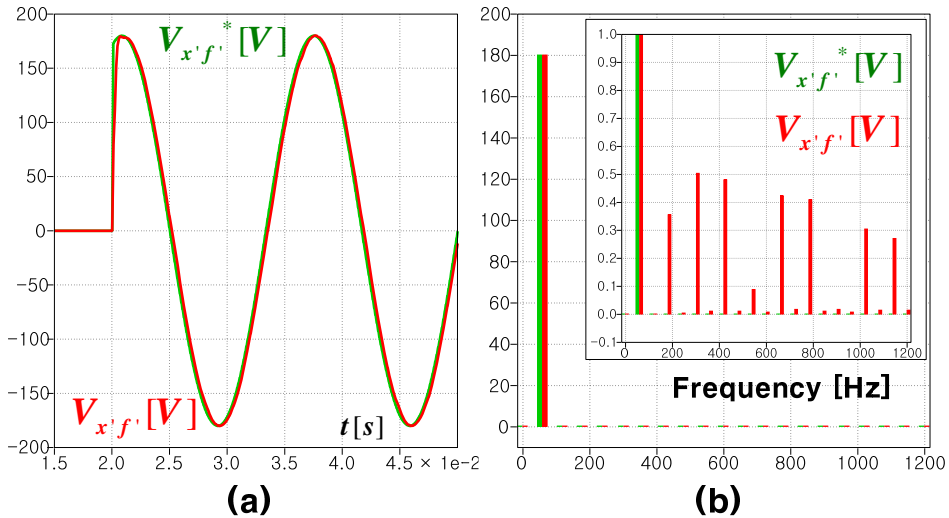


그림 3.101 단일 루프 (single-loop) 전압 제어기 모의 실험8 (a) 파형, (b) (a)의 FFT

Figure 3.101 Single-loop voltage controller simulation result8 (a) waveform, (b) FFT of (a)

3.97보다는 조금 크지만, 그림 3.92보다는 많이 줄어든 것을 알 수 있다.

다음으로 지령 전압의 크기가 작을 때 모의 실험을 수행하였다. 그림 3.102는 그림 3.98과 같이 데드 타임 보상을 위한 PWM (AOVPWM+SVPWM)을 적용하지만, 데드 타임 보상은 하지 않았을 때, 단일 루프 전압 제어기를 사용하였을 때의 파형이다. 데드 타임 보상을 하지 않았음에도 불구하고, 데드 타임 전압에 의한 고조파 성분이 그림 3.98보다는 조금 크지만, 그림 3.93보다는 많이 줄어든 것을 알 수 있다.

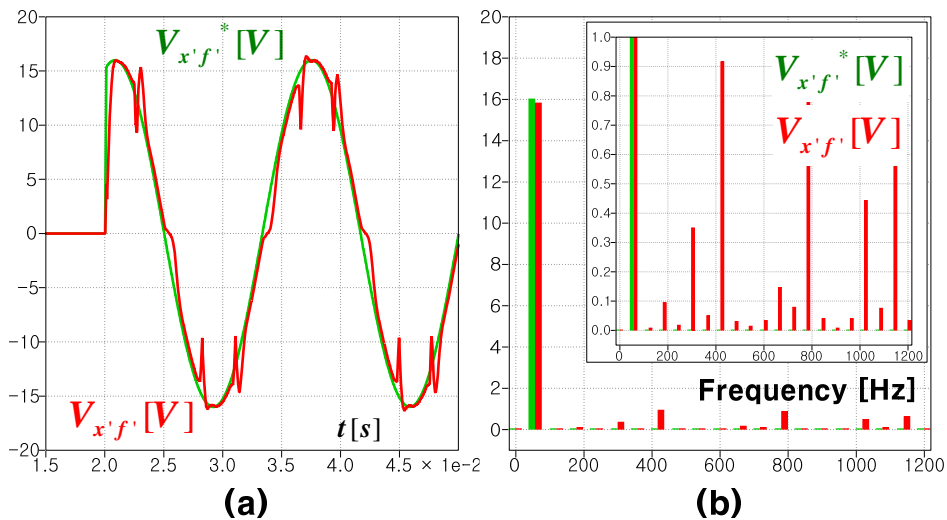


그림 3.102 단일 루프 (single-loop) 전압 제어기 모의 실험9 (a) 파형, (b) (a)의 FFT

Figure 3.102 Single-loop voltage controller simulation result9 (a) waveform, (b) FFT of (a)

그림 3.101, 그림 3.102의 결과를 토대로 전압 제어기에 의해서 추가로 데드 타임 보상을 하지 않아도 데드 타임에 의한 전압 왜곡 성분이 많이 줄어든 것을 알 수 있다. 추가로 a, b, c 레그에만 데드 타임 보상을 했을 때의 결과가 그림 3.103, 그림 3.104이다. 그림 3.101에 비해 그림 3.103에서 부하 상 전압의 고조파 크기가 줄어든 것을 볼 수 있고, 그림 3.102에 비해 그림 3.104에서 부하 상 전압의 고조파 크기가 줄어들었다. f 레그의 데드 타임까지 보상을 할 경우 오히려 f 레그만 보상하지 않았을 경우에 비해 조금 고조파 성분이 늘어났다. 이는 f 레그의 데드 타임 보상의 경우 평형 부하에서는 오히려 전류가 0 전류에 가까우므로 잘못된 전류 극성 인지로 인해 데드 타임 보상이 어렵기

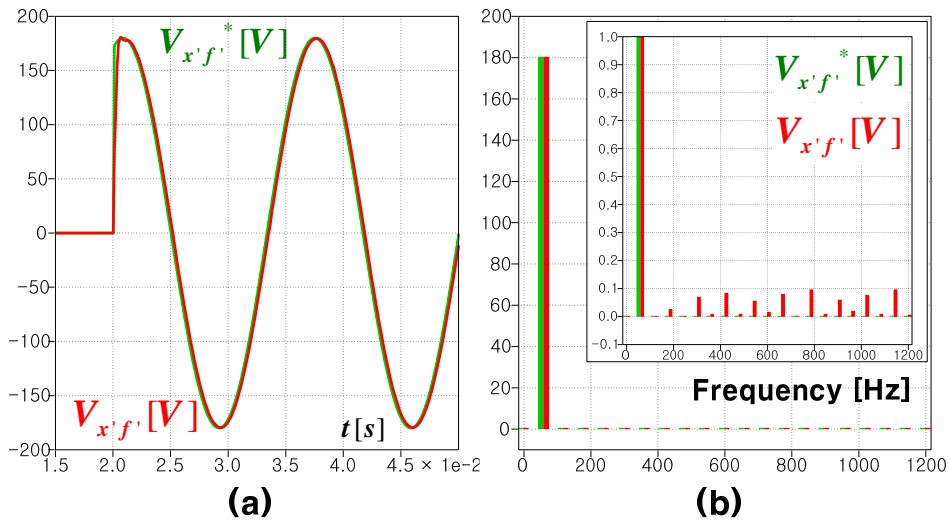


그림 3.103 단일 루프 (single-loop) 전압 제어기 모의 실험10 (a) 파형, (b) (a)의 FFT

Figure 3.103 Single-loop voltage controller simulation result10
(a) waveform, (b) FFT of (a)

때문이다.

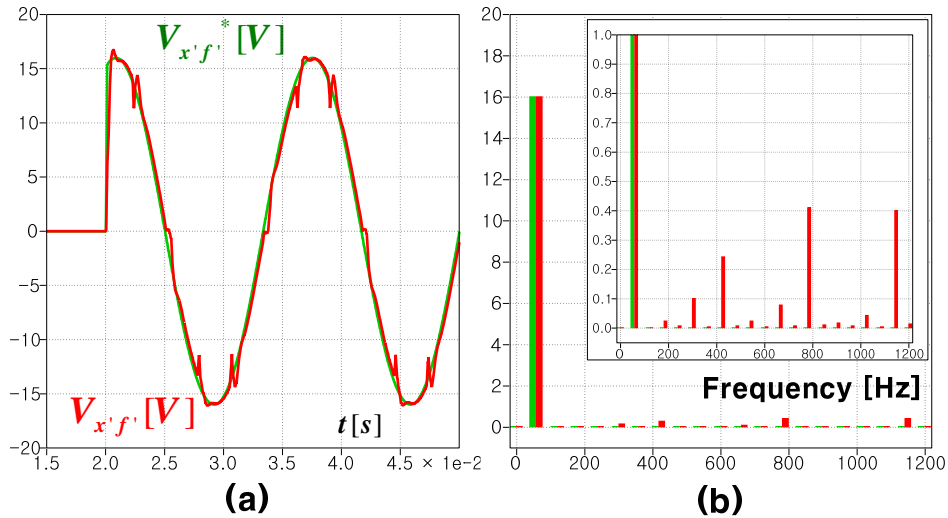


그림 3.104 단일 루프 (single-loop) 전압 제어기 모의 실험11 (a) 파형, (b) (a)의 FFT

Figure 3.104 Single-loop voltage controller simulation result11
(a) waveform, (b) FFT of (a)

지금까지의 결과를 토대로 3.1절에서 살펴본 3레벨 토폴로지에 적용 가능한 데드 타임 보상용 PWM 방법 외에도 다른 PWM 방법을 적용하더라도 제안된 단일 루프 전압 제어기를 통해서 데드 타임에 의한 전압 왜곡 영향을 크게 줄일 수 있는 가능성이 있다고 가정할 수 있다.

이를 확인하기 위해 전압 지령의 크기가 큰 경우에 PWM 방법을 SVPWM, SPWM, OMVPWM(SVPWM), PPPWM1, PPPWM2, PPPWM3로 바꿔가면서 모의 실험을 수행하였다. 이때, 데드 타임 보상은 a, b, c 레그에만 적용하였고, f 레그에는 적용하지 않았다.

이때의 결과는 그림 3.105와 같다. 그림 3.105의 파형을 봤을 때, 육안으로는 그 차이를 확인하기 힘들다. 따라서 그림 3.105의 파형을 FFT하였고, 그 결과는 그림 3.106에 나와있다. FFT 결과를 봤을 때, PPPWM2방법을 제외한 다른 방법들의 결과는 큰 차이는 없다. SVPWM 방법을 적용했을 때는 9차 고조파 성분이 크긴 하지만, 다른 주파수 영역에서 고조파 성분의 크기가 대체로 작은 편이다. PPPWM2를 제외한 다른 PPPWM방법들 중에서도 고조파 성분의 크기가 작은 편이다.

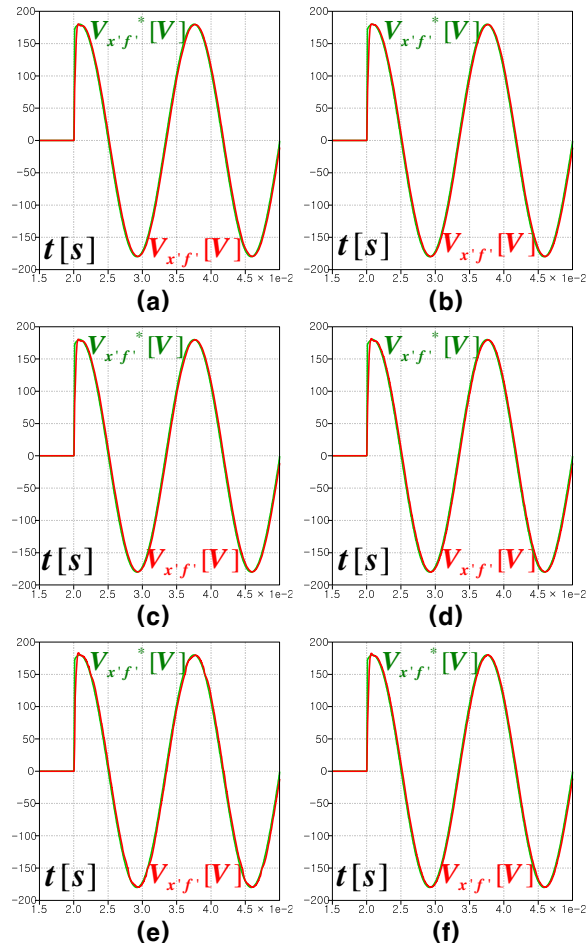


그림 3.105 PWM 방법 별 단일 루프 (single-loop) 전압 제어기
모의 실험 - High Mi

(a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

Figure 3.105 Single-loop voltage controller simulation result
according to PWM method - High Mi

(a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

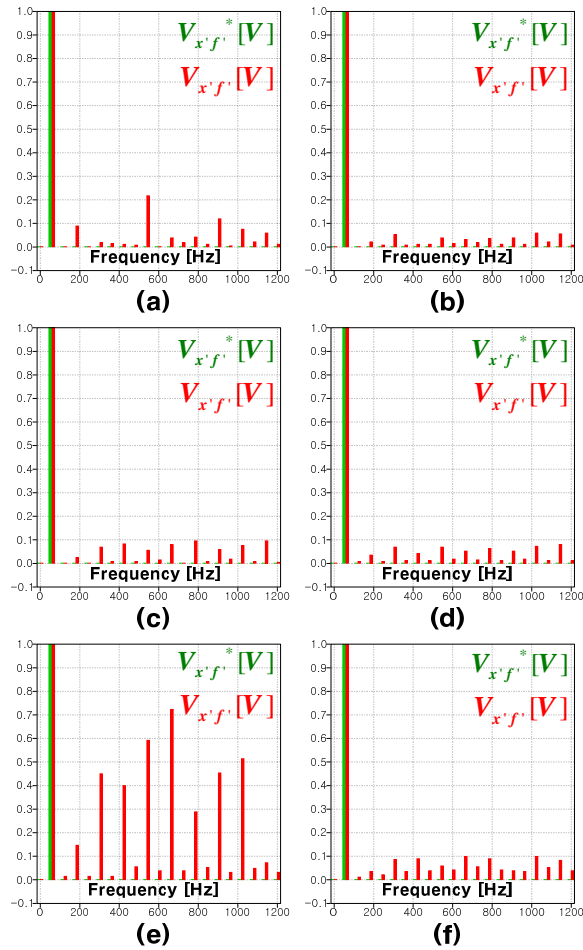


그림 3.106 그림 3.105의 파형 FFT 결과- High Mi

(a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

Figure 3.106 FFT of waveforms in Figure 3.105- High Mi

(a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

전압 지령의 크기가 작은 경우에도 PWM 방법을 SVPWM, SPWM, AOV PWM(SVPWM), PPPWM1, PPPWM2, PPPWM3로 바뀌가면서 모의 실험을 수행하였고, 그 결과는 그림 3.107에 나와있다. 이때, 데드타임 보상은 a, b, c 레그에만 적용하였고, f 레그에는 적용하지 않았다. 그림 3.107의 파형을 봤을 때, SVPWM, SPWM 방법을 적용 했을 때, 파형의 고조파가 가장 적어 보인다. 정확한 분석을 위해 그림 3.107의 파형을 FFT하였고, 그 결과는 그림 3.108에 나와있다. 육안으로 봤을 때 예상한 것과 마찬가지로 PPPWM2 방법을 적용했을 때가 고조파가 가장 크게 보인다. SPWM을 적용했을 때가 고조파 성분의 크기가 가장 작으나, PPPWM1 방법에서도 고조파 크기가 작은 편이다.

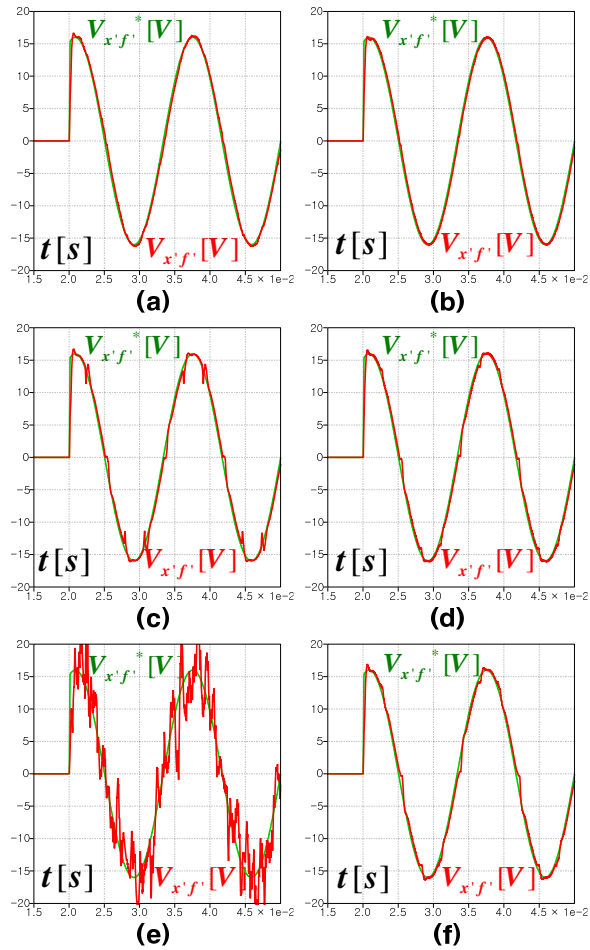


그림 3.107 PWM 방법 별 단일 루프 (single-loop) 전압 제어기
모의 실험 – Low Mi

(a) SVPWM, (b) SPWM, (c) AOV PWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

Figure 3.107 Single-loop voltage controller simulation result
according to PWM method – Low Mi

(a) SVPWM, (b) SPWM, (c) AOV PWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

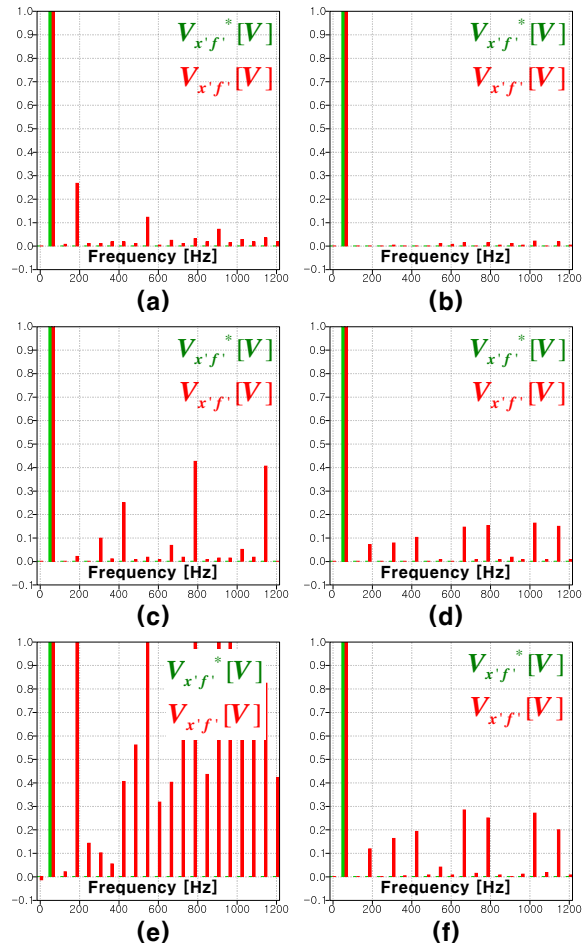


그림 3.108 그림 3.107의 파형 FFT 결과- Low Mi

(a) SVPWM, (b) SPWM, (c) AOVPM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

Figure 3.108 FFT of waveforms in Figure 3.107- Low Mi

(a) SVPWM, (b) SPWM, (c) AOVPM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

3.2.4 교류 전원 장치

3.2.4.1 제안된 전압 제어기와 교류 전원 장치

제안된 전압 제어기를 적용할 회로 구조는 그림 3.84와 같다. 여기서 사용된 전력용 반도체 소자는 IGBT이고, 이때 스위칭 주파수는 20 kHz이다. 제어 시 시간 지연 (Time delay)을 줄이기 위해서 더블 샘플링 (Double sampling)을 하였으므로, 샘플링 주파수는 40 kHz가 된다. 그리고 외부에 필터로 사용된 LC필터의 값은 아래와 같다.

$$L_c = 1.2mH . \quad (3.137)$$

$$C_f = 9\mu F . \quad (3.138)$$

식 (3.116)에서의 컨버터 출력 전압과 부하 전압의 전달 함수는 (3.139)와 같다.

$$TF_{-VR} = \frac{V_{x'f'}}{V_{xf}} = \frac{1}{C_f L_c s^2 + C_f R_c s + 1} . \quad (3.139)$$

이때의 보드 선도는 그림 3.109와 같다.

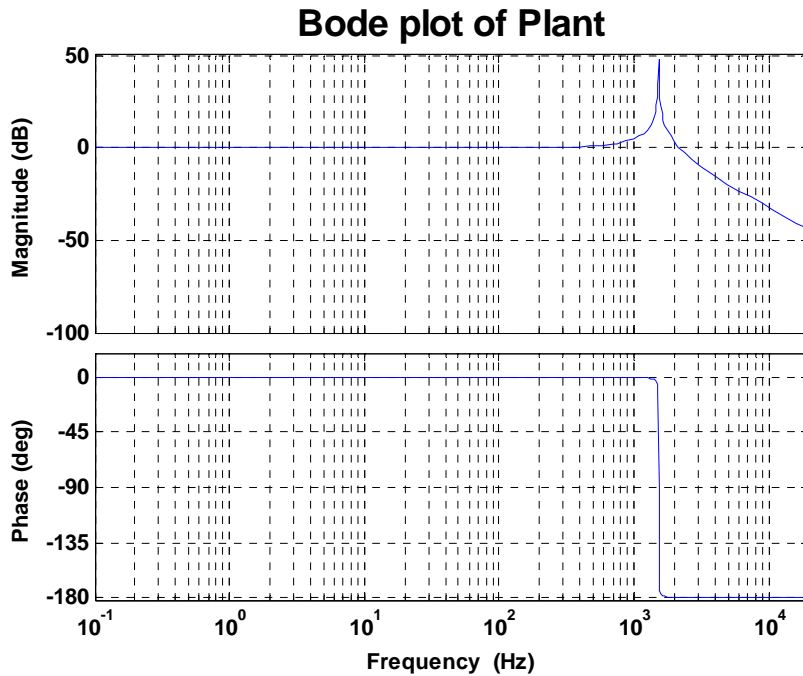


그림 3.109 LC필터의 보드 선도

Figure 3.109 Bode plot of LC filter

보드 선도에서 볼 수 있듯이 LC필터에 의해서 주파수 1.53 kHz 부근에서 공진 (Resonance)이 발생하는 것을 볼 수 있다. 즉, 컨버터 출력 전압에 공진 주파수에 해당하는 성분이 포함되어 있을 경우, 부하 전압에 큰 전압이 걸리게 된다. 지령 전압의 주파수는 일반적으로 공진 주파수보다 작게 설정하지만, 다음의 두 가지 이유로 컨버터 출력 전압에 공진 주파수가 포함되게 된다. 하나는 지령 전압이 급격하게 변하는 경우이다. 단상 시스템인 경우에 지령 전압을 0V부터 천천히 변하게 할 수 있지만, 3상 시스템의 경우에는 하나의 전압이 0V부터 천천히 변하더라

도 나머지 2개 전압에서 지령 전압이 급격하게 변하게 된다. 이와 같이 계단 (step) 형태로 지령 전압이 변하게 되면 지령에 공진 주파수 성분이 포함되게 된다. 다른 하나는 지령 전압이 급격하게 변하지 않더라도 PWM 컨버터의 특성상 컨버터 출력 전압은 펄스 형태로 나가게 된다. 따라서 출력 전압은 공진 성분을 포함할 수 있다.

따라서 전압 제어를 원활히 하기 위해서는 공진 성분을 억제할 수 있어야 한다. 공진 성분을 억제하기 위한 방법은 방법 중 하나는 제어기 출력 단계 비율 제한기 (rate limiter)를 사용하는 것이다. 비율 제한기의 블록도는 그림 3.110과 같다. 비율 제한기는 입력이 들어오면 먼저 (3.140)과 같이 현재 입력과 과거 출력을 이용하여 비율을 계산한다.

$$SR = \frac{u[k] - y[k-1]}{T_{smp}}. \quad (3.140)$$

미리 비율 제한기의 상/하한 값 (SR_H, SR_L)이 설정되어 있다면, 현재의

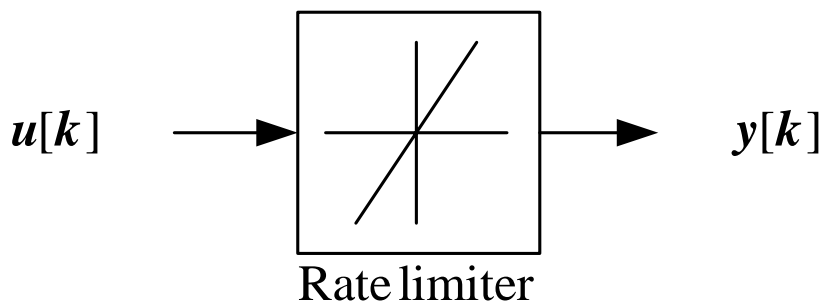


그림 3.110 비율 제한기 블록도

Figure 3.110 Block diagram of rate limiter

비율을 설정 값들과 비교한다. 현재의 비율 값에 따라 (3.141)과 같이 출력 값이 결정된다.

$$y[k] = \begin{cases} u[k] & , SR_L \leq SR \leq SR_H \\ y[k-1] + T_{samp} SR_H & , SR \geq SR_H \\ y[k-1] + T_{samp} SR_L & , SR \leq SR_L \end{cases} . \quad (3.141)$$

다른 방법은 노치 필터 (notch filter)를 사용하는 것이다. 제어기의 출력 단에 노치 필터를 추가하여 미리 정한 주파수 성분을 지령 전압에서 빼는 것이다. 노치 필터의 전달 함수는 (3.142)와 같다.

$$y = \frac{s^2 + \omega_o^2}{s^2 + 2\zeta\omega_o s + \omega_o^2} u . \quad (3.142)$$

그림 3.111은 제거하고자 하는 주파수를 LC의 공진 주파수로 설정했을 때의 보드 선도이다. 보드 선도에서 볼 수 있듯이 알고 있는 필터의 공진 주파수를 노치 필터에 차단 주파수로 설정하면 공진 주파수 성분을 제거해줄 수 있다.

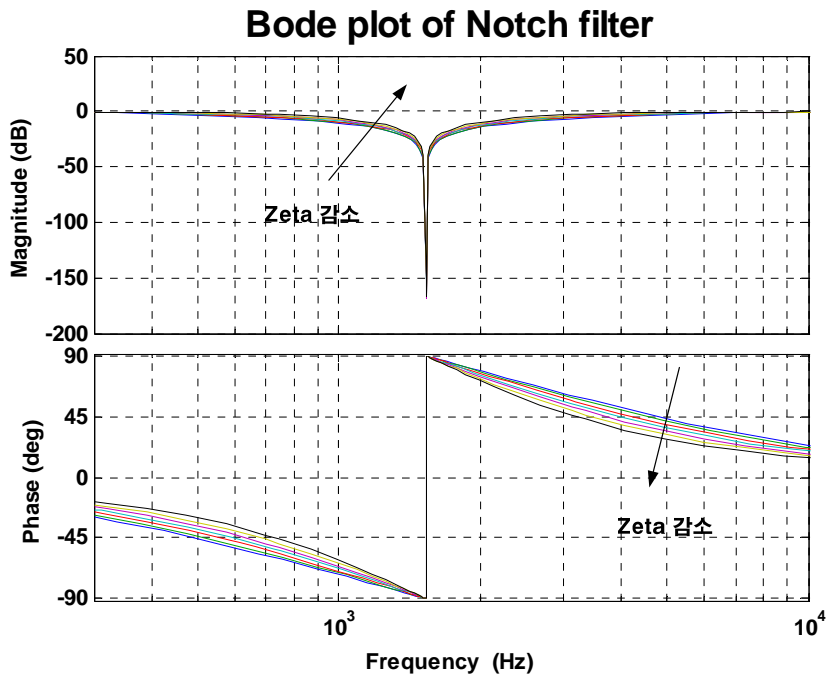


그림 3.111 노치 필터의 보드 선도

Figure 3.111 Bode plot of notch filter

위에서 언급한 비율 제한기와 노치 필터는 공진 주파수가 고정일 때는 효과적인 방법이 될 수 있다. 하지만, 부하의 임피던스에 의해 공진 주파수가 변경될 경우에는 잘못된 주파수 성분을 억제하게 된다. 따라서 다른 공진 억제 방법이 필요하다.

다음으로 언급할 방법은 수동 공진 억제 (Passive damping) 방법이다. 이는 회로적으로 LC필터에 저항을 추가하여 공진 성분을 억제하는 것이다. 그림 3.112에 보이는 것은 그림 3.85 (b)의 회로에 저항을 추

가한 것과 같다. 그림 3.112 (a) 는 인덕터에 직렬로 저항을 연결한 것이고, 그림 3.112 (b) 는 인덕터에 병렬로 저항을 연결한 것이고, 그림 3.112 (c) 는 캐패시터에 직렬로 저항을 연결한 것이고, 그림 3.112 (d) 는 캐패시터에 병렬로 저항을 연결한 것이다. 각각의 경우에 컨버터 출력 전압과 부하 전압의 전달 함수는 (3.143), (3.144), (3.145), (3.146)과 같다.

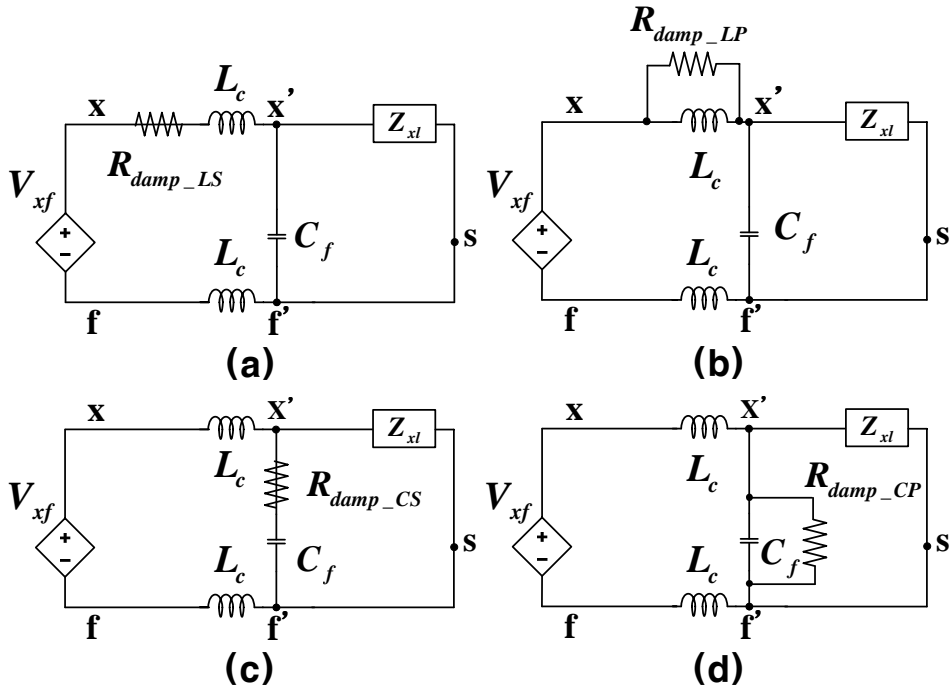


그림 3.112 수동 댐핑 방법 (a) 인덕터 직렬 저항, (b) 인덕터 병렬 저항, (c) 캐패시터 직렬 저항, (d) 캐패시터 병렬 저항

Figure 3.112 Passive damping method (a) series resistor with inductor, (b) parallel resistor with inductor, (c) series resistor with capacitor, (d) parallel resistor with capacitor

$$\frac{V_{x'f'}}{V_{xf}} = \frac{1}{C_f L_c s^2 + (C_f R_c + C_f R_{damp_LS})s + 1}. \quad (3.143)$$

$$\frac{V_{x'f'}}{V_{xf}} = \frac{\frac{L_c}{R_{damp_LP}} s + (1 + \frac{R_c}{R_{damp_LP}})}{C_f L_c s^2 + (C_f R_c + \frac{L_c}{R_{damp_LP}})s + (1 + \frac{R_c}{R_{damp_LP}})}. \quad (3.144)$$

$$\frac{V_{x'f'}}{V_{xf}} = \frac{C_f R_{damp_CS} s + 1}{C_f L_c s^2 + (C_f R_c + C_f R_{damp_CS})s + 1}. \quad (3.145)$$

$$\frac{V_{x'f'}}{V_{xf}} = \frac{1}{C_f L_c s^2 + (C_f R_c + \frac{L_c}{R_{damp_CP}})s + (1 + \frac{R_c}{R_{damp_CP}})}. \quad (3.146)$$

각각의 경우에 저항 값을 제대로 설정하면 공진 주파수에서의 전달 함수의 크기를 줄일 수 있다. 예를 들어 전달 함수의 크기를 -10 dB로 만들어주기 위한 R_{damp_LS} 는 38.53 Ω , R_{damp_CP} 는 3.85 Ω 이 된다. 그러나 R_{damp_LP} , R_{damp_CS} 는 전달 함수의 크기를 -10 dB가 되도록 하는 값이 존재하지 않는다. 이와 같은 수동 공진 억제 방법은 공진을 억제하는 기능 면에서는 효과적이나, 추가적인 수동 소자가 필요하다는 단점이 있고, 저항에 의해 추가적인 에너지 손실이 발생한다는 큰 문제가 있다.

수동 공진 억제 방법과 같은 기능을 하지만, 추가적인 소자 없이 제어적으로 공진을 억제할 수 있는 방법이 있는데 이를 능동 공진 억제 (Active damping) 방법이라 한다[78-81]. 능동 공진 억제 방법은 그림 3.112에서 보이는 4가지 수동 공진 억제 방법과 등가적인 기능을 하도록 구현이 가능하다[82]. 4가지 방법 중에 공진 주파수에서 음의

크기를 가질 수 있는 인덕터 직렬 저항 추가 방법과 캐패시터 병렬 저항 추가 방법의 능동 공진 억제에 대해 살펴보도록 한다.

그림 3.112 (a)를 블록도로 표현하면 그림 3.113 (a)와 같다. 이것은 다시 그림 3.113 (b)와 같게 되는데, 컨버터 측 전류 (i_{convx})를 측정 한 후 아래와 같은 계산을 통해서 제어기 출력에서 빼주게 되면 인덕터에 직렬 저항을 추가한 방법과 등가적인 능동 공진 억제 방법이 된다.

$$V_{damp} = R_{damp_LS} i_{convx} \quad (3.147)$$

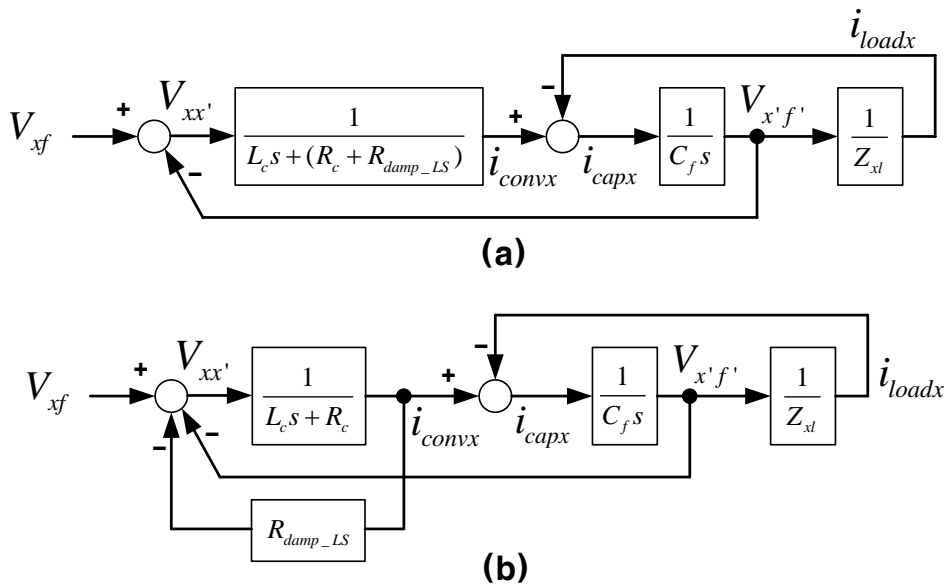


그림 3.113 인덕터에 직렬 저항 추가 시 한 상 등가 블록도

Figure 3.113 Block diagram of one phase (x phase) equivalent circuit in case of series resistor with inductor

그림 3.112 (d)를 블록도로 표현하면 그림 3.114 (a)와 같다. 이것은 다시 그림 3.114 (b)와 같은데, 캐패시터의 전압 ($V_{x'f'}$)을 측정한 후 아래와 같은 계산을 통해서 제어기 출력에서 빼주게 되면 캐패시터에 병렬 저항을 추가한 방법과 등가적인 능동 공진 억제 방법이 된다.

$$V_{damp} = (L_c s + R_c) \frac{V_{x'f'}}{R_{damp_CP}}. \quad (3.148)$$

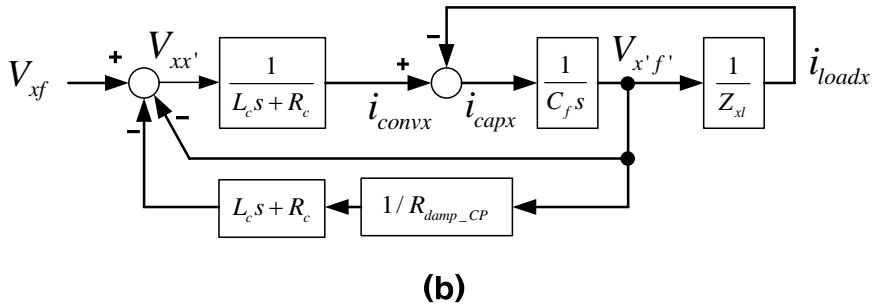
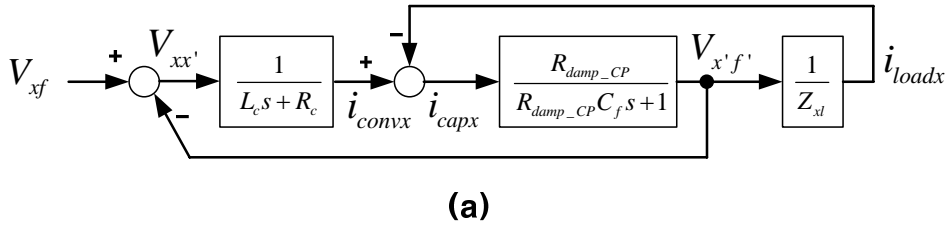


그림 3.114 캐패시터에 병렬 저항 추가 시 한 상 등가 블록도

Figure 3.114 Block diagram of one phase (x phase) equivalent circuit in case of parallel resistor with capacitor

앞서 언급한 두 가지 능동 공진 억제 방법의 댐핑 전압인 (3.147), (3.148)을 비교 해보면, (3.148)에서 s항이 있는 것을 확인할 수 있다. 이는 제어기에서 미분기에 해당하는 값이고, 되도록 측정값에 미분기의 사용은 줄이는 것이 좋으므로, 캐패시터에 병렬 저항을 추가하는 것과 등가의 능동 공진 제어 방법 보다는 인덕터에 직렬 저항을 추가하는 방법과 등가의 능동 공진 제어 방법 (Series resistor with L equivalent Active Damping, SLAD)을 사용하는 것이 구현상 바람직하다고 할 수 있다.

SLAD에 적용할 댐핑 저항 값을 설정하는 방법은 컨버터 전압 지령을 계단 (Step) 형태로 인가하고 그때의 부하 상 전압의 파형을 보고 설정할 수 있다. 하지만, 댐핑 저항 값에 따라 제어 시스템이 불안정 할 수 있으므로 시스템의 안정도 해석이 필요하다. 구현 시 제어기는 디지털 (Digital)로 구성되어 있고, 제어 플랜트인 LC필터는 아날로그 (Analog)이므로, 시스템의 안정도 해석을 위해서는 디지털이나 아날로그로의 통일이 필요하다.

여기서는 (3.116)을 다시 쓴 (3.149)와 같은 LC필터를 이산화 (discretization)해준다.

$$V_{x'f'} = G_v(s)V_{xf} + G_i(s)i_{loadx}. \quad (3.149)$$

여기서 G_v , $G_i(s)$ 는 각각 (3.150), (3.151)과 같다.

$$G_v(s) = \frac{1}{C_f L_c s^2 + C_f R_c s + 1}. \quad (3.150)$$

$$G_i(s) = -\frac{L_c s + R_c}{C_f L_c s^2 + C_f R_c s + 1}. \quad (3.151)$$

이산화 방법은 여러 가지가 있으나 ZOH (Zero-Order-Hold)를 이용한 이산화 방법이 가장 아날로그 값과 비슷하게 되므로 이를 이용한다 [80]. 먼저 $\mathbf{G}_v(s)$ 를 (3.152)와 같이 이산화 해줄 수 있다.

$$\mathbf{GH}_v[z] = (1 - z^{-1})\mathbf{Z} \left\{ \frac{\mathbf{G}_v(s)}{s} \right\}. \quad (3.152)$$

식 (3.152)에 (3.150)을 대입하여 정리하면 (3.153)과 같이 정리된다.

$$\mathbf{GH}_v[z] = \frac{1}{z^2 - 2e^{-\frac{R_c}{2L_c}T_{smp}} \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{smp} \right) z + e^{-2\frac{R_c}{2L_c}T_{smp}}} (\mathbf{A}_v z + \mathbf{B}_v) \quad (3.153)$$

여기서 \mathbf{A}_v , \mathbf{B}_v 는 아래와 같다.

$$\begin{aligned} \mathbf{A}_v = & -e^{-\frac{R_c}{2L_c}T_{smp}} \left\{ \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{smp} \right) \right. \\ & \left. + \frac{\frac{R_c}{2L_c}}{\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2}} \sin \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{smp} \right) \right\} + 1 \quad (3.154) \\ \mathbf{B}_v = & e^{-2\frac{R_c}{2L_c}T_{smp}} - e^{-\frac{R_c}{2L_c}T_{smp}} \left\{ \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{smp} \right) \right. \\ & \left. - \frac{\frac{R_c}{2L_c}}{\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2}} \sin \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{smp} \right) \right\}. \quad (3.155) \end{aligned}$$

다음으로 $\mathbf{G}_i(s)$ 를 (3.156)과 같이 이산화 할 수 있다.

$$\mathbf{GH}_i[z] = (1 - z^{-1})\mathbf{Z} \left\{ \frac{\mathbf{G}_i(s)}{s} \right\}. \quad (3.156)$$

식 (3.156)에 (3.151)을 대입하여 정리하면 (3.157)과 같이 정리된다.

$$\mathbf{GH}_i[z] = \frac{1}{z^2 - 2e^{-\frac{R_c}{2L_c}T_{samp}} \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{samp} \right) z + e^{-2\frac{R_c}{2L_c}T_{samp}}} (\mathbf{A}_i z + \mathbf{B}_i) \quad (3.157)$$

여기서 \mathbf{A}_i , \mathbf{B}_i 는 아래와 같다.

$$\begin{aligned} \mathbf{A}_i &= \mathbf{R}_c e^{-\frac{R_c}{2L_c}T_{samp}} \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{samp} \right) - \mathbf{R}_c \\ &\quad + \frac{\frac{C_f R_c^2 - L_c}{C_f L_c} - \frac{R_c^2}{2L_c}}{\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2}} e^{-\frac{R_c}{2L_c}T_{samp}} \sin \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{samp} \right). \end{aligned} \quad (3.158)$$

$$\begin{aligned} \mathbf{B}_i &= -\mathbf{R}_c e^{-2\frac{R_c}{2L_c}T_{samp}} + \mathbf{R}_c e^{-\frac{R_c}{2L_c}T_{samp}} \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{samp} \right) \\ &\quad - \frac{\frac{C_f R_c^2 - L_c}{C_f L_c} - \frac{R_c^2}{2L_c}}{\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2}} e^{-\frac{R_c}{2L_c}T_{samp}} \sin \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{samp} \right). \end{aligned} \quad (3.159)$$

식 (3.149)와 같은 아날로그 연산을 ZOH로 이산화시키면 (3.160)과 같다.

$$V_{x'f'}[n] = GH_v[z]V_{xf}[n] + GH_i[z]i_{loadx}[n]. \quad (3.160)$$

(3.160)을 블록도로 표현하면 그림 3.115와 같다.

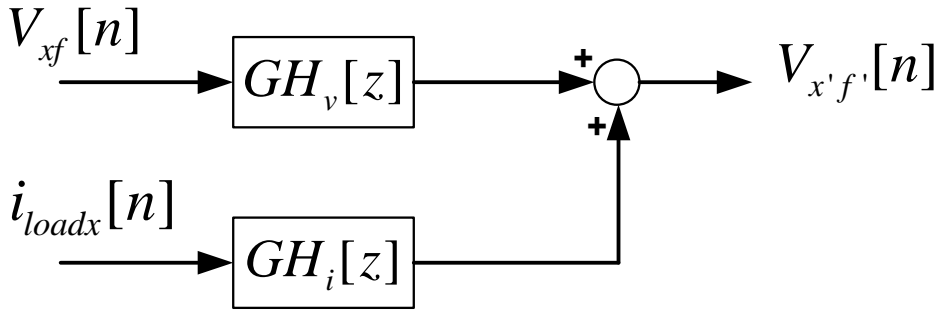


그림 3.115 ZOH로 이산화된 플랜트 블록도

Figure 3.115 Block diagram of plant discretized by ZOH

그림 3.115와 같은 이산화된 모델의 유효성을 평가하기 위해 모의 실험을 수행하였다. 모의 실험에서 극 전압 지령과 상 전압 지령이 같아지도록 SPWM을 적용하였고, 데드 타임의 영향을 배제하기 위해 이상적인 가변 전압원을 LC필터 플랜트에 적용하였다. 이때, 그림 3.115와 같은 모델에서의 출력 전압 값과 실제 캐패시터 전압 값을 비교하면 그림 3.116 (a)와 같다. 확대된 파형인 그림 3.116 (b)를 보면 실제 전압에서 공진이 심하게 보이고 있음에도 이산화된 모델에서의 캐패시터 전압이 실제 전압을 잘 따라가고 있음을 알 수 있다.

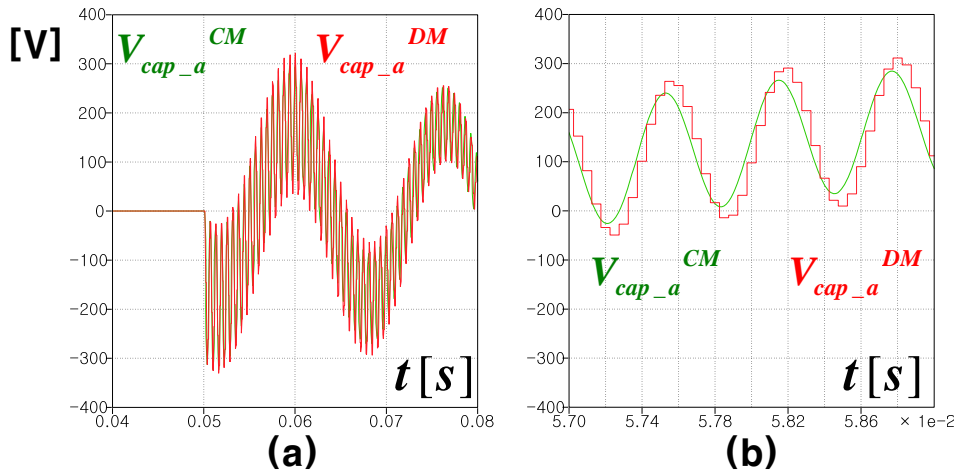


그림 3.116 모의 실험 - (a) 연속 시간 모델에서의 캐패시터 전압 ($V_{cap_a}^{CM}$)과 이산화된 모델에서의 캐패시터 전압 ($V_{cap_a}^{DM}$), (b) (a)의 확대 파형

Figure 3.116 Simulation result (a) Capacitor voltage ($V_{cap_a}^{CM}$) of continuous model and capacitor voltage ($V_{cap_a}^{DM}$) of the discretized model, (b) magnified waveform of (a)

능동 공진 억제 제어기가 포함된 이산화된 플랜트의 블록도는 그림 3.117과 같다.

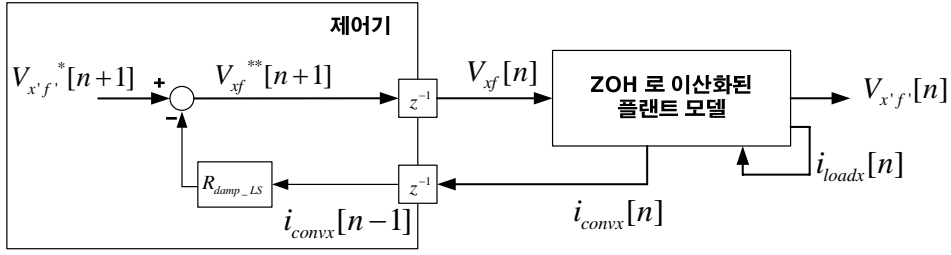


그림 3.117 제어기가 포함된 이산화된 플랜트 블록도

Figure 3.117 Block diagram of discretized plant model with controller

여기서 제어기의 지령은 아래와 같다.

$$V_{xf}^{**}[n+1] = V_{x'f}^*[n+1] - R_{damp_LS} i_{convx}[n-1]. \quad (3.161)$$

식 (3.161)에서 PWM에 의한 전압 왜곡이 없다고 가정하면 컨버터 출력 전압은 아래와 같다.

$$V_{xf}[n] = V_{x'f}^*[n] - R_{damp_LS} i_{convx}[n-2]. \quad (3.162)$$

식 (3.162)를 (3.160)에 대입하면 (3.163)과 같다.

$$V_{x'f}[n] = GH_{v_SLAD}[z] V_{x'f}^*[n] + GH_{i_SLAD}[z] i_{loadx}[n]. \quad (3.163)$$

여기서 $GH_{v_SLAD}[z]$, $GH_{i_SLAD}[z]$ 는 각각 (3.164), (3.165)와 같다.

$$GH_{v_SLAD}[z] = \frac{GH_v[z]}{1 + GH_v[z] R_{damp_LS} C_f \frac{z^{-1} - z^{-2}}{T_{smp}}}. \quad (3.164)$$

$$GH_{i_SLAD}[z] = \frac{(-GH_v[z] R_{damp_LS} z^{-2} + GH_i[z])}{1 + GH_v[z] R_{damp_LS} C_f \frac{z^{-1} - z^{-2}}{T_{smp}}}. \quad (3.165)$$

공진 주파수에서의 $\mathbf{GH}_{v_SLAD}[z]$ 의 크기가 -10 dB부터 0 dB까지 1씩 증가시켰을 때, \mathbf{R}_{damp_LS} 은 36Ω 부터 11Ω 까지 감소하게 된다. 댐핑 저항의 값에 따라 $\mathbf{GH}_{v_SLAD}[z]$ 의 극점-영점 (Pole-zero) 맵 (Map)을 그려보면 그림 3.118과 같다.

저항 값이 작을 때 극점 (pole)의 위치가 단위 원 (Unit circle)안에 존재하게 된다. 하지만 댐핑 성능을 높이기 위해서 저항 값을 키워주면 어떤 값 이후에서는 극점의 위치가 단위 원 밖으로 옮겨가게 되어 시스템이 불안해지게 된다. 따라서 제안된 제어기에서는 공진 주파수 억제도 하면서 시스템이 안정할 수 있도록 (3.135)와 같이 댐핑 저항 값을 22Ω 으로 설정하였다.

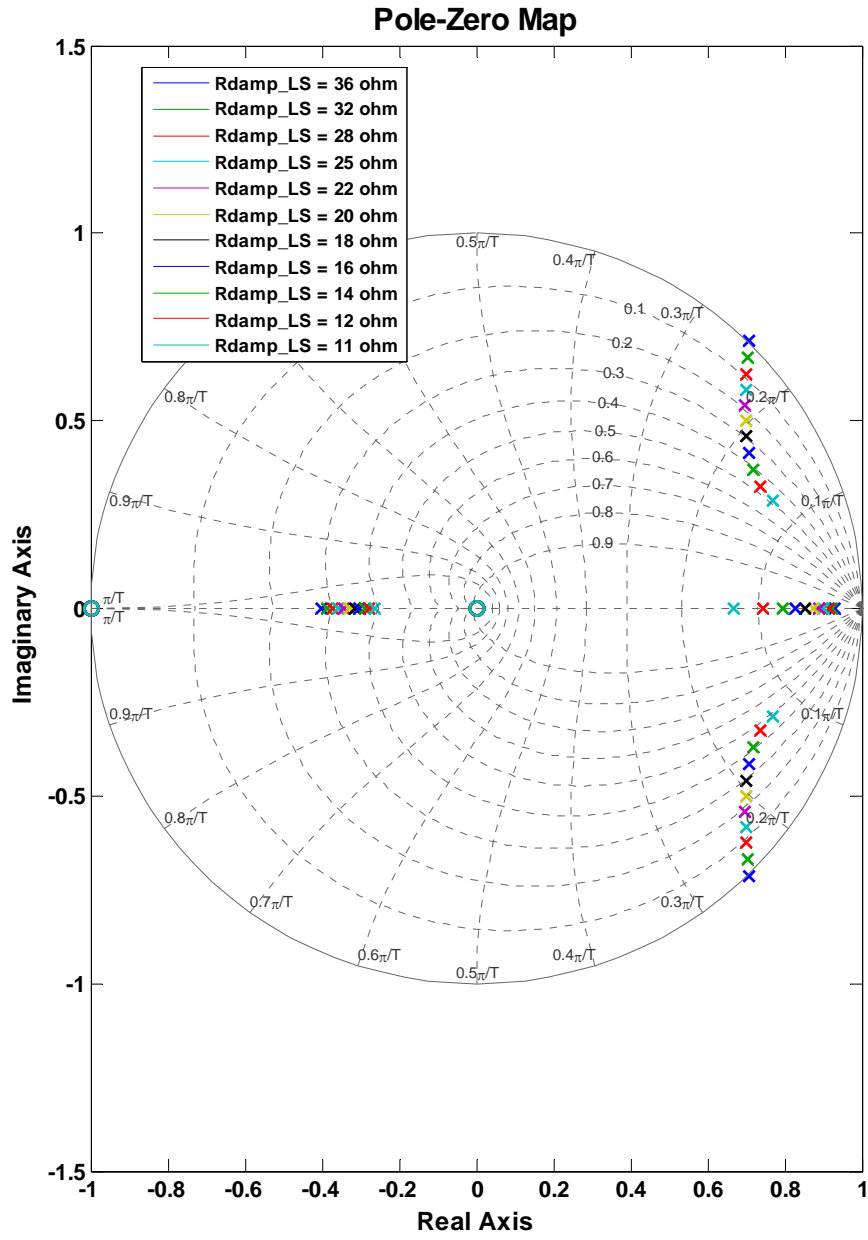


그림 3.118 댐핑 저항(R_{damp_LS})에 따른 Pole-zero 맵

Figure 3.118 Pole-zero map according to R_{damp_LS}

이와 같이 적절한 댐핑 저항 값을 잡아 능동적으로 공진을 억제 한다고 하더라도 제안된 전압 제어기의 제어 주파수 대역 폭(ω_{vc})을 무한히 늘리는 것은 LC필터의 공진 주파수로 인해서 불가능하게 된다. 즉, PWM 스위칭 주파수가 결정되면 LC필터의 공진 주파수의 한계가 결정 되고, LC필터의 공진 주파수가 결정되면 전압 제어기의 제어 주파수 대역 폭도 제한이 되게 된다.

그림 3.119는 그림 3.100에서와 같은 전달 함수 TF_VR의 보드 선

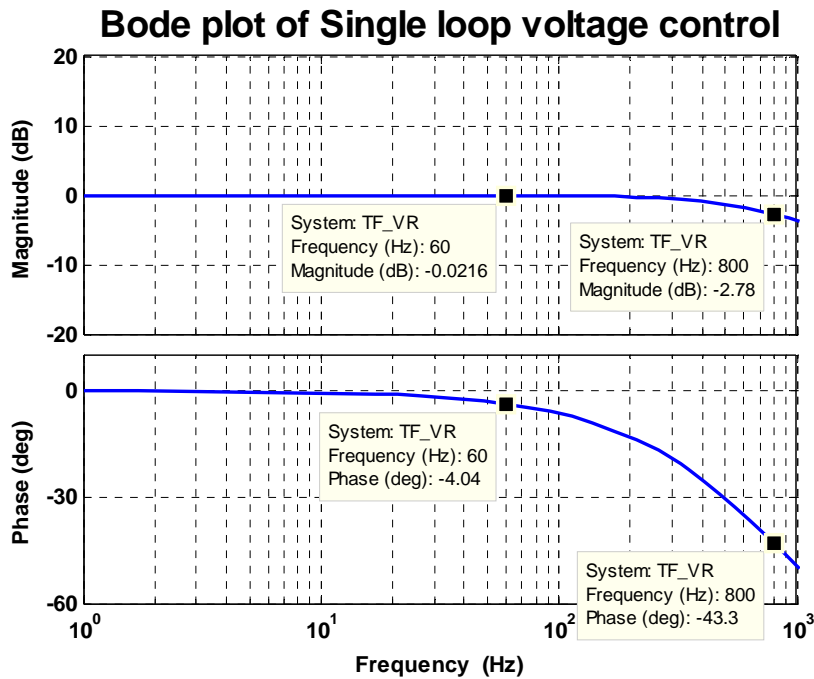


그림 3.119 그림 3.100 확대 파형

Figure 3.119 Magnified waveform of Figure 3.100

도이다. 이 보드 선도는 전압 제어기의 제어 주파수 대역폭이 850 Hz일 때이다. 지령 전압의 주파수가 60 Hz인 경우에 부하 전압의 크기는 0.25% 감소하게 되고, 위상은 4도 정도 지연이 발생한다. 그리고 상용 전압 합성기인 MX30의 경우와 마찬가지로 지령 전압의 주파수가 800 Hz에 이르게 되면 부하 전압의 크기는 27.39% 감소하게 되고, 위상은 43.3도 지연이 발생한다.

식 (3.123)을 보면, 부하 상 전압의 크기가 지령 전압 대비 오차가 1% 이내가 되게 하기 위한 제어 주파수 대역폭은 5.67 kHz가 되어야 한다. 이는 공진 주파수가 1.5 kHz 인 현 LC필터 구조로는 구현이 불가능 하다. 따라서 공진 주파수는 5.67 kHz 보다 큰 주파수로 설계되어야 하고, 스위칭 주파수 또한 공진 주파수보다 더 크게 설정되어야 한다. 따라서 공진 주파수는 8039 Hz가 되도록 LC필터의 값을 (3.166), (3.167)과 같이 설정하였다.

$$L_c = 87.1\mu H . \quad (3.166)$$

$$C_f = 4.5\mu F . \quad (3.167)$$

이때 공진 억제용 저항 값은 아래와 같이 설정되었다.

$$R_{damp_LS} = 5.49\Omega . \quad (3.168)$$

또한 이때의 스위칭 주파수는 60 kHz로 하였다. 이때의 전달 함수 TF_VR의 보드 선도는 그림 3.120과 같다.

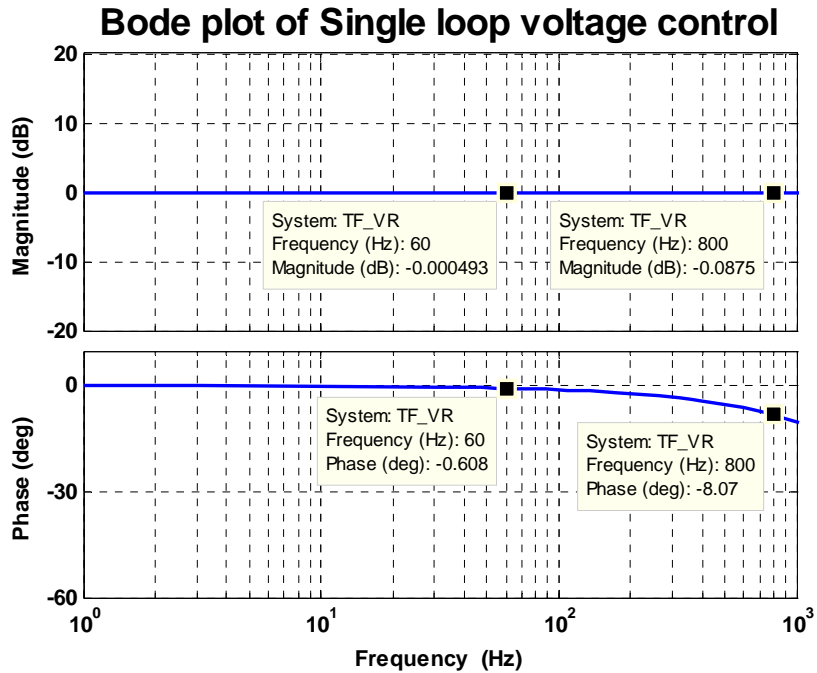


그림 3.120 단일 루프 (single-loop) 전압 제어기 보드 선도
 $(\omega_{vc} = 2\pi 5600[\text{rad} / \text{s}])$

Figure 3.120 Bode plot of single-loop voltage controller
 $(\omega_{vc} = 2\pi 5600[\text{rad} / \text{s}])$

이와 같은 스위칭 주파수와 LC필터 값을 이용하여 지령 전압이 180V, 800 Hz 일 때 모의 실험을 수행하였다. 그림 3.121이 모의 실험 결과로 800 Hz의 높은 주파수의 신호에도 불가하고 실제 부하 전압이 지령 전압을 잘 따라가고 있는 것을 볼 수 있다.

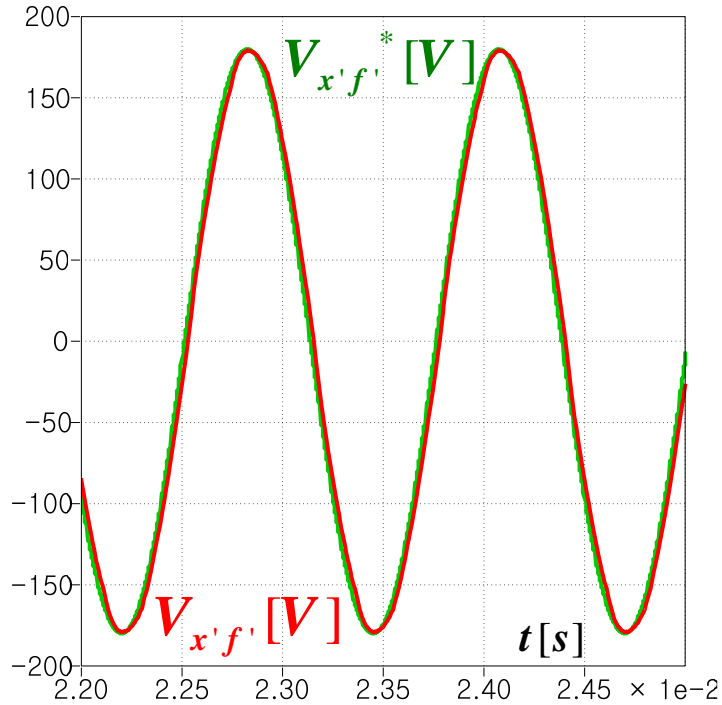


그림 3.121 단일 루프 (single-loop) 전압 제어기 모의 실험12

Figure 3.121 Single-loop voltage controller simulation result12

전력 전자 전용 시뮬레이션 언어인 PLECS 소프트웨어를 이용하면 실험을 하지 않고도 소자에서 발생하는 손실을 모의할 수 있다. 현재 구성되어 있는 5kW용량의 3레벨 4레그 컨버터 실험 세트의 전력용 반도체인 Vincotech 모듈의 손실 데이터는 그림 3.122, 그림 3.123과 같다.

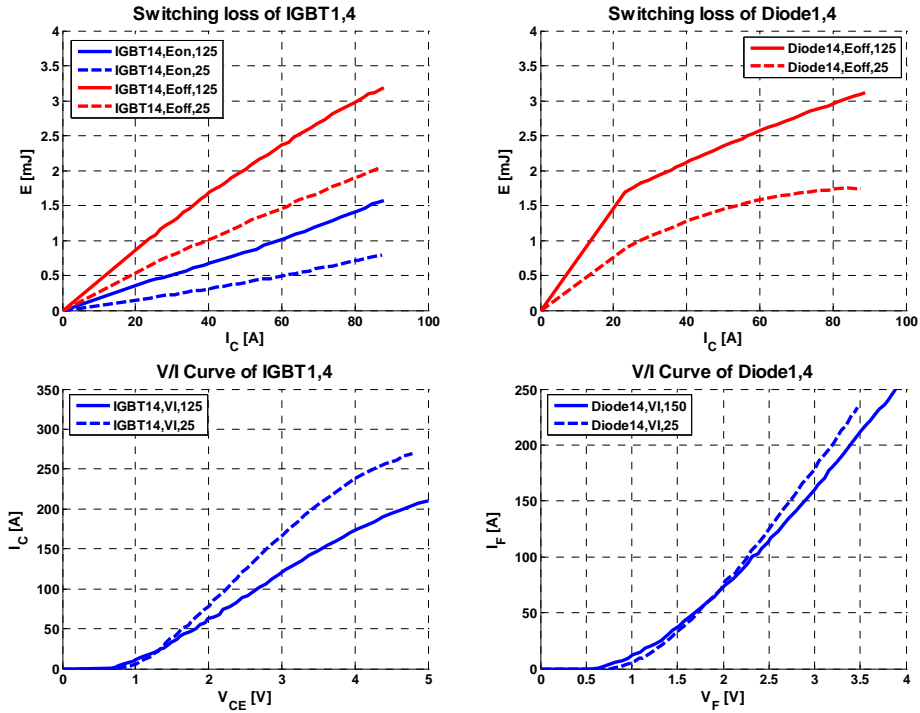


그림 3.122 Vincotech 10-FZ12NMA080SH01-M260F 상/하단 스위치 손실 데이터

Figure 3.122 Loss data of half bridge in Vincotech 10-FZ12NMA080SH01-M260F

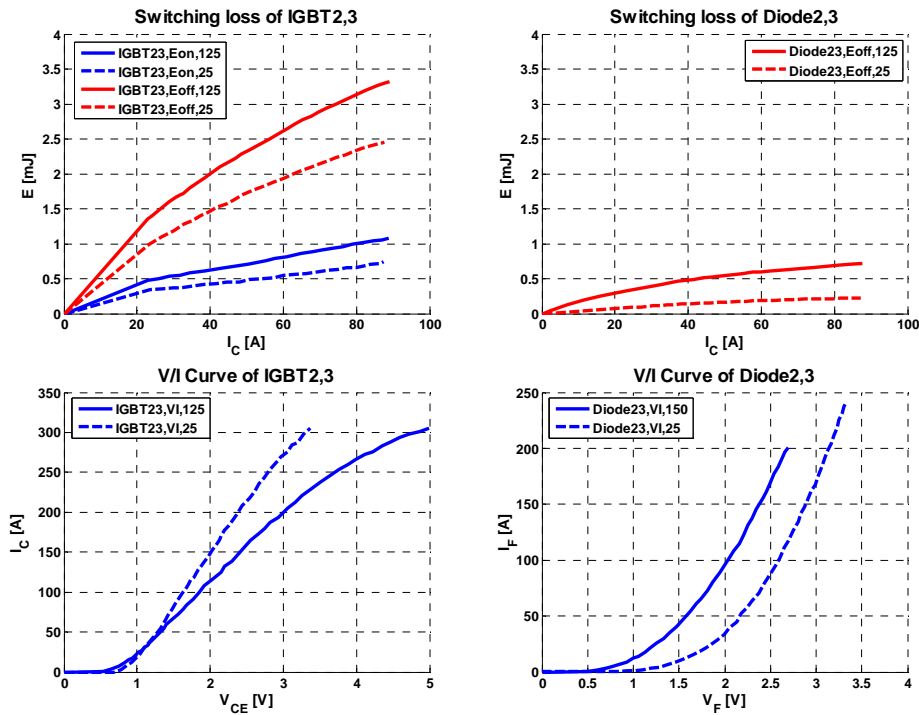


그림 3.123 Vincotech 10-FZ12NMA080SH01-M260F 중성단 스위치 손실 데이터

Figure 3.123 Loss data of neutral point in Vincotech 10-FZ12NMA080SH01-M260F

인가된 전압은 180V의 크기를 가지고, 주파수는 60 Hz의 신호가 부하에 걸리도록 설정하고 제어기는 단일 루프 전압 제어기를 사용하였다. 전력 용량의 비율에 따라 부하의 저항 값을 바꿔주었다. 먼저 Vincotech 모듈을 이용하여 표 3.8에서의 손실 모의 실험1, 손실 모의 실험2와 같은 조건으로 모의 실험을 수행하였다.

표 3.8 손실 모의 실험 조건

Table 3.8 Simulation conditions for loss of power switches

항목	손실 모의 조건 1	손실 모의 조건 2
L_c	1.2 mH	87.1 uH
C_f	9 uF	4.5 uF
F_{sw}	20 kHz	60 kHz
ω_{vc}	850 Hz	5.57 kHz
V_{dc}	400V	
PWM	SVPWM	
데드 타임 보상	a, b, c 상	

Vincotech 모듈을 이용한 손실 모의 실험 결과는 그림 3.124와 같다. 100% 부하 조건에서의 스위칭 주파수가 20 kHz 일 때는 76 W 이나, 60 kHz로 높였을 때는 126 W로 66% 증가하게 된다.

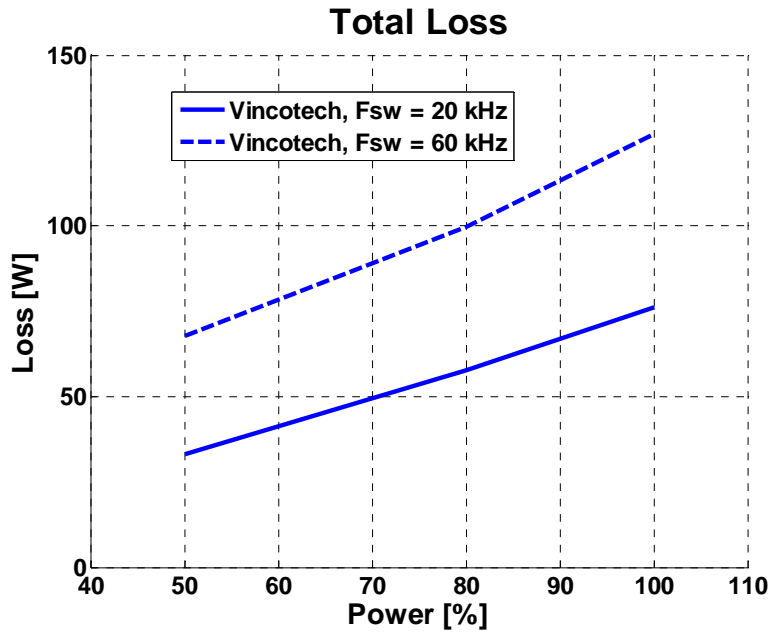
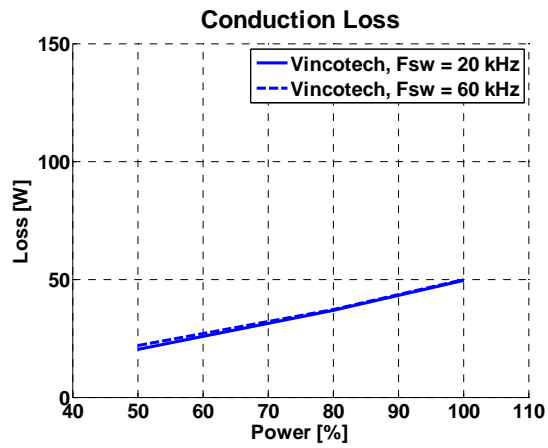


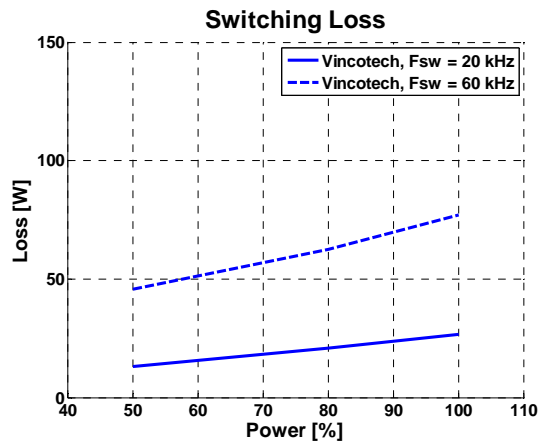
그림 3.124 Vincotech 모듈의 전체 소자 손실

Figure 3.124 Total loss of Vincotech

전체 손실 결과를 도통 손실과 스위칭 손실로 나눠보면 그림 3.125와 같다. 예상했던 바와 같이 도통 손실은 스위칭 주파수를 높여도 차이가 없다. 하지만 스위칭 손실은 스위칭 주파수를 3배 높임으로써 188% ~ 254% 증가한 것을 알 수 있다. 따라서 Silicon에 기반한 IGBT나 Diode를 이용하여 실제 실험을 할 경우에는 손실 문제로 스위칭 주파수를 높일 수가 없다는 것을 알 수 있다.



(a)



(b)

그림 3.125 Vincotech 모듈의 소자 손실 (a) 도통 손실, (b) 스위칭 손실

Figure 3.125 Loss of Vincotech (a) Conduction loss, (b) Switching loss

Silicon 소자가 스위칭 주파수를 높이지 못하는 한계가 있으므로, 새롭게 주목 받고 있는 Wide band gap 소자 중 하나인 SiC 기반의 소자를 이용할 수 있다[83]. 손실 모의 실험에 사용할 SiC 소자는 Rohm사에서 나온 BSM120D12PC005이다. Rohm사의 손실 데이터는 그림 3.126과 같다.

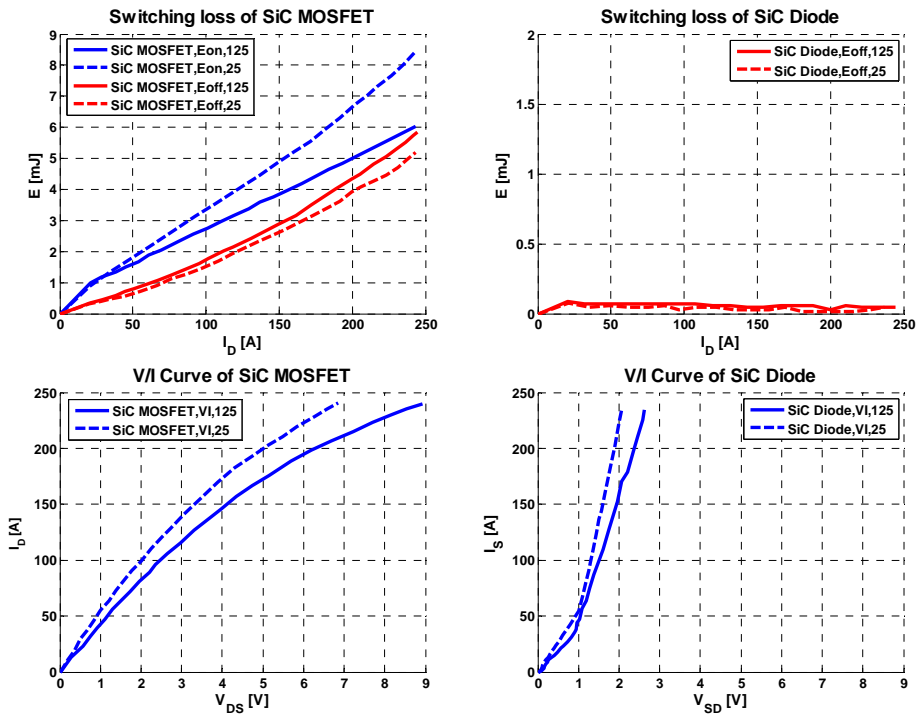
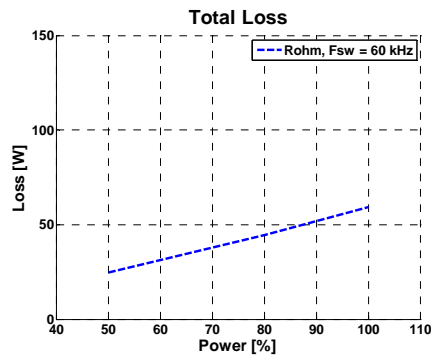


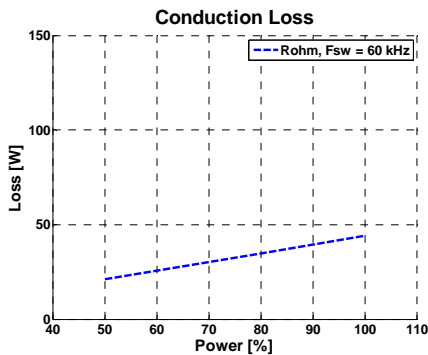
그림 3.126 Rohm BSM120D12P2C005 손실 데이터

Figure 3.126 Loss data of power device in Rohm BSM120D12P2C005

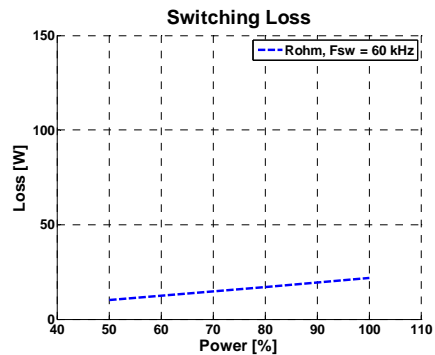
표 3.8의 손실 모의 조건2와 같은 조건에서 모의 실험을 수행하였다. 그 결과는 그림 3.127과 같은데 그림 3.124와 비교했을 때, 스위칭 주파수가 60 kHz 임에도 불구하고 Vincotech 소자를 20 kHz로 스위칭했을 때보다 손실이 적게 나오는 것을 확인할 수 있다.



(a)



(b)



(c)

그림 3.127 Rohm 모듈의 소자 손실 (a) 전체 손실, (b) 도통 손실, (c) 스위칭 손실

Figure 3.127 Loss of Rohm (a) Total loss, (b) Conduction loss, (c) Switching loss

전력 분석기 (Power Analyzer)를 이용하여 Vincotech 소자를 이용하여 20 kHz 스위칭 시 손실이 얼마나 되는지 측정해보았다. 여기서 입력 전력은 직류단 전압과 전류를 측정해서 계산하였고, 출력 전력은 LC필터 이전의 전력용 반도체 스위치의 출력 전압과 전류를 측정하여 계산하였다. 실제 실험을 통한 손실 결과는 부하가 100%, 80% 50% 일 때 측정하였고 결과는 그림 3.128과 같다. 모의 실험 결과인 그림 3.124와 비교했을 때, 100%, 80% 부하 조건에서는 2W 이내의 차이로 거의 유사한 결과가 나왔다. 하지만 50% 부하 조건에서는 모의 실험보다 실제 실험에서 손실이 14W 크게 나왔다.

Vincotech 소자의 상/하단 전력 소자의 스위칭 손실 데이터는 그림

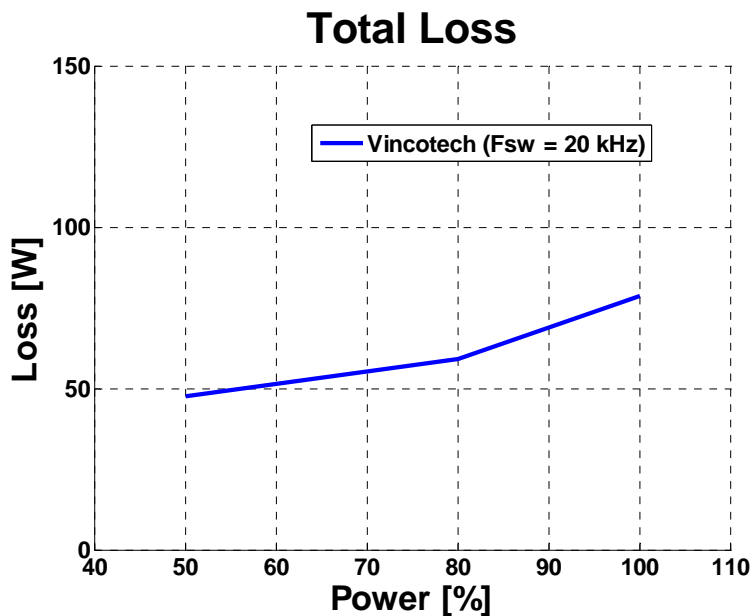


그림 3.128 Vincotech 모듈 손실

Figure 3.128 Total loss of Vincotech

3.122 (a), (b)와 같은데 부하 50% 이하 조건은 저 전류 구간으로 실제 데이터 시트에는 나와 있지 않아 선형화된 구간으로 전류가 작을수록 실제와 손실 오차가 커서 오차가 커진 것으로 보인다.

이와 같은 결과를 추정해 볼 때 60 kHz로 스위칭 되는 SiC 소자로 실험할 경우에도 손실 경향은 모의 실험 결과와 유사하리라 생각된다.

3.2.5 실험 결과

그림 3.84와 같은 모의 실험 회로와 같은 회로를 이용하여 실제 실험을 수행하였다. 여기서 직류단 전압 (V_{dc})은 430V, 스위칭 주파수 (f_{sw})는 20 kHz, 샘플링 주파수 (f_{samp})는 40 kHz이다. 이때 데드 타임 (T_{dead})은 $2\mu s$ 로 설정하였다. 사용된 부하는 인덕터와 저항이 각 상에 직렬로 연결되어 있고, 그 값은 각각 (3.169), (3.170)과 같다.

$$L_{al} = L_{bl} = L_{cl} = 50.731mH . \quad (3.169)$$

$$R_{al} = R_{bl} = R_{cl} = 40\Omega . \quad (3.170)$$

먼저 (3.171)과 같은 작은 전압 크기의 전압 조건에서 실험을 수행하였다. 모의 실험 결과를 기반으로 작은 크기의 전압 조건에서 실험한 각각의 PWM 방법과 각 상의 데드 타임 보상 여부는 표 3.9와 같다.

$$\begin{cases} V_{af}^* = 18\sin 2\pi 60t \\ V_{bf}^* = 18\sin(2\pi 60t - \frac{2}{3}\pi) . \\ V_{cf}^* = 18\sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.171)$$

표 3.9 작은 전압에서의 실험 조건 (단일 루프 전압 제어기)

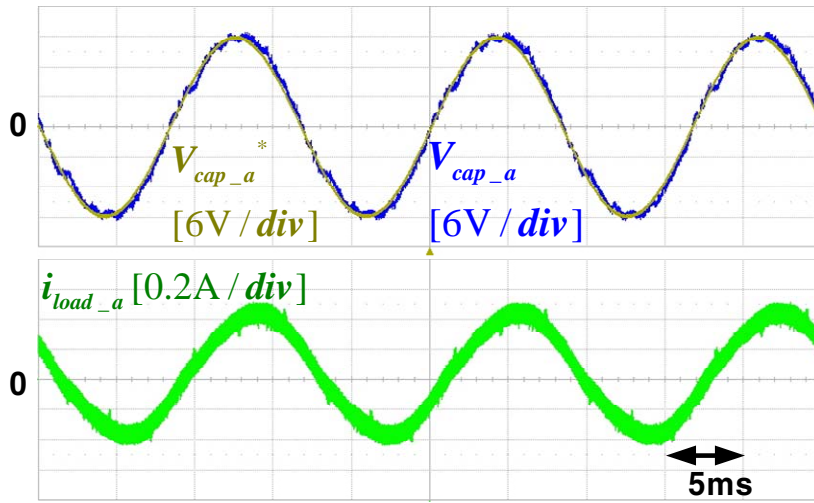
Table 3.9 Conditions for single-loop controller experiment in low voltage

모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
실험 1	SVPWM	보상 함	보상 안함
실험 2	SPWM	보상 함	보상 안함
실험 3	AOVPWM	보상 함	보상 안함
실험 4	PPPWM1	보상 함	보상 안함
실험 5	PPPWM2	보상 함	보상 안함
실험 6	PPPWM3	보상 함	보상 안함

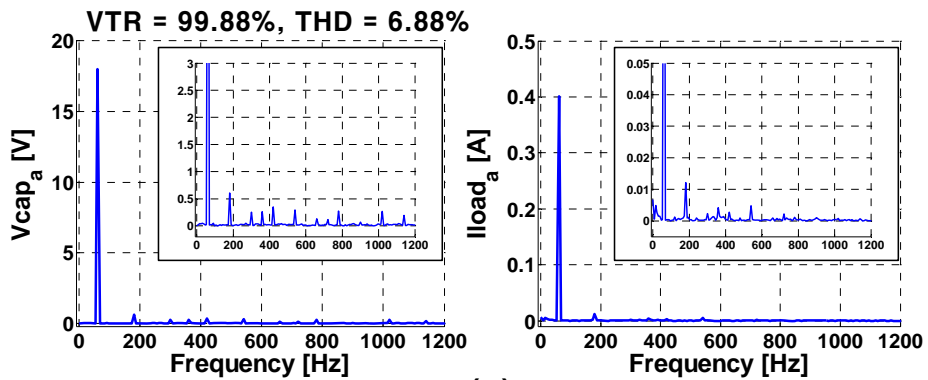
그림 3.129, 그림 3.130, 그림 3.131, 그림 3.132, 그림 3.133, 그림 3.134는 각각 SVPWM, SPWM, AOVPWM, PPPWM1, PPPWM2, PPPWM3을 적용하고 단일 루프 전압 제어기를 적용했을 때의 결과이다. 오픈 루프 전압 제어기를 이용하고 각각 SVPWM, SPWM, AOVPWM 방법을 적용한 결과인 그림 3.60, 그림 3.63, 그림 3.65를 그림 3.129, 그림 3.130, 그림 3.131과 비교해보면 기본파 성분의 크기가 지령 전압과 거의 같아진 것을 볼 수 있다. 그리고 데드 타임에 의한 고조파 성분의 전압의 크기가 많이 줄어든 것을 볼 수 있다. 이는 단일 루프 전압 제어기의 보드 선도인 그림 3.100에서 볼 수 있듯이 데드 타임에 의한 전압 왜곡 성분이 캐패시터 전압의 전달

함수가 0 dB 보다 작은 값을 가지기 때문이다. PPPWM 방법 중에서는 PPPWM1을 적용했을 때 캐패시터 전압의 왜곡이 가장 작은 것을 볼 수 있다.

오픈 루프 전압 제어기를 사용하면서 SVPWM, SPWM, AOVPWM을 적용하고, a, b, c 레그에만 데드 타임 보상을 했을 때에는 VTR은 각각 76.13%, 77.75%, 87.55%였다. 같은 조건에서 단일 루프 전압 제어기를 사용했을 때에는 VTR이 각각 99.88%, 99.76%, 100.39%로 증가한 것을 볼 수 있다. PPPWM 방법을 적용했을 때에는 PPPWM1의 방법에서의 VTR은 99.94%로 가장 지령에 가까운 것을 볼 수 있다.



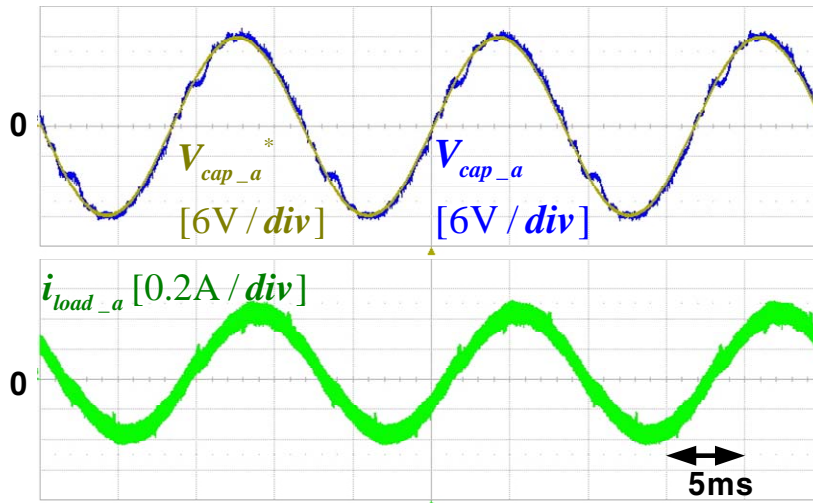
(a)



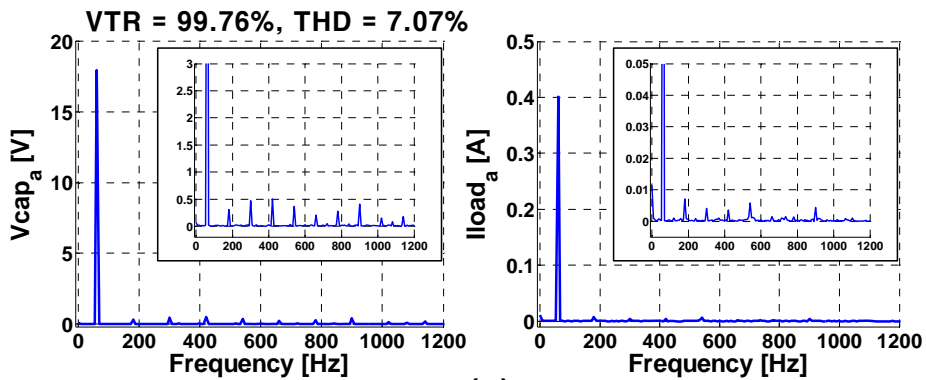
(b)

그림 3.129 실험 결과 - 실험 1

Figure 3.129 Experimental result - EXP. 1



(a)



(b)

1차: 17.97V

1차: 0.4006A

그림 3.130 실험 결과 - 실험 2

Figure 3.130 Experimental result - EXP. 2

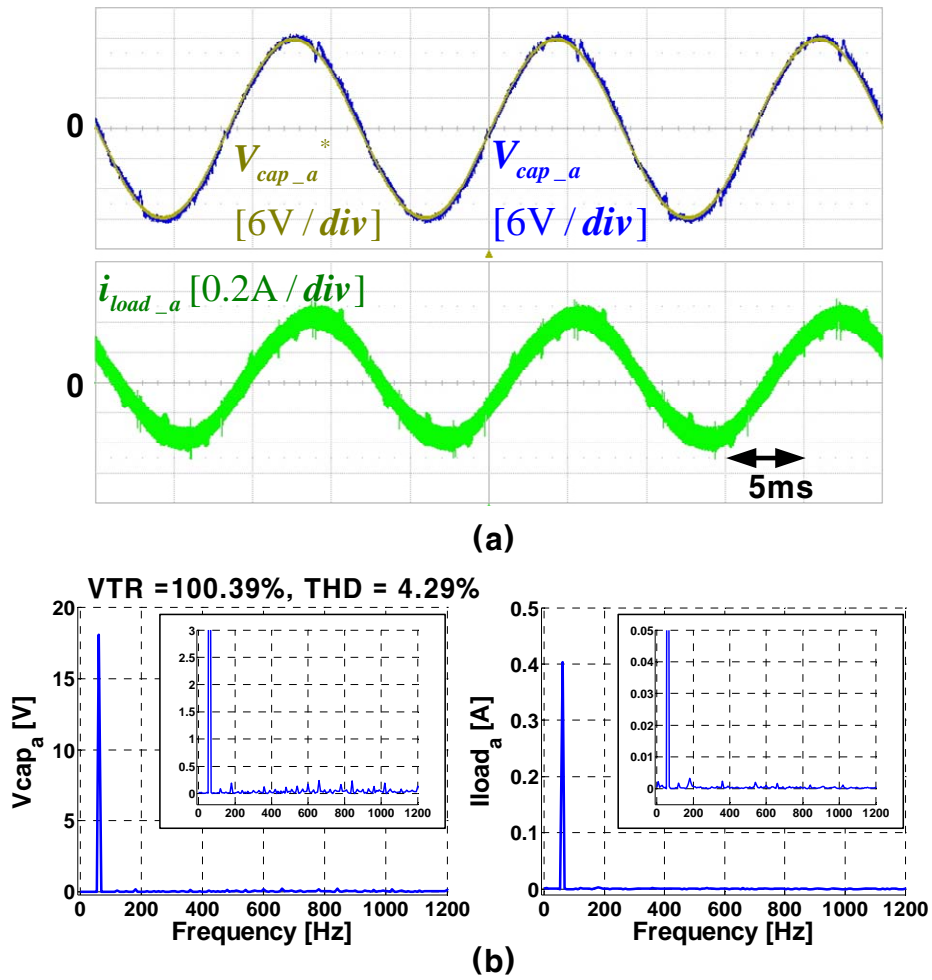


그림 3.131 실험 결과 - 실험 3

Figure 3.131 Experimental result - EXP. 3

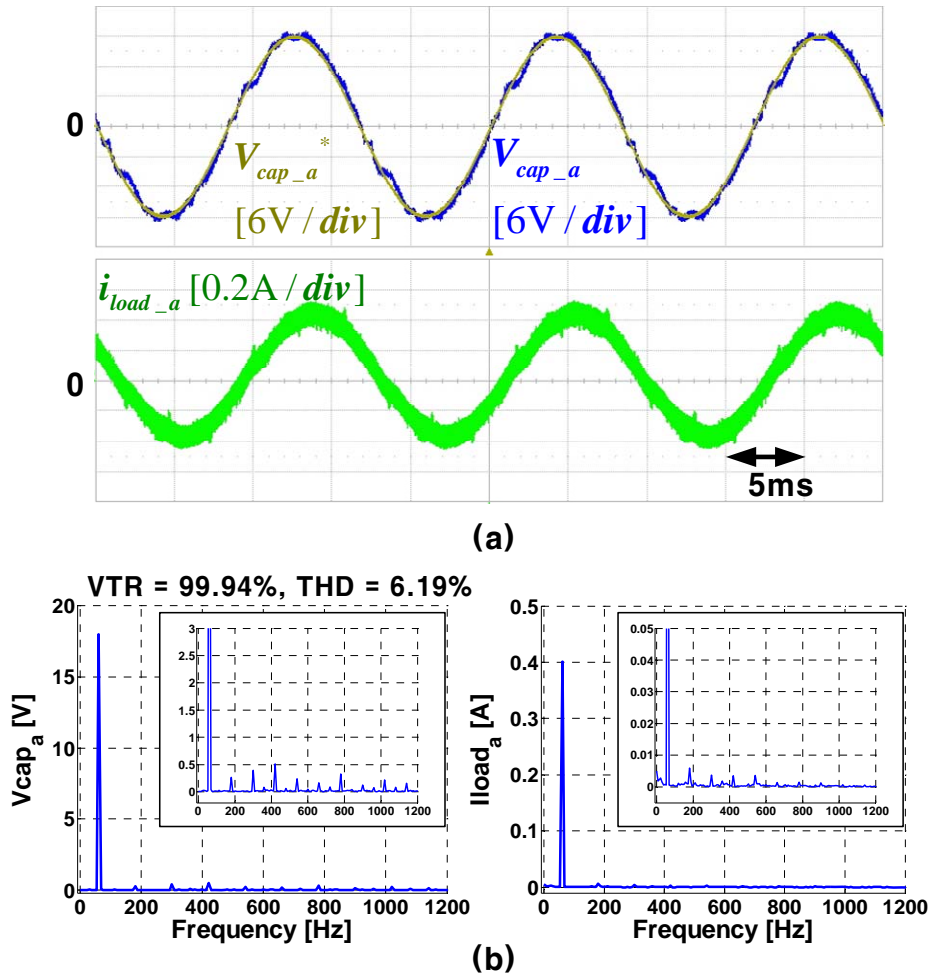


그림 3.132 실험 결과 - 실험 4

Figure 3.132 Experimental result - EXP. 4

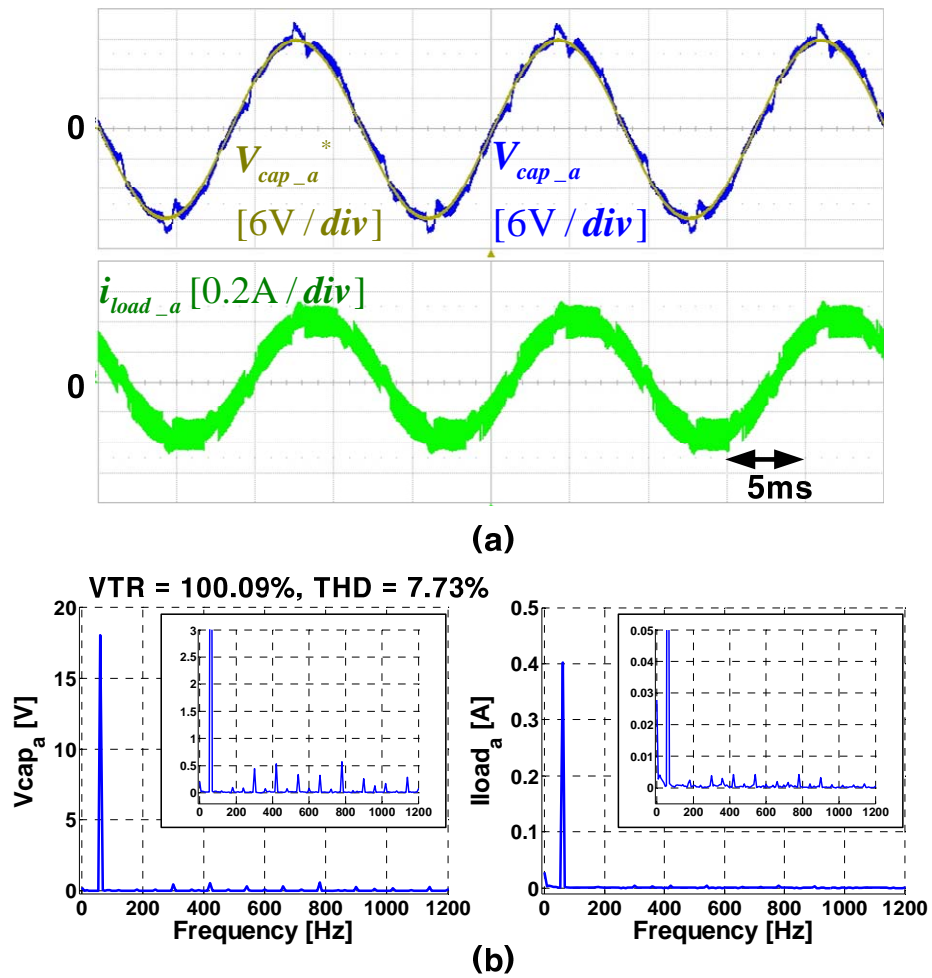


그림 3.133 실험 결과 - 실험 5

Figure 3.133 Experimental result - EXP. 5

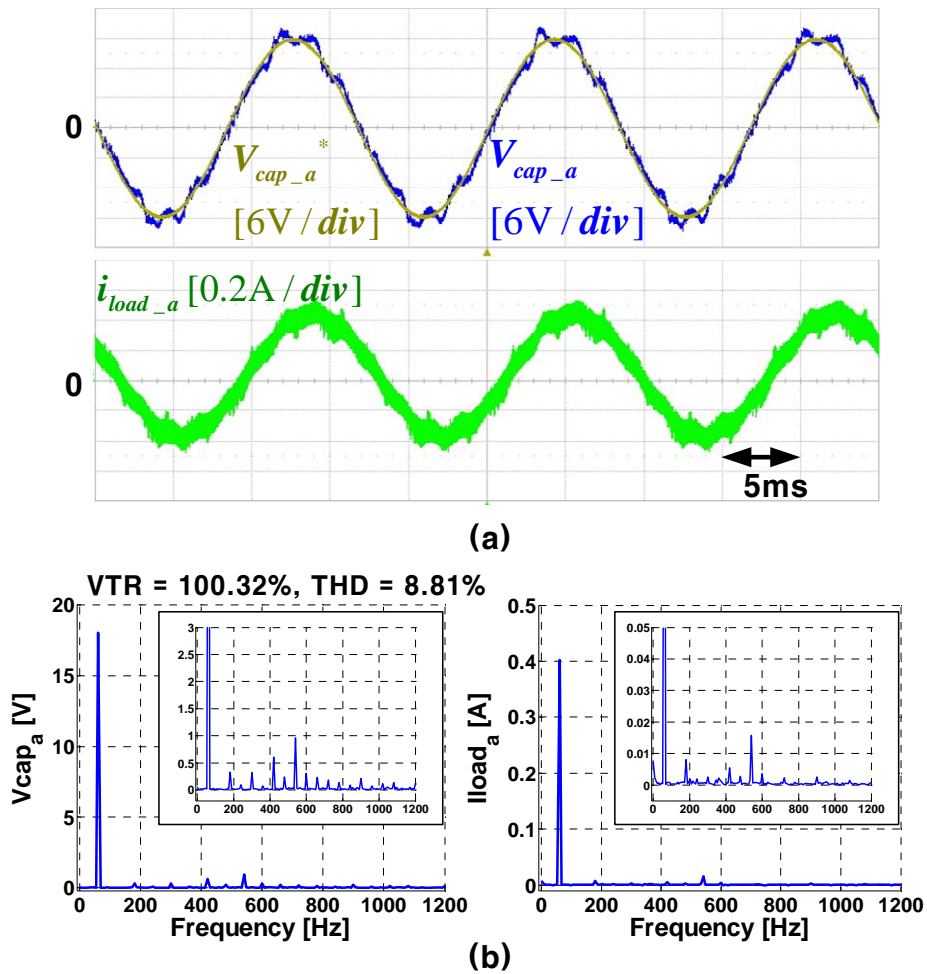


그림 3.134 실험 결과 - 실험 6

Figure 3.134 Experimental result - EXP. 6

다음으로 (3.172)와 같이 전압의 크기가 큰 조건에서 실험을 수행하였다. 모의 실험 결과를 기반으로 저 전압 조건에서 실험한 각각의 PWM 방법과 각 상의 데드 타임 보상 여부는 표 3.10과 같다.

$$\begin{cases} V_{af}^* = 180 \sin 2\pi 60t \\ V_{bf}^* = 180 \sin(2\pi 60t - \frac{2}{3}\pi) \\ V_{cf}^* = 180 \sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.172)$$

표 3.10 큰 전압 크기에서의 실험 조건 (단일 루프 전압 제어기)

Table 3.10 Conditions for single loop controller experiment in high voltage

모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
실험 7	SVPWM	보상 함	보상 안함
실험 8	SPWM	보상 함	보상 안함
실험 9	OMVPWM	보상 함	보상 안함
실험 10	PPPWM1	보상 함	보상 안함
실험 11	PPPWM2	보상 함	보상 안함
실험 12	PPPWM3	보상 함	보상 안함

그림 3.135, 그림 3.136, 그림 3.137, 그림 3.138, 그림 3.139, 그림 3.140은 각각 SVPWM, SPWM, AOVPM, PPPWM1, PPPWM2, PPPWM3을 적용하고 단일 루프 전압 제어기를 적용했을 때의 결과이다. 오픈 루프 전압 제어기를 이용하고 각각 SVPWM, SPWM, AOVPM 방법을 적용한 결과인 그림 3.68, 그림 3.71, 그림 3.73을 그림 3.135, 그림 3.136, 그림 3.137과 비교해보면 기본과 성분의 크기가 지령 전압과 거의 같아진 것을 볼 수 있다. 그리고 데드 타임에 의한 고조파 성분의 전압의 크기가 많이 줄어든 것을 볼 수 있다. PPPWM 방법 중에서는 PPPWM3을 적용했을 때 캐패시터 전압의 왜곡이 가장 작은 것을 볼 수 있다.

오픈 루프 전압 제어기를 사용하면서 SVPWM, SPWM, OMVPWM을 적용하고, a, b, c 레그에만 데드 타임 보상을 했을 때에는 VTR은 각각 97.49%, 97.63%, 97.58%였다. 같은 조건에서 단일 루프 전압 제어기를 사용했을 때에는 VTR이 각각 100.29%, 100.30%, 100.32%로 증가한 것을 볼 수 있다. PPPWM 방법을 적용했을 때에는 PPPWM3의 방법에서의 VTR이 100.33%로 지령에 가장 가까운 것을 볼 수 있다.

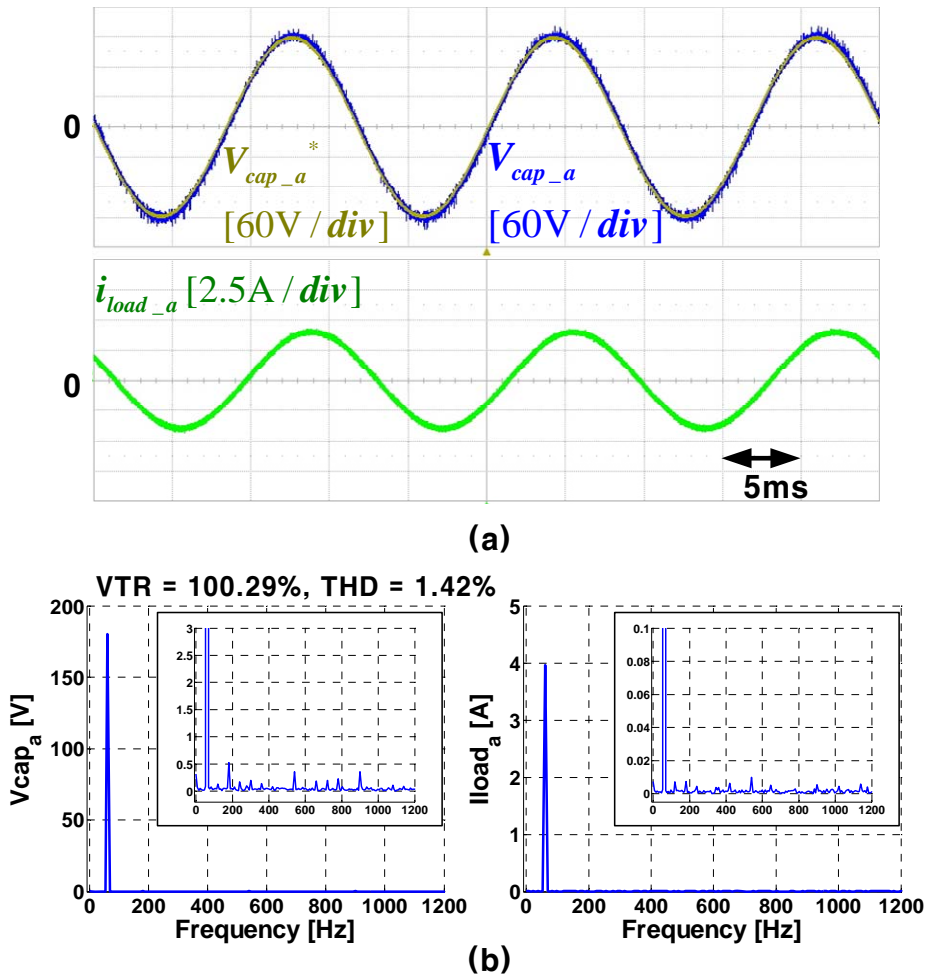


그림 3.135 실험 결과 - 실험 7

Figure 3.135 Experimental result - EXP. 7

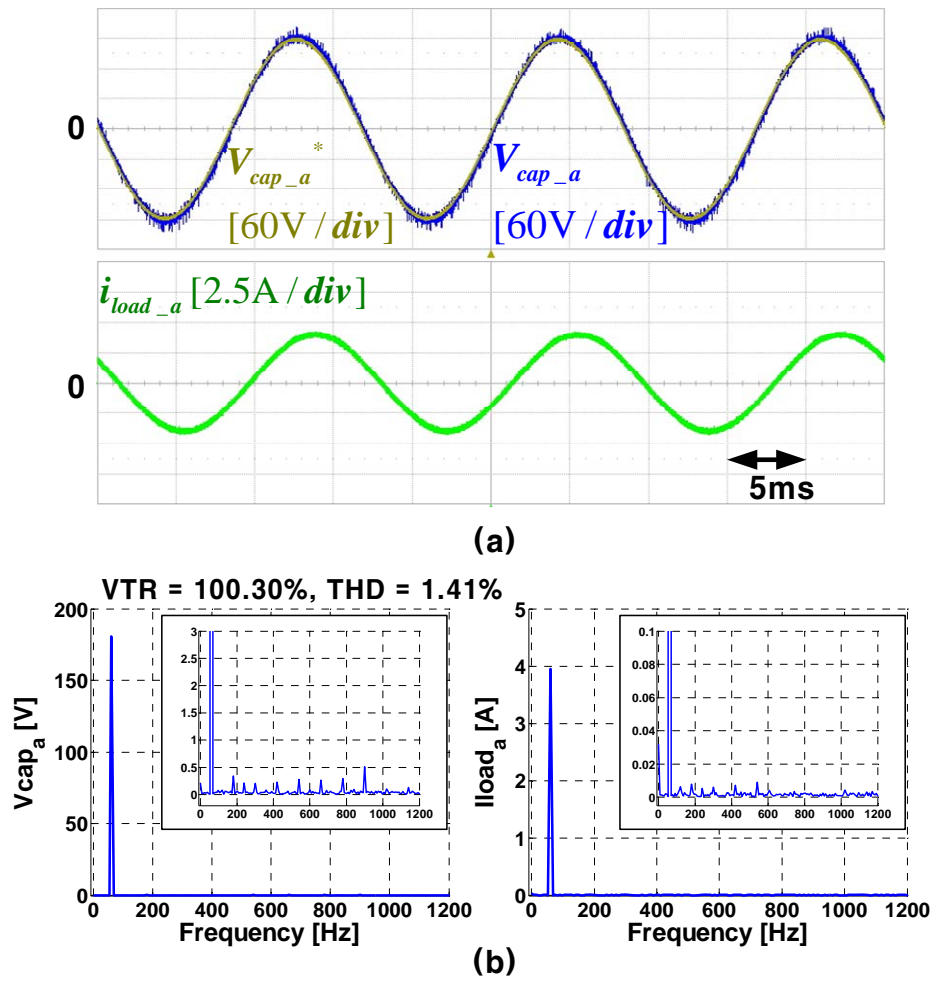


그림 3.136 실험 결과 - 실험 8

Figure 3.136 Experimental result - EXP. 8

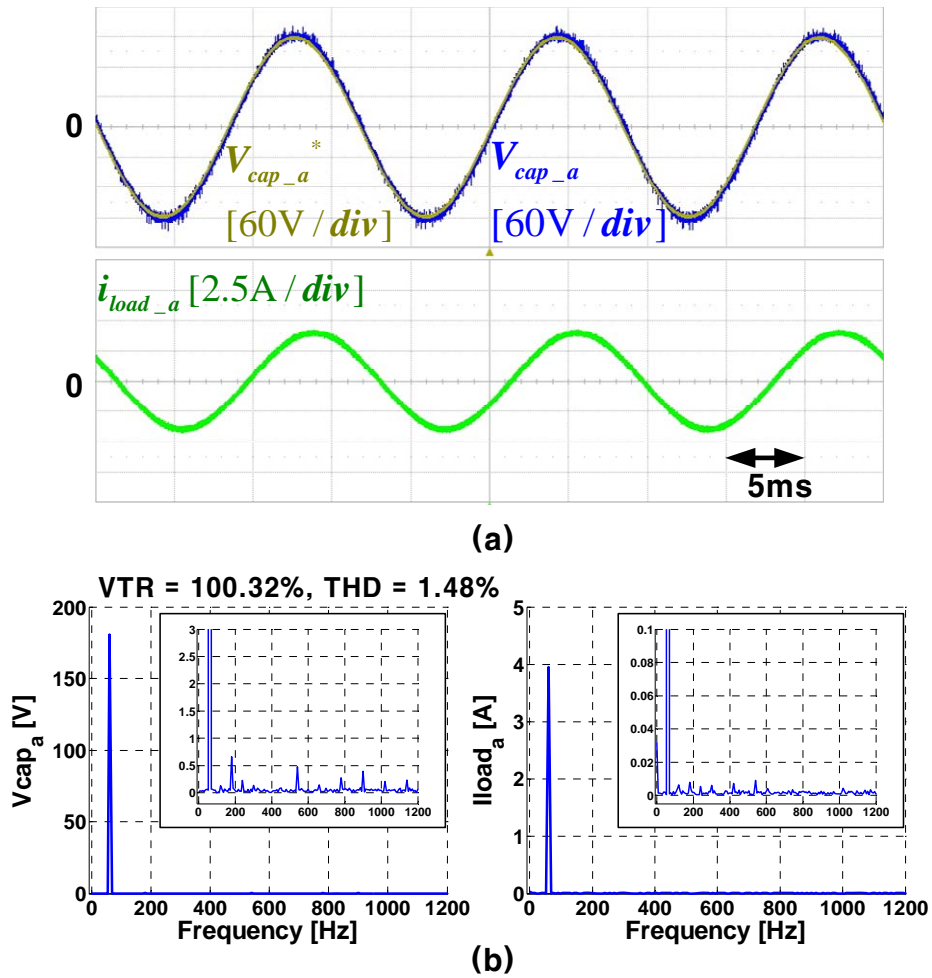


그림 3.137 실험 결과 - 실험 9

Figure 3.137 Experimental result - EXP. 9

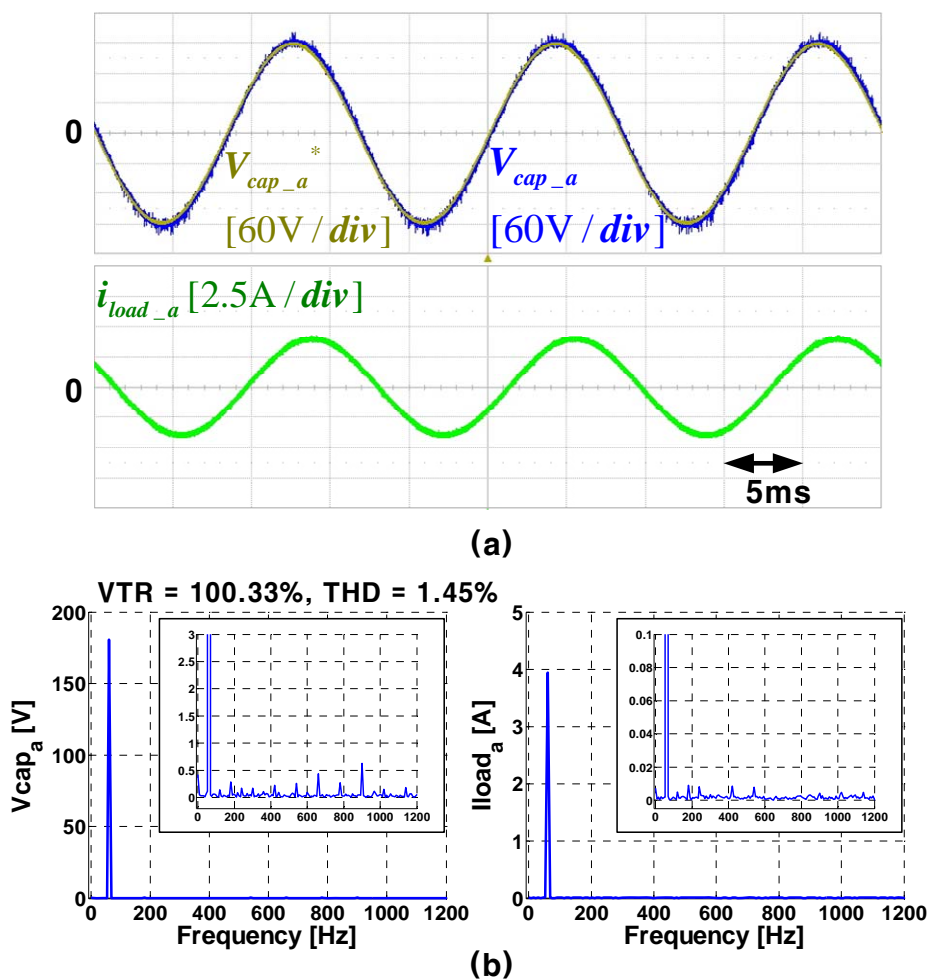


그림 3.138 실험 결과 - 실험 10

Figure 3.138 Experimental result - EXP. 10

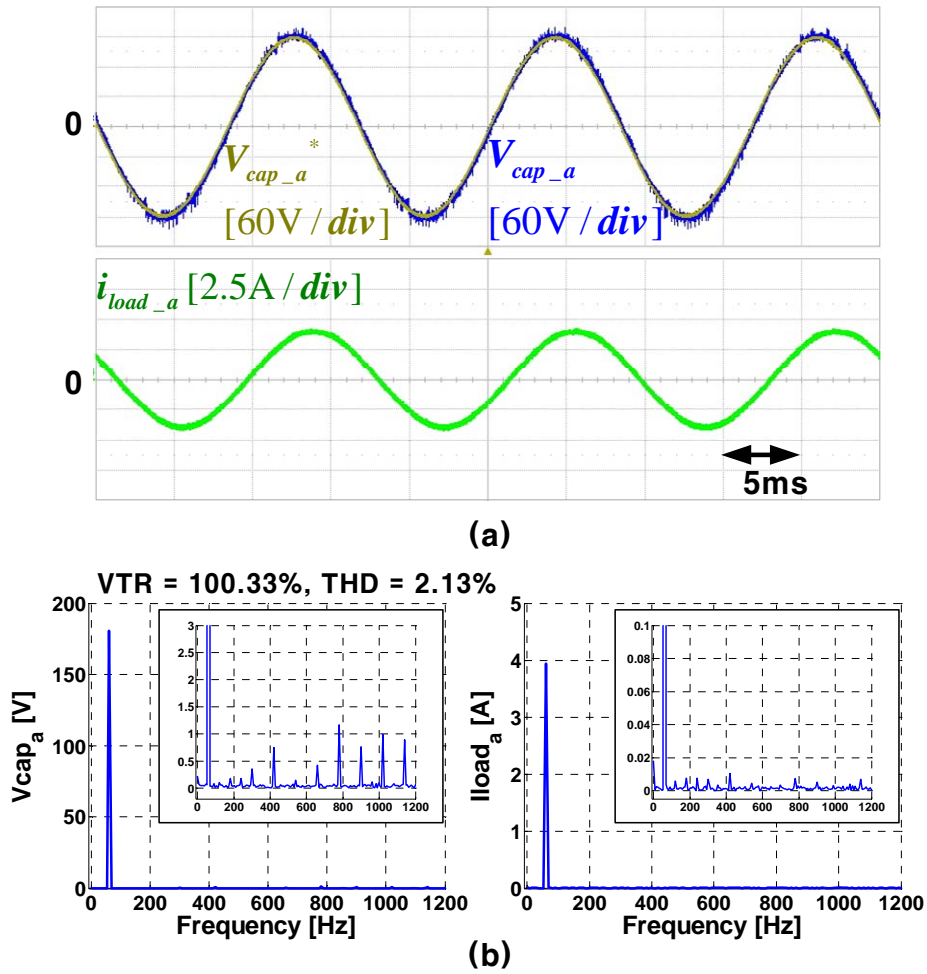


그림 3.139 실험 결과 - 실험 11

Figure 3.139 Experimental result - EXP. 11

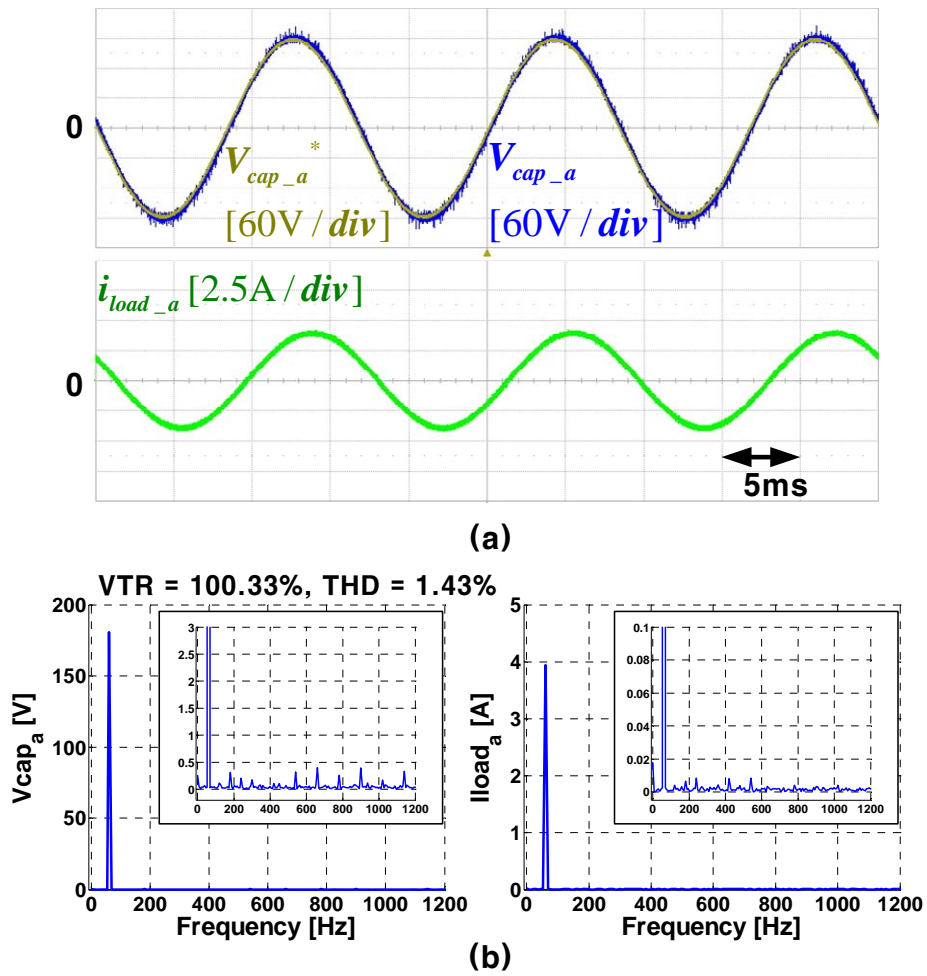


그림 3.140 실험 결과 - 실험 12

Figure 3.140 Experimental result - EXP. 12

다양한 부하 조건에서의 검증을 위하여 먼저 아래와 같이 RL 부하의 값을 변경해서 실험을 수행하였다.

$$L_{al} = L_{bl} = L_{cl} = 0.731mH . \quad (3.173)$$

$$R_{al} = R_{bl} = R_{cl} = 9.7\Omega . \quad (3.174)$$

작은 크기의 전압 지령일 때는 (3.171)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.172)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.141, 그림 3.143은 각각 지령 전압의 크기가 작을 때, 클 때의 실험 결과이다. 그림 3.142는 그림 3.141의 FFT 결과이고, 그림 3.144는 그림 3.143의 FFT 결과이다. 단일 루프 전압 제어기를 사용하면 기존 오픈 루프 전압 제어기를 사용했을 때에 비해 VTR의 값이 증가한 것을 알 수 있다.

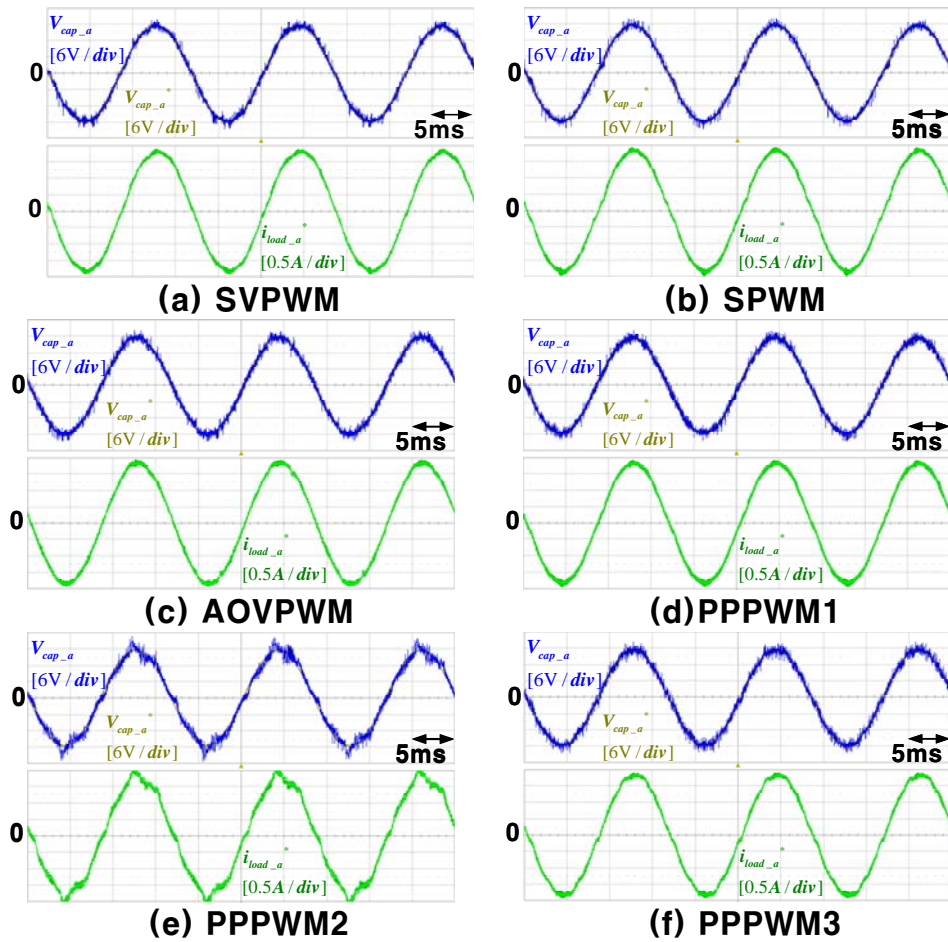


그림 3.141 실험 결과 - 고 전류 부하 조건 (저 전압)

Figure 3.141 Experimental result - High current load (Low voltage)

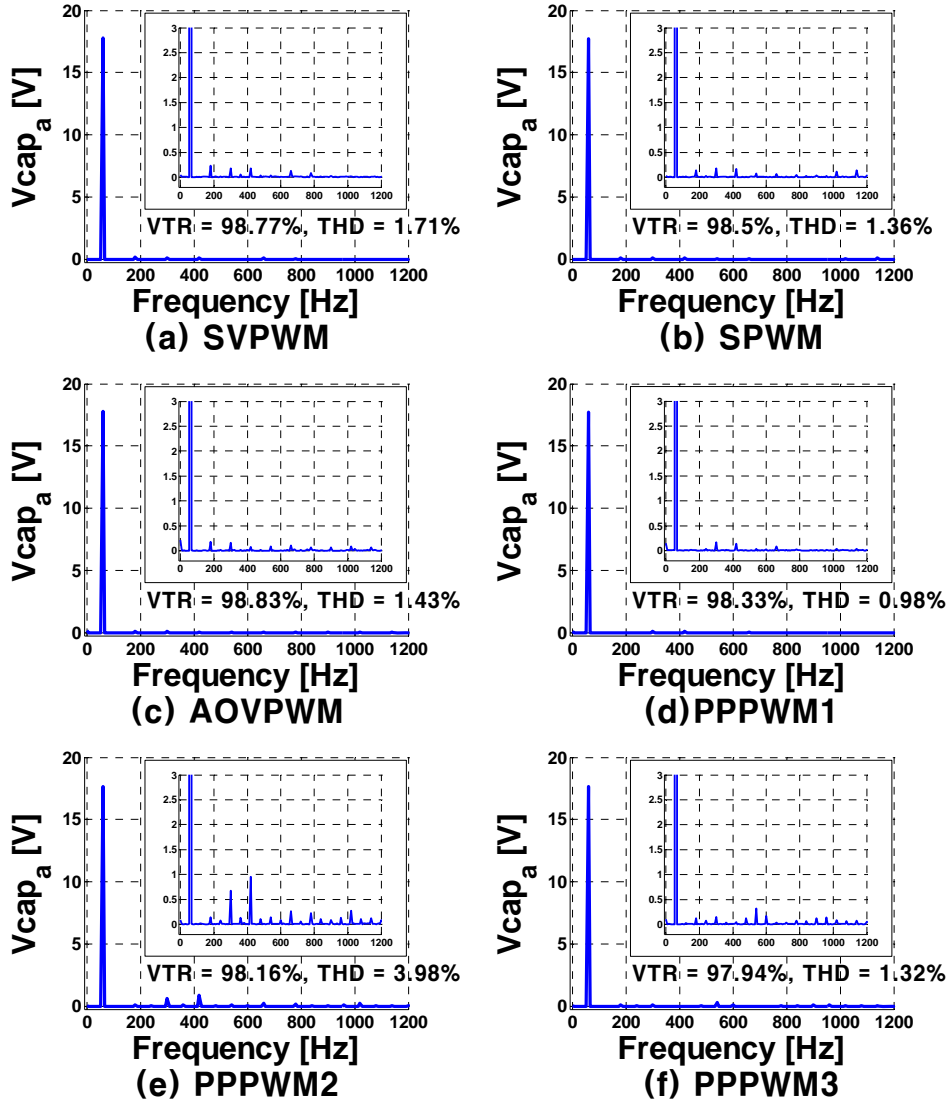


그림 3.142 실험 결과 (FFT) - 고 전류 부하 조건 (저 전압)

Figure 3.142 Experimental result (FFT) - High current load
(Low voltage)

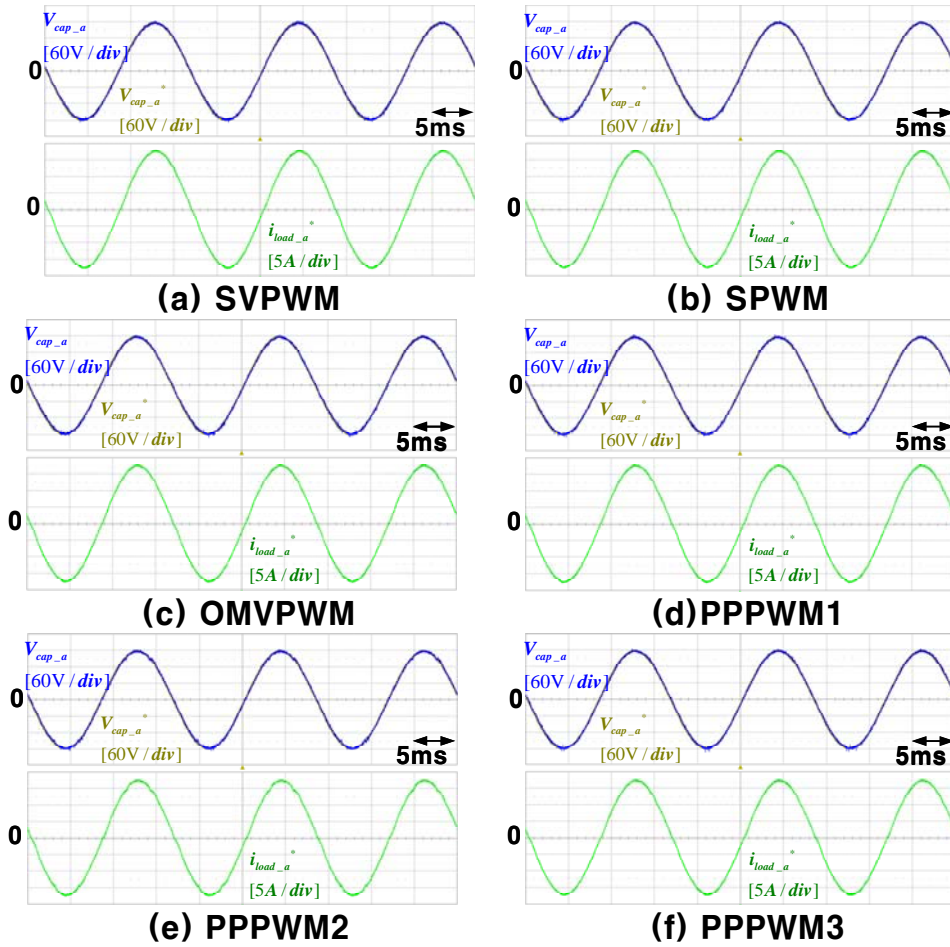


그림 3.143 실험 결과 - 고 전류 부하 조건 (고 전압)

Figure 3.143 Experimental result - High current load (High voltage)

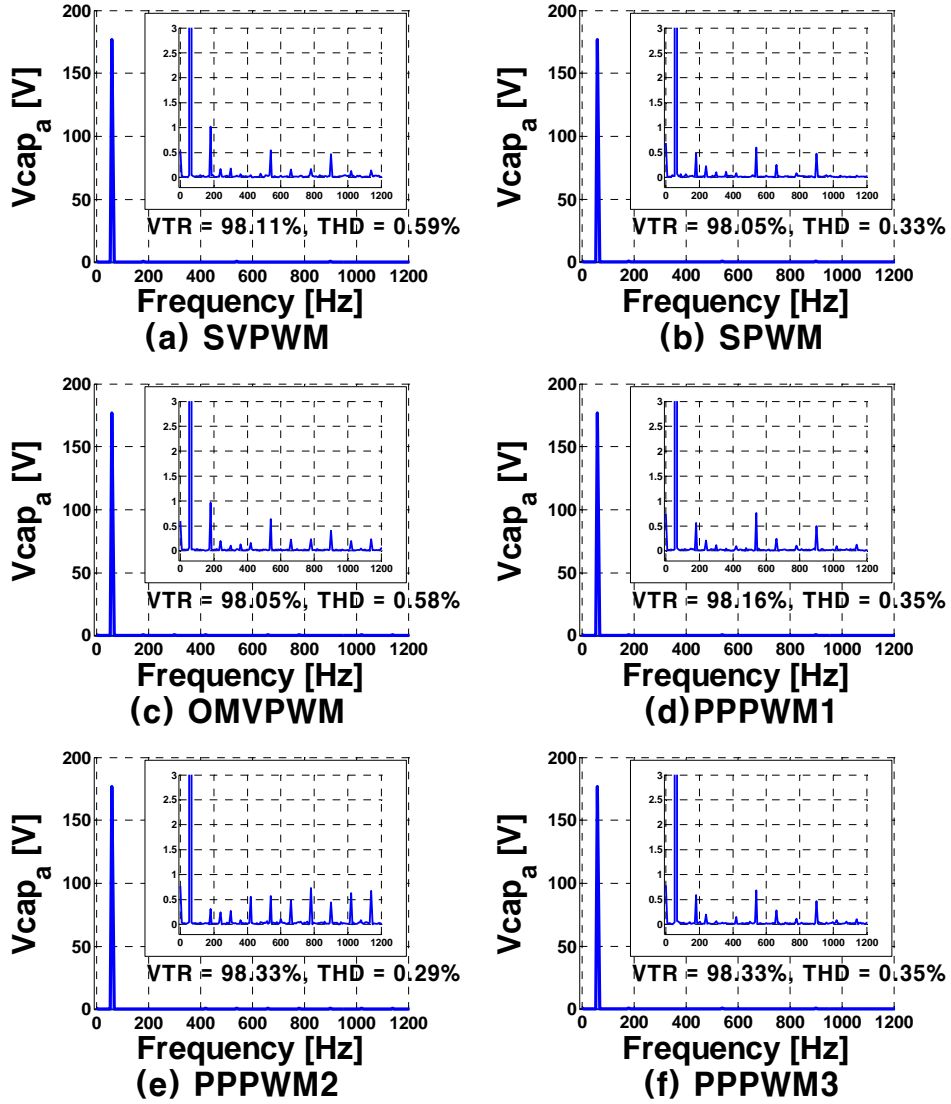


그림 3.144 실험 결과 (FFT) - 고 전류 부하 조건 (고 전압)

Figure 3.144 Experimental result (FFT) - High current load
(High voltage)

다음으로 그림 3.145와 같이 다이오드 부하의 조건에서 실험을 수행하였다.

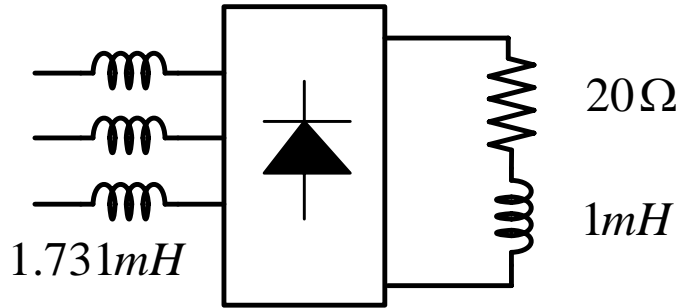


그림 3.145 부하 조건 - 다이오드 부하1

Figure 3.145 Load condition - Diode circuit1

작은 크기의 전압 지령일 때는 (3.171)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.172)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.146, 그림 3.148은 각각 지령 전압의 크기가 작을 때, 클 때의 결과이다. 그림 3.147은 그림 3.146의 FFT 결과이고, 그림 3.149는 그림 3.148의 FFT 결과이다. 단일 루프 전압 제어기를 사용하면 기존 오픈 루프 전압 제어기를 사용했을 때에 비해 VTR의 값이 증가한 것을 알 수 있다.

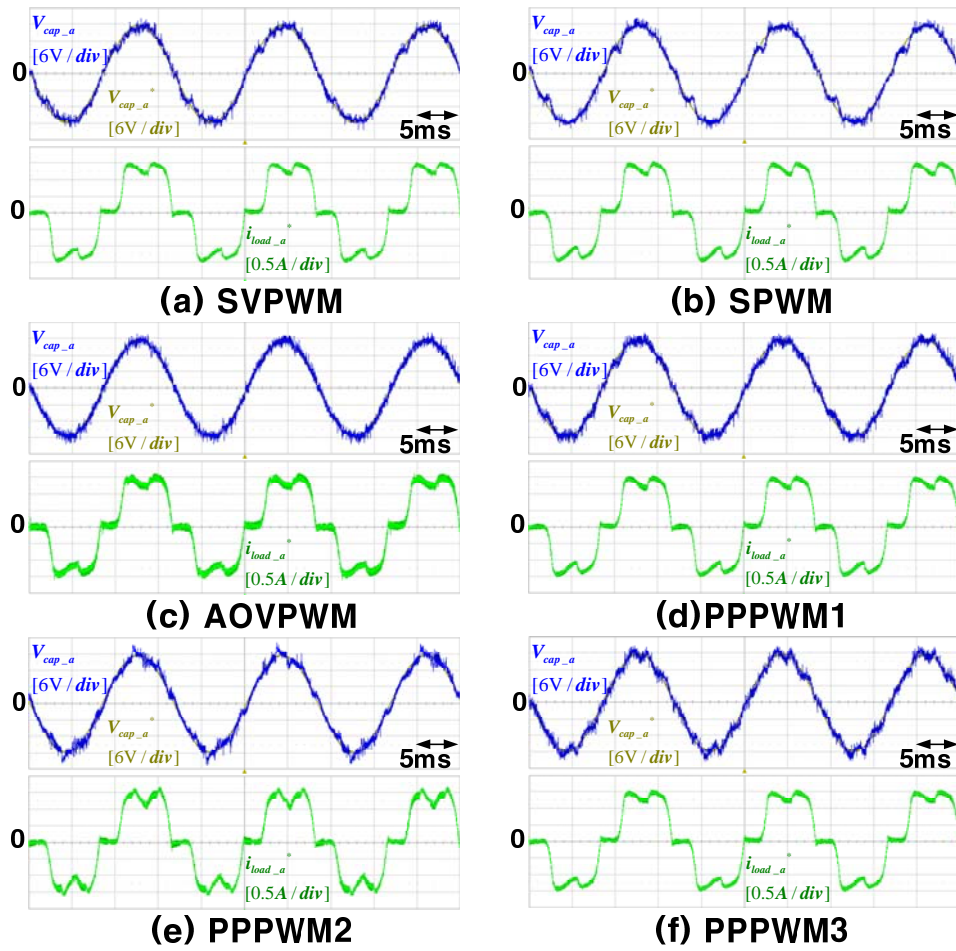


그림 3.146 실험 결과 - 다이오드 부하 조건1 (저 전압)

Figure 3.146 Experimental result - Diode circuit1 (Low voltage)

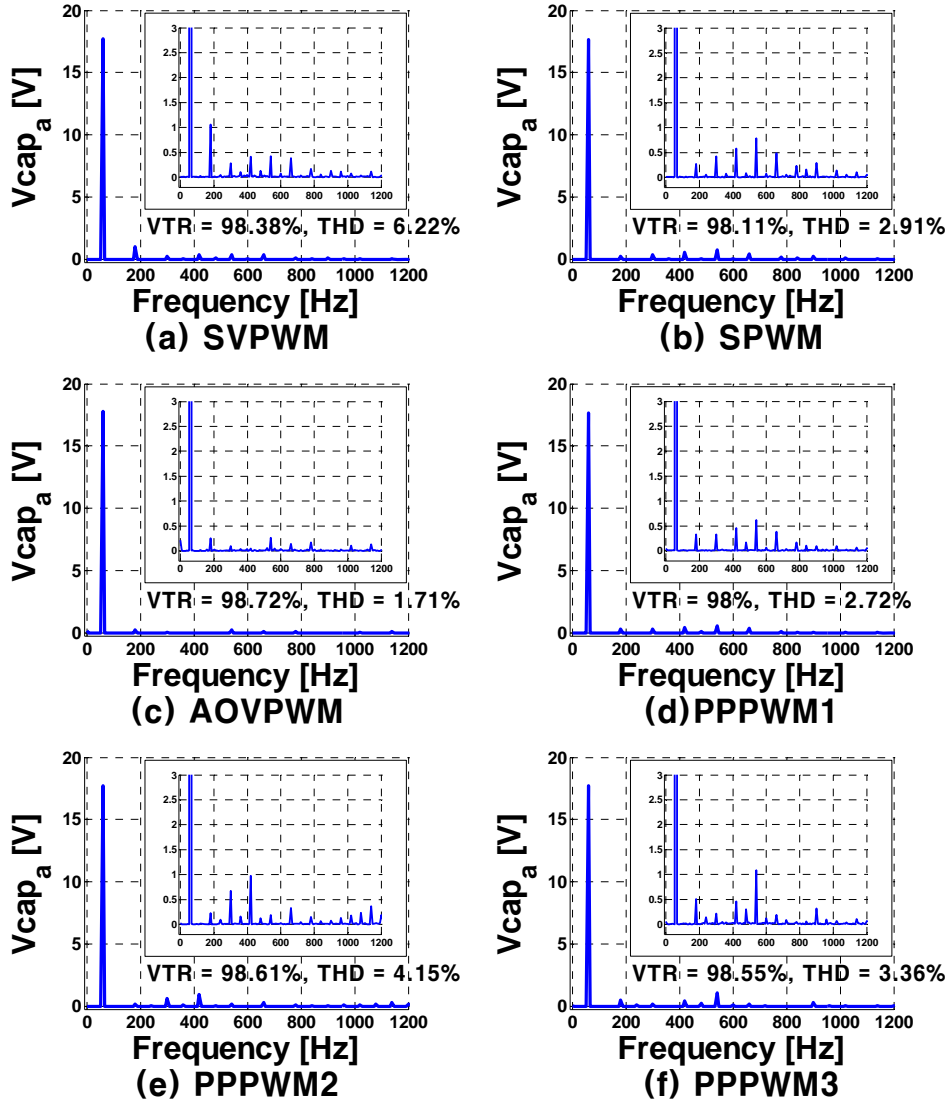


그림 3.147 실험 결과 (FFT) - 다이오드 부하 조건1 (저 전압)

Figure 3.147 Experimental result (FFT) - Diode circuit1 (Low voltage)

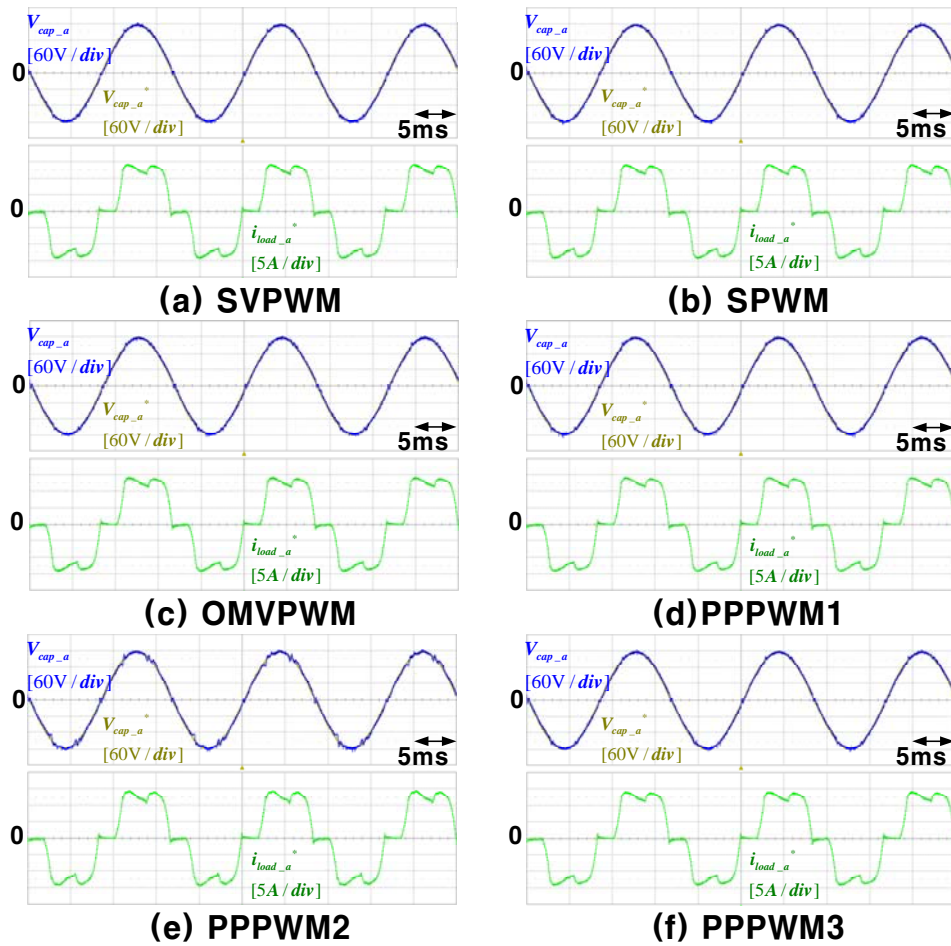


그림 3.148 실험 결과 - 다이오드 부하 조건1 (고 전압)

Figure 3.148 Experimental result - Diode circuit1 (High voltage)

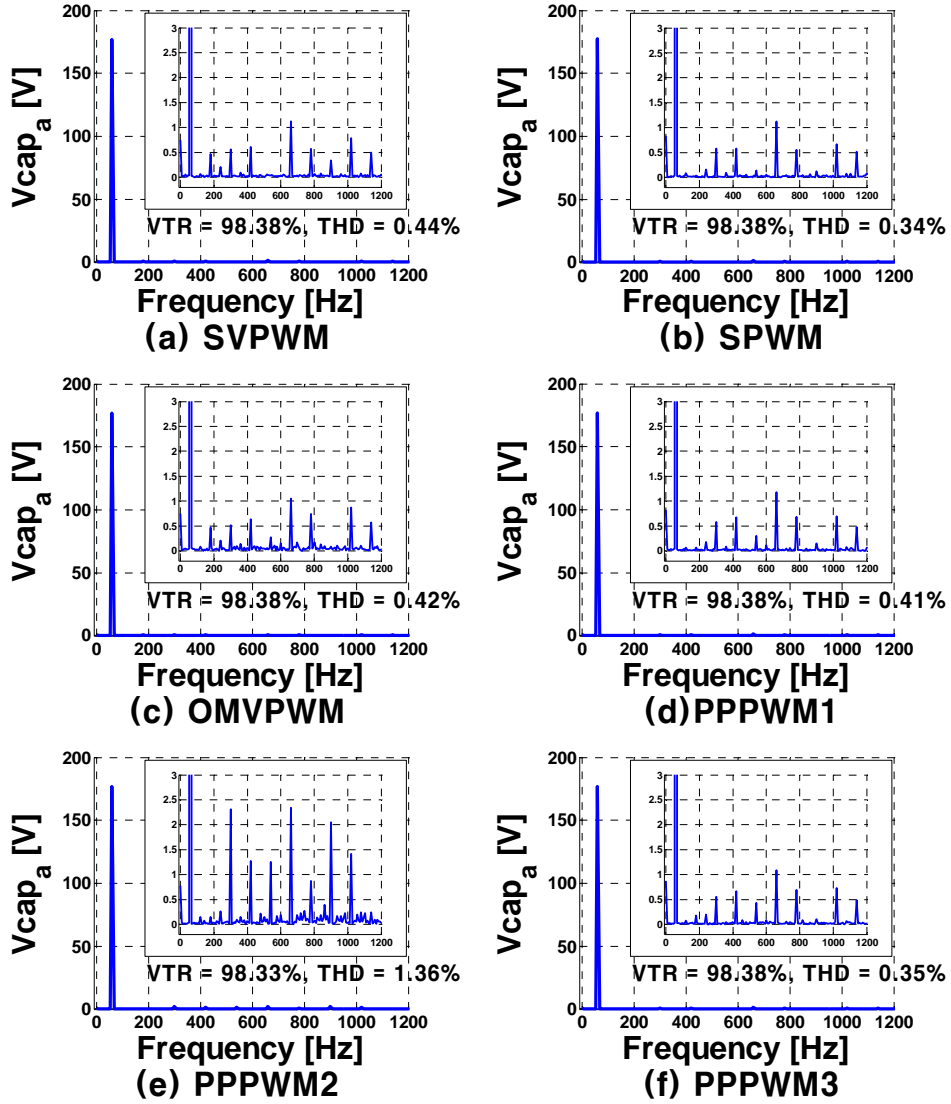


그림 3.149 실험 결과 (FFT) - 다이오드 부하 조건1 (고 전압)

Figure 3.149 Experimental result (FFT) - Diode circuit1 (High voltage)

추가로 그림 3.150과 같이 다이오드 부하의 조건에서 실험을 수행하였다.

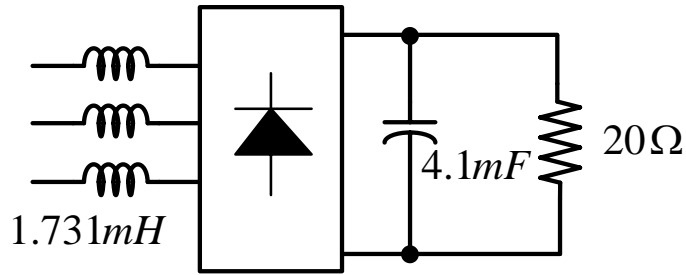


그림 3.150 부하 조건 - 다이오드 부하2

Figure 3.150 Load condition - Diode circuit2

작은 크기의 전압 지령일 때는 (3.171)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.172)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.151, 그림 3.153은 각각 지령 전압의 크기가 작을 때, 클 때의 결과이다. 그림 3.152는 그림 3.151의 FFT 결과이고, 그림 3.154는 그림 3.153의 FFT 결과이다. 단일 루프 전압 제어기를 사용하면 기존 오픈 루프 전압 제어기를 사용했을 때에 비해 VTR 값이 증가한 것을 알 수 있다.

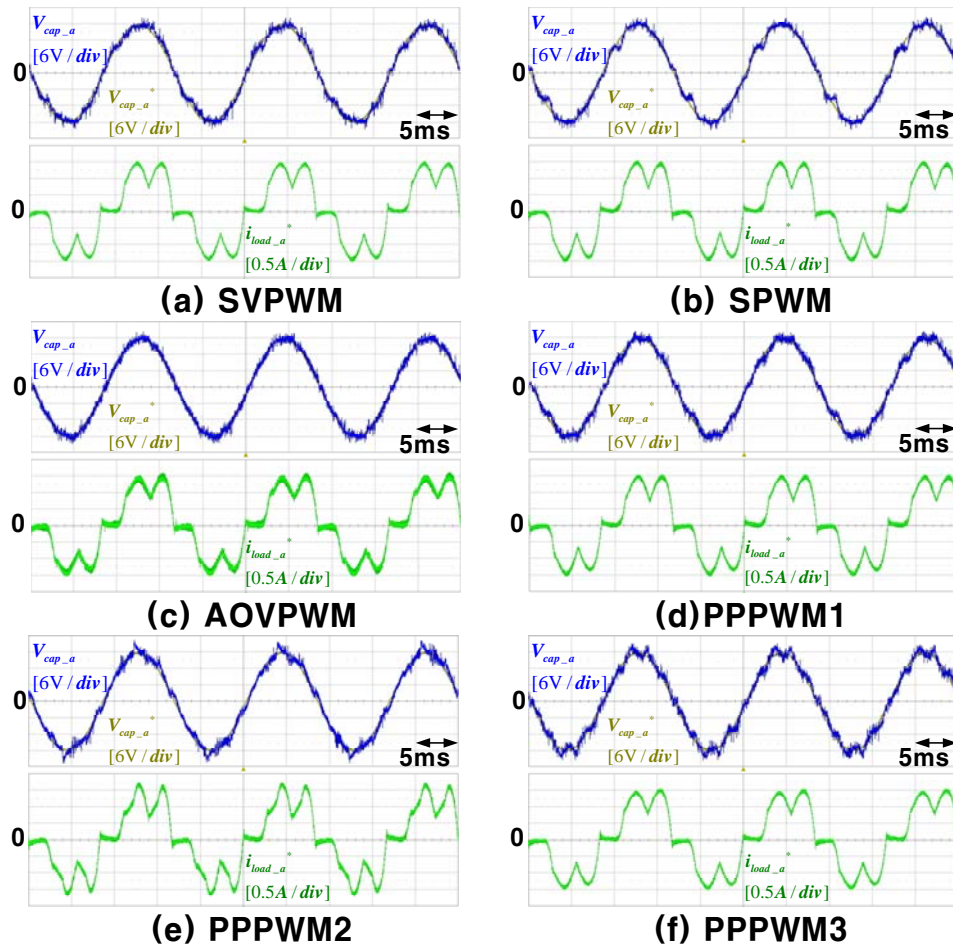


그림 3.151 실험 결과 - 다이오드 부하 조건2 (저 전압)

Figure 3.151 Experimental result - Diode circuit2 (Low voltage)

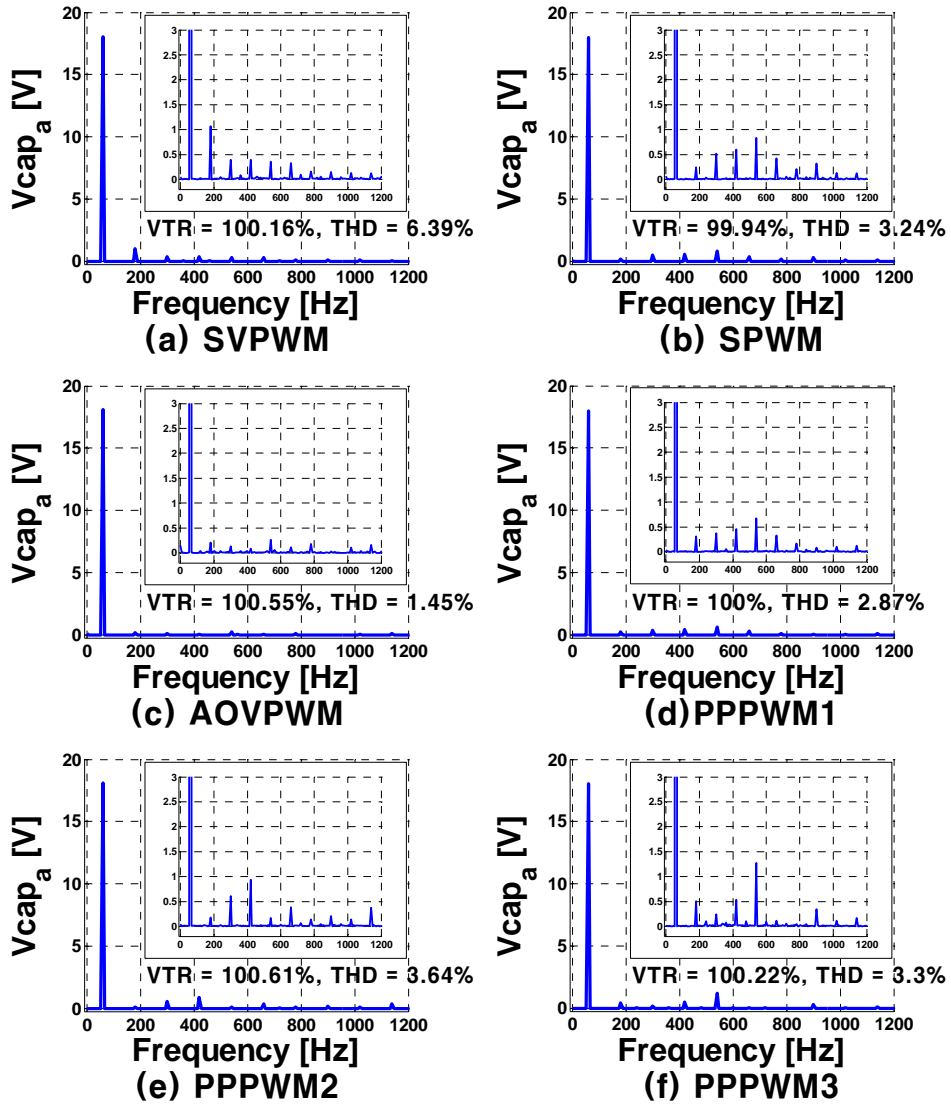


그림 3.152 실험 결과 (FFT) - 다이오드 부하 조건2 (저 전압)

Figure 3.152 Experimental result (FFT) - Diode circuit2 (Low voltage)

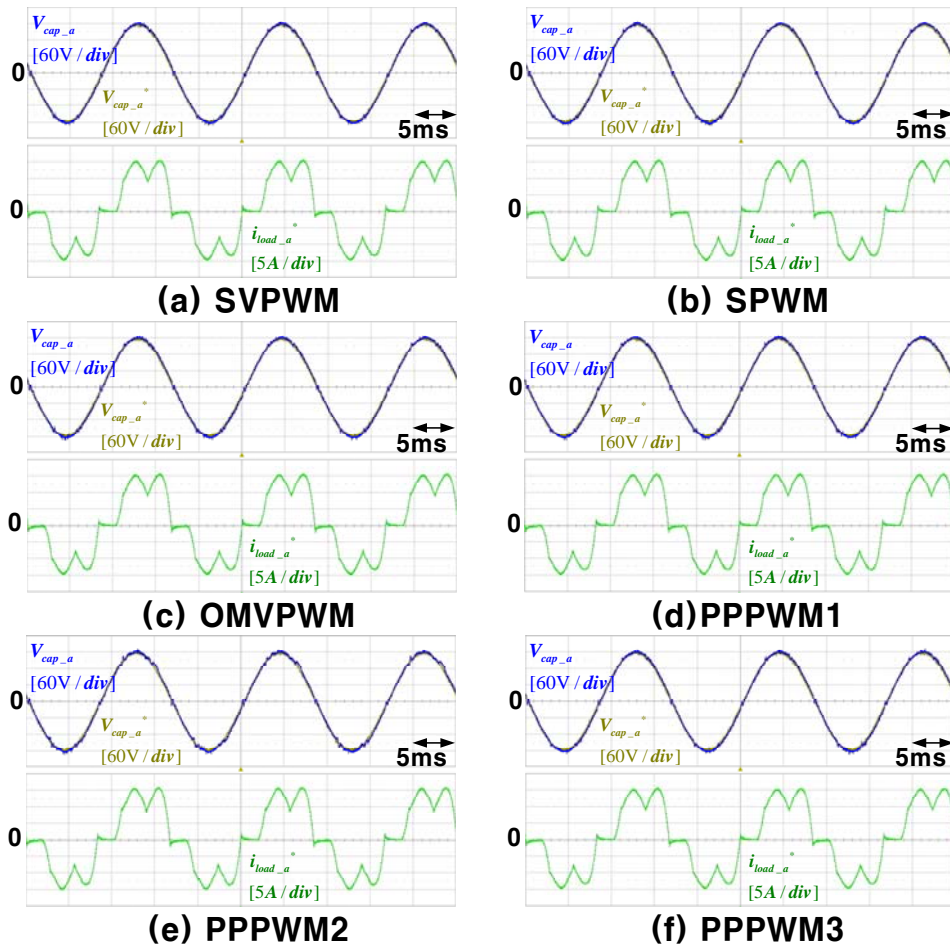


그림 3.153 실험 결과 - 다이오드 부하 조건2 (고 전압)

Figure 3.153 Experimental result - Diode circuit2 (High voltage)

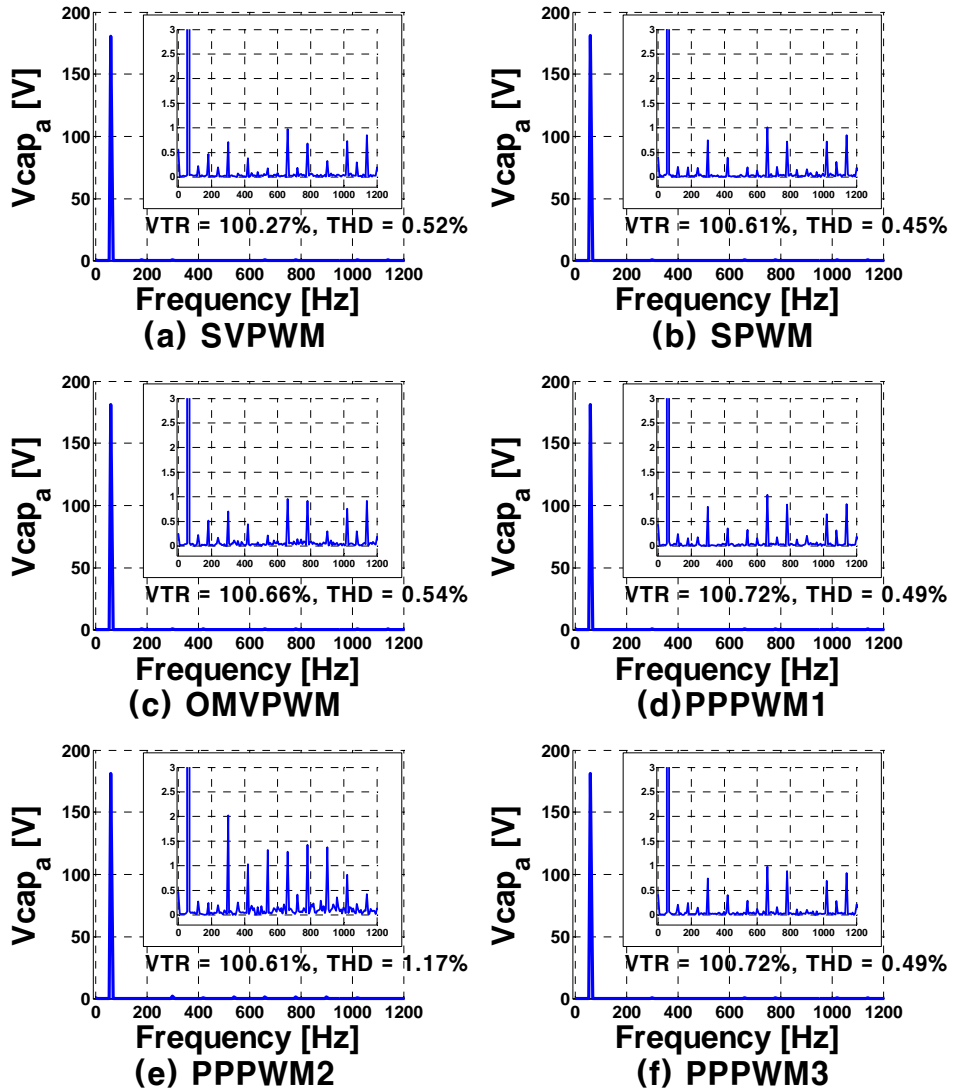


그림 3.154 실험 결과 (FFT) - 다이오드 부하 조건2 (고 전압)

Figure 3.154 Experimental result (FFT) - Diode circuit2 (High voltage)

제 4 장 결론

분산형 전원 시스템에 대한 관심이 그 어느 때보다 증대되고 있다. 이와 같은 분산형 전원 시스템은 계통의 여러 가지 상황에 따라 특정한 동작을 요구 받고 있다. 따라서 실제 사용자가 계통에 연결하여 사용하기 전에 여러 가지 계통 상황에 맞추어 필요한 요구 사항에 맞게 동작함을 확인해야 한다. 따라서 고조파 전압, 계통의 전압의 급상승, 급하강 등의 비정상적인 계통 전압을 모의할 수 있는 교류 전원 장치의 필요성 또한 증가하고 있다. 교류 전원 장치는 계통 전압의 비정상적인 전압도 모의해야 하므로 사용자가 원하는 임의의 전압과 같은 크기, 주파수의 전압을 출력해내는 능력이 중요하다.

따라서 본 논문에서는 교류 전원 장치에서의 전원 합성을 위한 3레벨 4레그 컨버터의 제어에 대하여 논하였다. 본 논문에서 수행한 연구 성과를 살펴보면 다음과 같다.

4.1 연구 결과

(1) 3레벨 4레그 컨버터에서 커먼 모드 전압 저감 PWM 방법 제안

모든 DC/AC 컨버터는 스위칭 동작으로 인해 커먼 모드 전압의 변동이 생기게 된다. 시스템과 접지 사이의 기생 캐패시터 성분으로 인해 커먼 모드 전압의 변동은 커먼 모드 전류를 발생 시키고 이러한 전류는 EMI의 주요 원인이 되며 전류가 흐르는 경로에서 손실을 발생시킨다.

DSP의 빠른 연산 시간 및 전력용 소자의 발정으로 인한 스위칭 주파수의 증가는 커먼 모드 전압의 주파수 또한 증가하게 한다. 높은 주파수의 커먼 모드 전압은 큰 크기의 커먼 모드 전류를 흐르게 한다. 따라서 이러한 커먼 모드 전압을 효과적으로 억제하는 것이 DC/AC 컨버터 응용에 있어 중요하다.

본 논문에서는 3레벨 4레그 컨버터에서 기존 PWM 방법보다 커먼 모드 전압을 효과적으로 저감할 수 있는 PWM 방법 (PPPWM)을 제안하였으며, 제안된 방법에 의해 기존 PWM 방법 (SVPWM) 대비 커먼 모드 전압의 크기는 66%, 변화 횟수는 75% 저감되는 것을 컴퓨터 모의 실험과 실제 제작된 5kW 실험 장치를 통해 확인하였다.

(2) 3레벨 컨버터에서 데드 타임에 의한 전압 왜곡 회피를 위한 PWM 방법 제안

교류 전원 장치는 지령 전압 그대로 부하에 전압을 합성하여야 한다. 컨버터 출력 전압이 지령 전압과 같도록 해주기 위해서는 우선 컨버터의 극 전압 지령이 그대로 출력 극 전압으로 나오는 것이 중요하다. 따라서 데드 타임에 의한 출력 극 전압 왜곡을 보상해주어야 할 필요가 있다. 2레벨 컨버터의 경우는 대부분의 영역에서 전류의 정보만 정확하다면 비교적 정확한 데드 타임 전압 왜곡 보상이 가능하다. 하지만, 극 전압 지령이 $\frac{V_{dc}}{2}$, $-\frac{V_{dc}}{2}$ 에 가까운 경우-즉, 전압 지령의 크기가 큰 경우-에는 PWM의 데드 존에 의해 제대로 된 데드 타임 보상이 어렵게 된다. 이와 같은 데드 존이 3레벨 컨버터에서도 존재하지만 추가적으로 극

전압 지령이 0V에 가까운 경우에도 존재하게 된다. 따라서 3레벨 컨버터의 경우 교류 전압 지령의 크기가 크고, 작음에 상관없이 극 전압 지령은 항상 0V전압을 합성해야 하는 순간이 있으므로 데드 타임에 의한 전압 왜곡을 제대로 보상하기 힘든 순간이 생기게 된다.

따라서 본 논문에서는 교류 전압 지령이 작은 경우와 큰 경우에 각각 데드 존 회피를 위해 적용 가능한 PWM 방법 (각각 AOVPWM, OMVPWM)을 제안하였으며, 기존 PWM 방법에 비해 데드 타임에 의한 전압 왜곡 보상 성능이 향상되었음을 컴퓨터 모의 실험과 실제 제작된 5kW 실험 장치를 통해 확인하였다. 특히, 저 전압 조건에서 AOVPWM 방법을 적용 시에 VTR이 증가한 것을 확인하였다.

(3) 교류 전원 장치를 위한 싱글 루프 전압 제어기 제안

교류 전원 장치는 원하는 크기, 원하는 주파수의 전압을 부하에 인가해주는 시스템이다. 교류 전원 장치로 사용되는 컨버터는 원하는 주파수에 비해 훨씬 높은 주파수의 스위칭 동작으로 인해 교류 전압을 합성하게 되는데 스위칭 주파수의 전압이 부하에 보이지 않게 하기 위해 LC필터를 컨버터의 출력에 사용하게 된다. 이러한 필터는 원리적으로 공진 가능성을 내포하고 있으므로 능동 공진 억제 제어를 통하여 공진을 억제할 필요가 있다. 따라서 본 논문에서는 이러한 공진 억제 제어를 구현하고 그 유효성을 컴퓨터 모의 실험과 실제 제작된 5kW 실험 장치를 통해 확인하였다. 저 전압 및 고 전압 조건에서 VTR이 증가함을 확인하였다.

4.2 향후 과제

3레벨 4레그 컨버터를 임의 파형 발생 교류 전원 장치로 적용하기 위해서는 다음과 같은 연구가 더 추가되어 진행 되어야 한다.

(1) Wide Band Gap 전력 소자를 이용한 3레벨 4레그 컨버터 구현

실리콘 (Silicon)기반의 IGBT 소자는 스위칭 시 발생하는 손실로 인해 스위칭 주파수를 높이는데 한계가 있다. 이로 인해 LC필터의 공진 주파수를 높이는 것에도 한계가 있고, 따라서 전압 제어기의 제어 대역폭도 제한이 되어 800 Hz 이상의 높은 주파수 합성이 어렵게 된다. 높은 고조파 전압이 함유된 계통 전압을 모의하기 위해서는 높은 주파수의 전압 합성이 필요하므로 스위칭 손실이 적고, 작은 상승/하강 시간을 가지는 Wide Band Gap 전력 소자를 이용한 교류 전원 장치 설계 및 제작이 필요할 것으로 보인다. 본 논문에서는 60 kHz 의 스위칭이 가능한 SiC FET 소자를 사용한 3레벨 4레그 컨버터를 컴퓨터 모의 실험으로 구현하여 그 특성을 파악하였다. 이를 통해 합성 가능한 전압의 주파수 대역이 800 Hz까지 가능한 것으로 확인하였으나 향후 SiC 소자가 발전하여 충분히 상용화되면 이를 실험으로 검증할 필요가 있다.

(2) LC필터 설계

컨버터 출력에 사용된 LC필터는 컨버터의 스위칭 주파수 성분의

전압이 부하에 인가되지 않도록 필터링하기 위함이다. 이를 위해 효율적인 공진 주파수 선정이 필요하다. 공진 주파수가 너무 크다면, 스위칭 주파수 성분의 전압이 억제되지 않게 된다. 반대로 공진 주파수가 너무 작다면 스위칭 주파수 성분의 전압은 잘 제거가 될 것이지만 낮은 공진 주파수 성분에 의해 전압 제어기의 제어 대역폭이 제한된다는 단점이 있다. 따라서 적절한 공진 주파수의 선정이 필요하다.

공진 주파수가 선정되었다고 하더라도 같은 공진 주파수가 되는 인덕터와 캐패시터의 조합은 여러 가지 생기게 된다. 인덕턴스의 값이 크게 되면, 캐패시터의 값은 작아지게 되는데, 이때 전압 제어가 잘 안된다는 문제가 생긴다. 반대로 캐패시터의 값이 크게 되면 인덕턴스의 값이 작아져 컨버터에 흐르는 전류의 리플 (ripple)이 커지게 된다. 이는 데드 타임 보상을 어렵게 할 뿐 아니라, 효율도 낮아지게 된다. 따라서 LC필터의 값이 적절하게 선정할 필요가 있고 이러한 값들의 선정에 대한 체계적 연구가 필요하리라 생각된다.

(3) LC필터 제정수 추정

본 논문에서 제안한 전압 제어기는 전압의 되먹임 (feedback) 제어를 기반으로 하고 있으나, 기본적으로 L필터에서 생기는 전압 강하 성분을 전향 보상 (feed-forward) 하고 있으므로 전향 보상에 사용되는 인덕터 및 저항의 제정수를 정확하게 추정하는 것이 중요하다. 또한 제어기에 사용한 이득의 계산에 제정수 값을 사용하게 되는데 전압 제어기의 전달 함수를 원하는 형태로 정확하게 구현하기 위해서는 제정수 값을 정확하게 적용하는 것이 필요하다. 따라서 향후 제정수

오차가 제어 특성에 미치는 영향에 대한 분석과 제정수의 변동에 대비하여 제정수를 실시간 추정하는 방법에 대한 연구가 필요하리라 생각된다.

(4) AOVPWM 방법의 윗전압 최적 인가 각도 검토

본 논문에서 지령 전압의 크기가 작은 경우 데드 타임 보상을 위해 제안한 PWM 방법인 AOVPWM 방법은 부하 지령 전압의 3고조파 형태로 윗전압을 인가하게 된다. 여기에 하나의 자유도가 있는데 3고조파 윗전압의 인가 각도이다. 현재는 SVPWM 방법의 윗전압의 극성을 기준으로 인가하고 있으나, AOVPWM 방법을 어떤 각을 기준으로 적용 시 저차의 고조파 전압이 제일 작은지 검토할 필요가 있다.

(5) LISN 을 이용한 EMI 측정

본 논문에서 f 레그 조작을 통한 커먼 모드 전압 저감 PWM 방법을 제안하였는데, 실제로 중요한 EMI를 측정하기 위해서는 고주파수 전도성 EMI에 대하여 안정된 임피던스를 제공해주는 LISN (Line Impedance Stabilization Network)이 필요하다[27]. 따라서 향후 적절한 LISN을 구비하여 EMI 측정을 통해 제안한 방법의 검토가 필요하다.

부 록 A. 삼상 4선식 구조

A.1 삼상 4선식 구조의 필요성

일반적으로 계통 연계용 3상 컨버터의 구조는 그림 A.1과 같다.

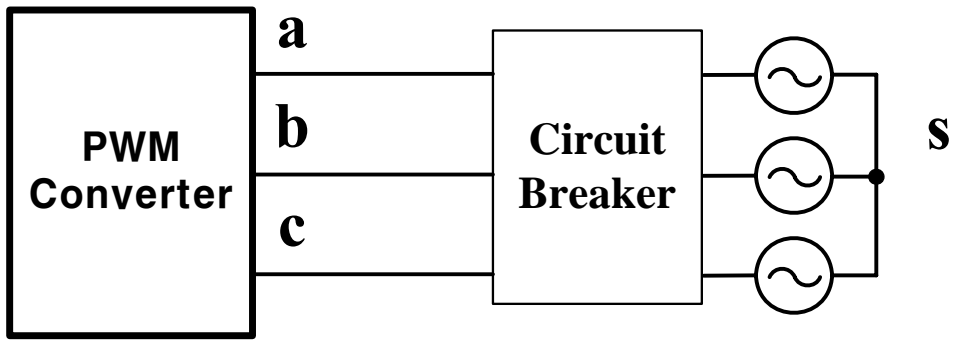


그림 A.1 일반적인 계통 연계형 3상 컨버터 구조

Figure A.1 General 3 phase converter structure in grid-connected system

3상 컨버터는 계통으로부터 에너지를 받거나 전력 계통으로 에너지를 전달하는 역할을 한다. 또한 컨버터에서 에너지 저장 시스템 (Energy storage system) 이나 신/재생 에너지 시스템이 연결되어 계통의 도움 없이 부하에 3상 평형 전압을 인가하여 에너지를 공급 (Stand-alone operation)해줄 수 있거나 컨버터 자체가 교류 전원 장치 (AC power supply)로써 동작할 경우가 있다. 계통에 연결이 안 된 컨버터 시스템은 그림 A.2와 같이 부하에 에너지를 공급해준다고 볼 수 있다.

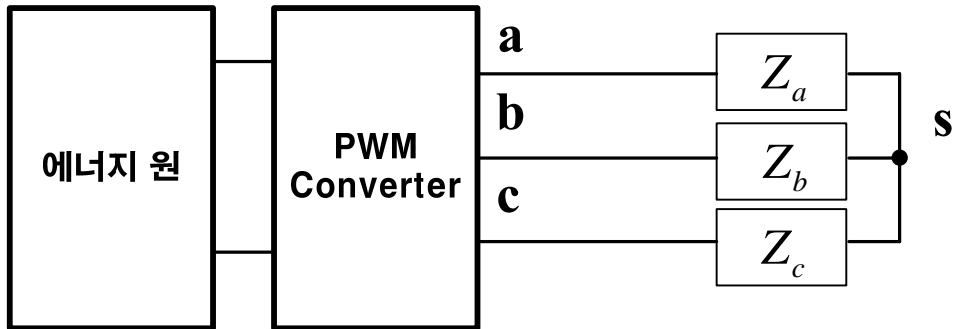


그림 A.2 계통 연결 없는 3상 컨버터 시스템 구조

Figure A.2 General 3 phase converter structure without grid

그림 A.2와 같은 구조에서 컨버터를 전압 제어 모드로 동작시키고 180V 교류 전압을 출력 시킬 때, 평형 (Balanced) 부하인 경우 부하에 인가되는 전압과 전류는 그림 A.3과 같다. 지령 전압이 그대로 부하에 인가되는 것을 알 수 있다.

같은 조건에서 부하만 불평형인 경우의 모의 실험 결과는 그림 A.4와 같다. 지령 전압과 다르게 부하 전압도 불평형이 되고 전류도 불평형이 되는 것을 확인할 수 있다. 이와 같은 경우에 불평형 정도가 클 경우 특정 상의 부하는 큰 전압이 걸려 부하가 손상을 입을 수도 있다.

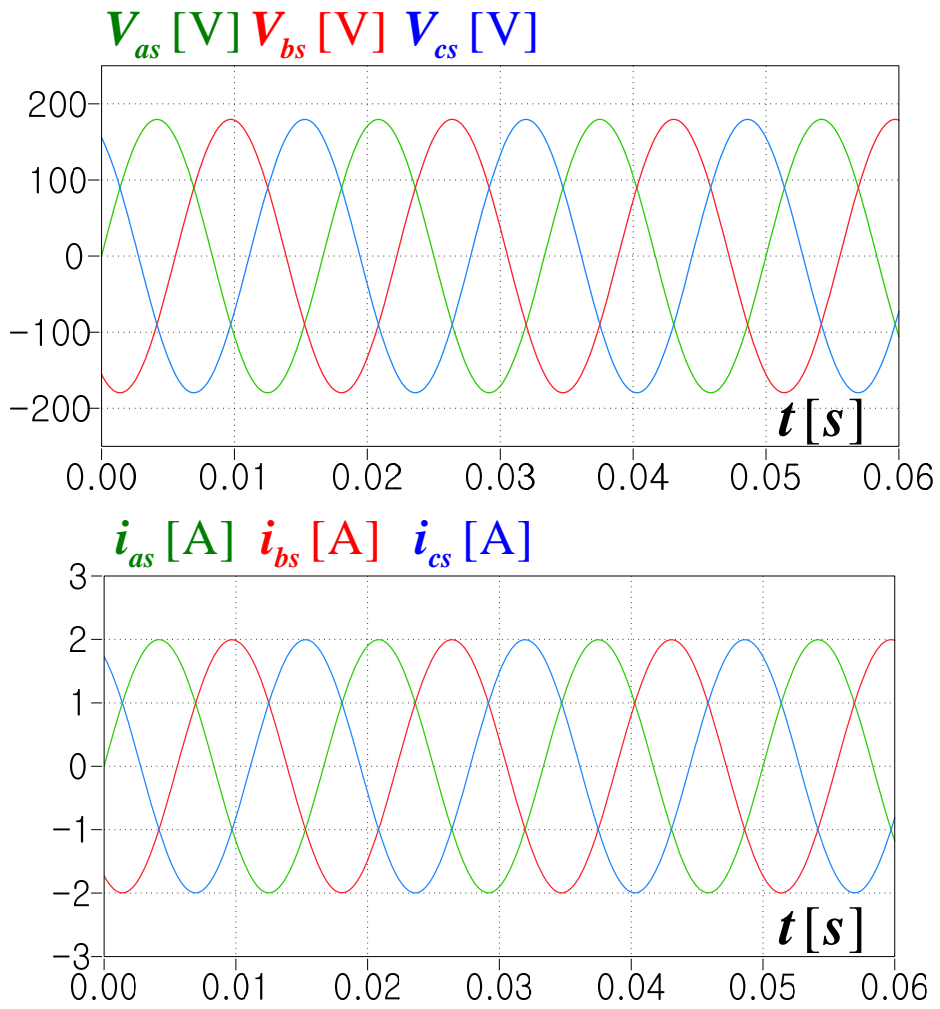


그림 A.3 평형 부하에서의 부하 전압 및 부하 전류

Figure A.3 Load voltages and load current in case of balanced loads

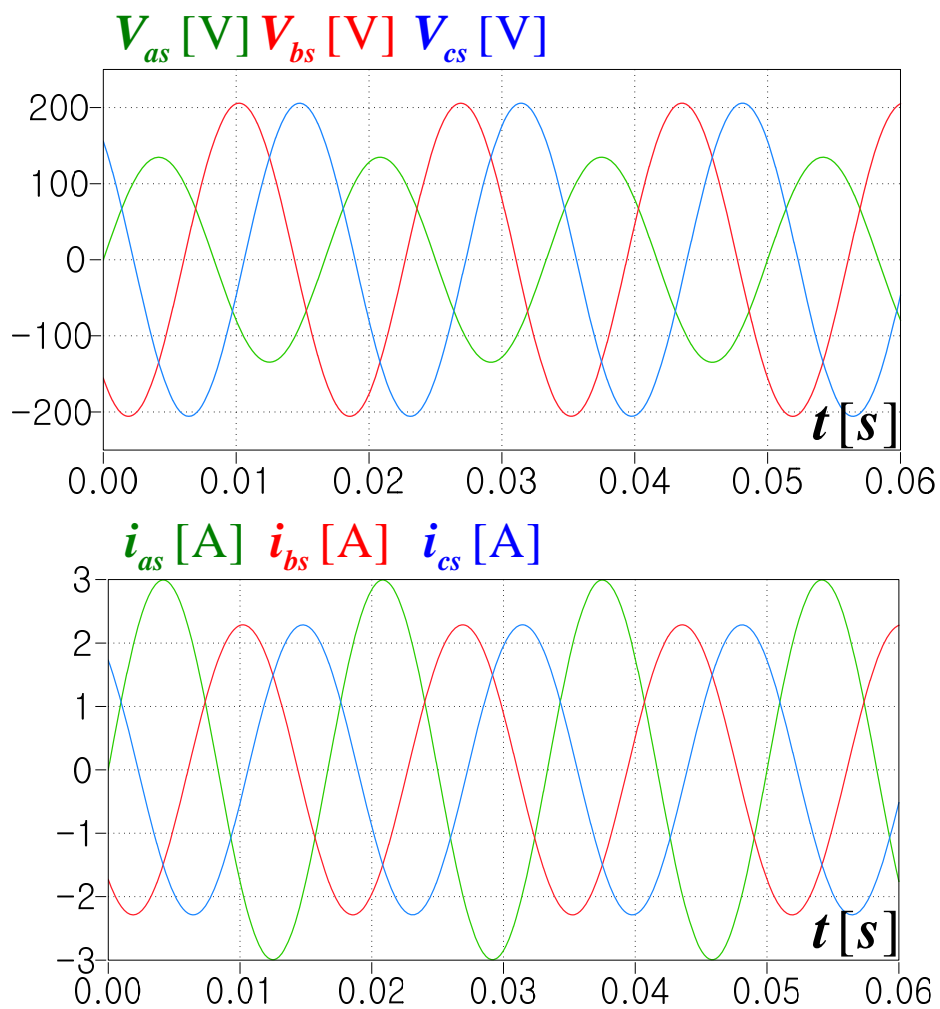


그림 A.4 불평형 부하에서의 부하 전압 및 부하 전류

Figure A.4 Load voltages and load current in case of unbalanced loads

이와 같은 불평형 전압이 부하에 걸리는 문제를 해결하기 위한 두 가지 방법이 있다.

한가지 방법은 컨버터와 부하 사이에 Δ/Y 결선 변압기를 연결하는 것이다. 그림 A.5와 같은 형태로 변압기의 Δ 결선은 3상 컨버터에 연결하고 Y결선은 부하에 연결하는데 Y결선의 중성점은 부하의 중성점과 연결하여 영상분 전류가 흐를 수 있는 길을 만들어 주게 된다. 이와 같은 변압기 사용은 특별한 제어가 필요 없다는 장점이 있으나 추가된 변압기로 인해 시스템의 가격, 부피 그리고 무게의 상승을 일으킬 뿐 아니라 변압기 손실 때문에 효율이 감소한다는 단점이 있다.

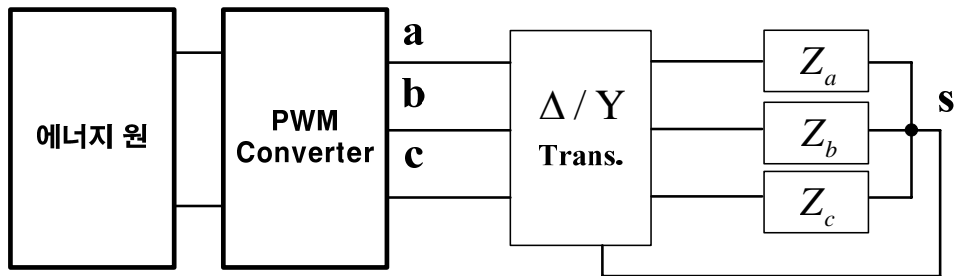


그림 A.5 불평형 부하 문제 해결을 위한 Δ/Y 변압기 사용 구조

Figure A.5 3 phase converter system with Δ/Y transformer to accommodate unbalanced loads

다음으로 변압기가 없는 그림 A.6과 같은 4선식 구조가 가능하다. 이는 컨버터에서 나온 4번째 결선이 부하에 흐르는 영상분의 전류가 흐를 수 있도록 만들어주는 것이다.

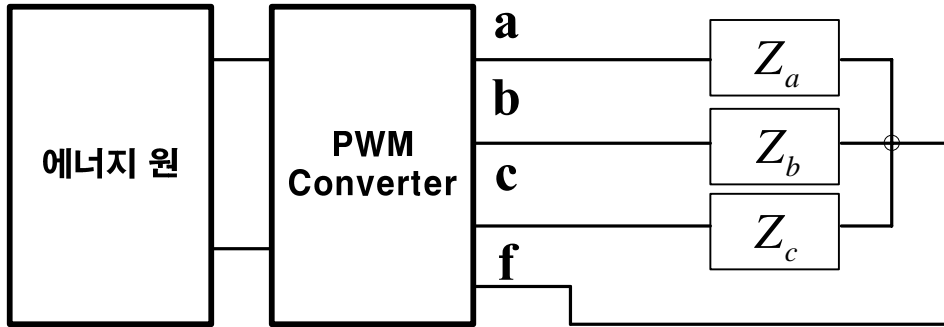


그림 A.6 불평형 부하 문제 해결을 위한 4선식 컨버터 사용 구조

Figure A.6 3 phase 4 wire converter system to accommodate unbalanced loads

그림 A.7, 그림 A.8은 4선식 구조에서의 모의 실험 결과로 각각 부하가 평형일 때, 부하가 불평형일 때의 결과이다. 특히 그림 A.8에서 볼 수 있듯이 부하가 불평형이더라도 부하의 상 전압 크기가 지령과 같이 180V가 나오는 것을 알 수 있다.

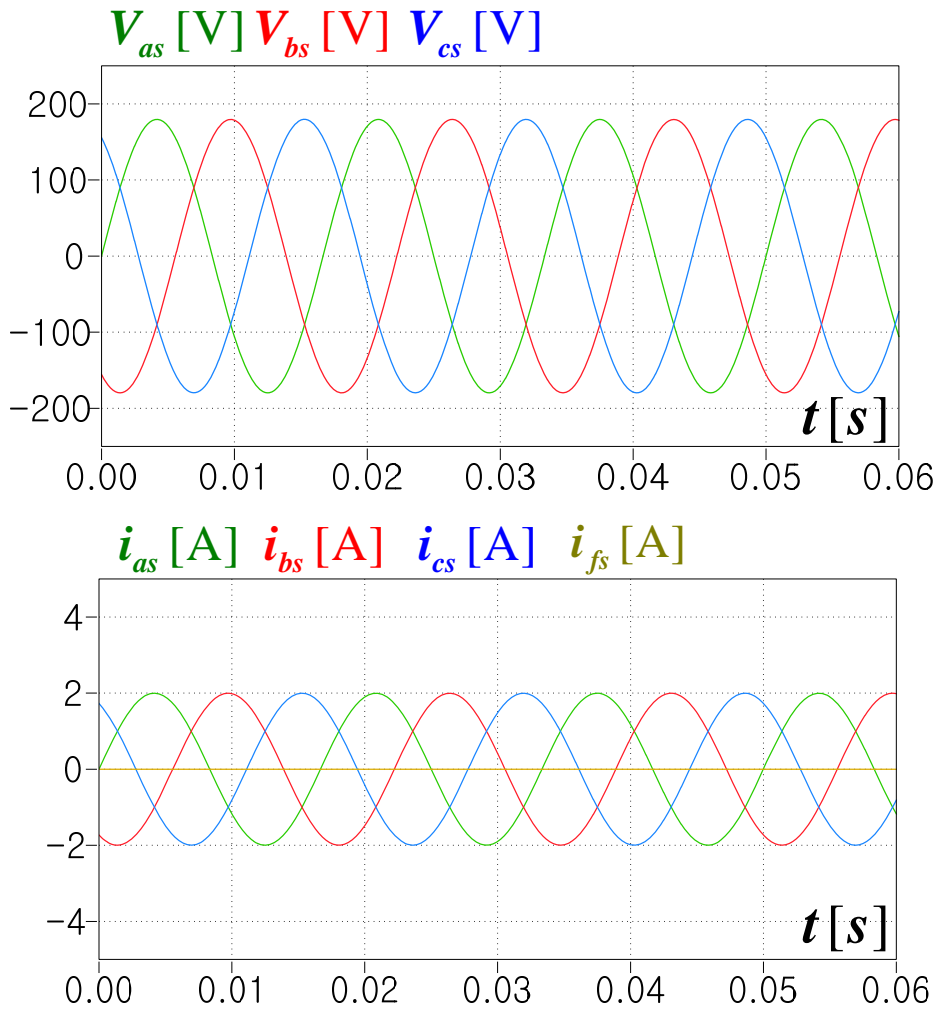


그림 A.7 평형 부하에서의 부하 전압 및 부하 전류

Figure A.7 Load voltages and load current in case of balanced loads

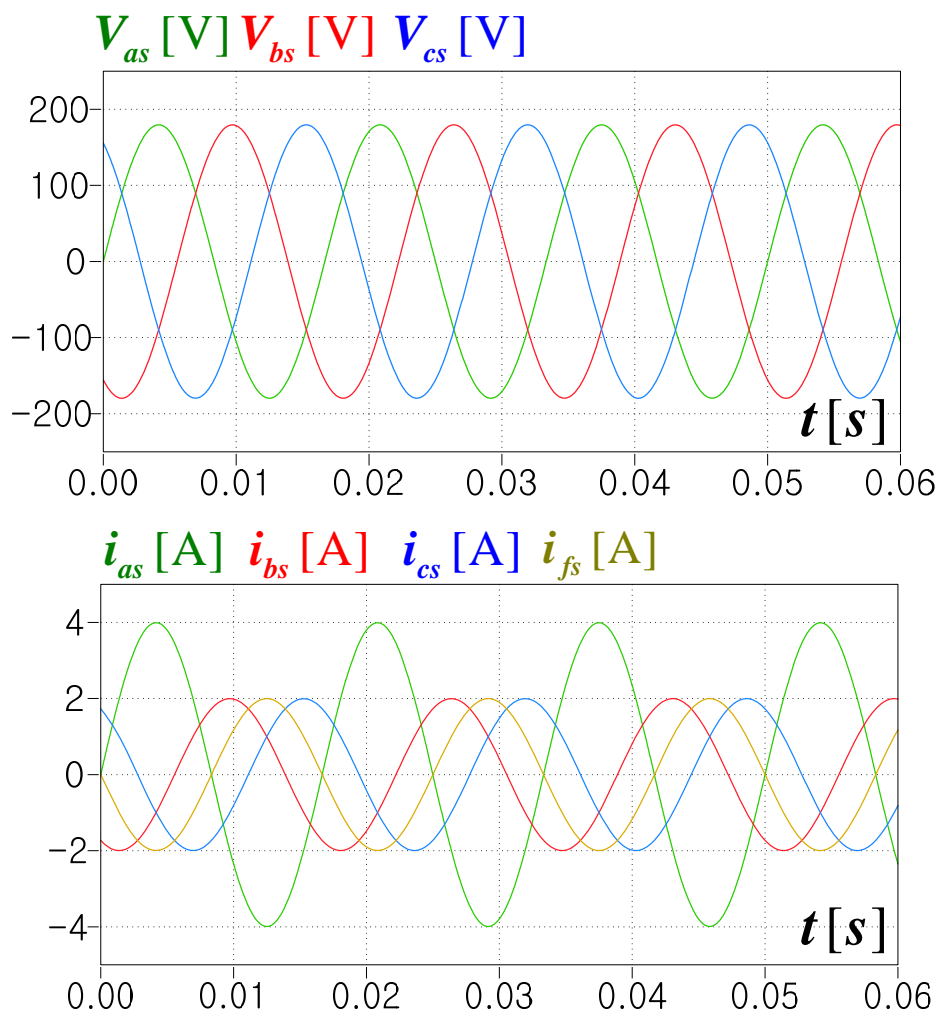


그림 A.8 불평형 부하에서의 부하 전압 및 부하 전류

Figure A.8 Load voltages and load current in case of unbalanced loads

A.2 삼상 4선식 구조 종류

삼상 4선식 구조는 크게 3레그 1선 구조와 4레그 구조로 나눌 수 있다.

먼저 3레그 1선 구조[84, 85]는 그림 A.9와 같은 반파 정류 (half bridge) 회로 방식이다.

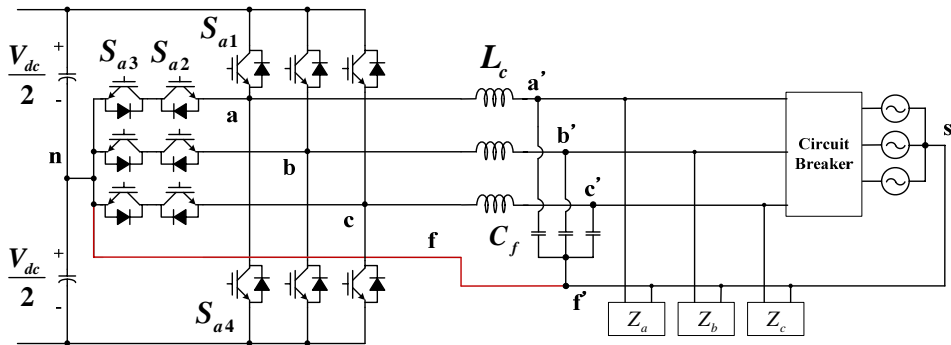


그림 A.9 3레그 1선 구조

Figure A.9 3 leg 1 wire structure

보통의 3상 컨버터와 마찬가지로 3레그만 존재하는 구조이다. 여기서 부하의 중성점은 LC필터의 중성점과 연결된다. 그리고 LC필터의 중성점은 직류단 전압의 중성점에 연결되는 구조이다. 이 구조에서 계통의 중성점과 직류단 전압의 중성점으로 정의되는 커먼 모드 전압의 크기는 항상 0V가 된다. 하지만 f 상 극 전압이 항상 0이므로 사용할 수 있는 PWM 방법은 SPWM (Sinusoidal PWM)으로 한정되게 된다. 따라서 최대 전압 사용률은 1이 된다.

다음으로 4레그 구조[39, 86]는 그림 A.10과 같다.

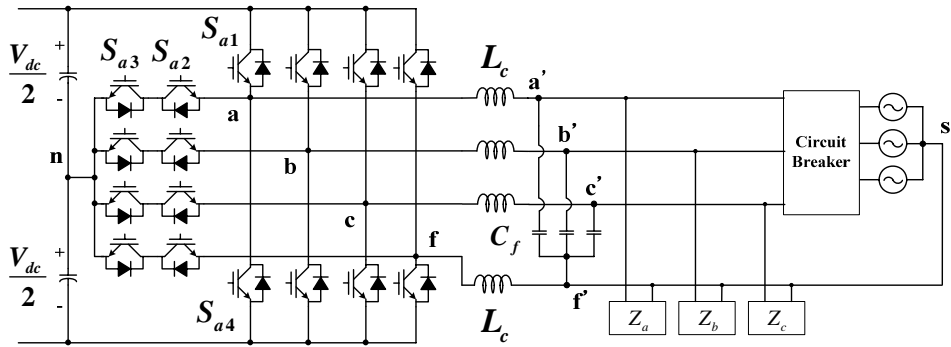


그림 A.10 4레그 구조

Figure A.10 4 leg structure

4레그 구조는 부하의 중성점의 추가된 레그인 f 레그에 연결되는 구조이다. 이 구조는 3레그 1선식 구조에 비해 1개의 레그를 추가로 사용하므로 필요한 소자수가 30% 증가한다는 단점이 있다. 하지만 4레그 구조는 3레그 1선 구조와 다르게 사용할 수 있는 PWM 방법이 다양하다.

PWM 방법 별 커먼 모드 전압과 전압 사용률이 표 A.1에 정리되어 있다. 커먼 모드 전압은 3레그 1선 구조의 값보다는 크게 되지만, 최대 전압 사용률은 SVPWM을 사용할 경우 1.1547에 이르게 된다. 또한 상 전압이 정상분 (V_m)과 영상분 ($0.616V_m$)을 포함하고 있다고 할 때, 전압 사용률이 3레그 1선 구조에서는 1이지만, 4레그 구조에서는 1.8591이 되게 된다.

표 A.1은 같은 상 전압 크기를 출력하고자 할 때, 최대 상 전압의 크기가 1일 경우의 각 구조 별 필요한 직류단 전압을 나타낸 것이다. 같은 상 전압을 내고자 할 때, 4레그 구조에서 필요한 직류단 전압의 크기가 작은 것을 알 수 있다.

표 A.1 같은 상 전압 크기를 출력하기 위한 직류단 전압

상 전압 조건	회로 구조	
	3 레그 1 선	4레그
3 상 평형	1	0.866
3 상 불평형 (영상분 전압 / 정상분 전압 = 0.616)	1	0.5379

이를 다시 직류단 전압 (V_{dc})이 같을 때, 각 시스템이 조건에 따라 얼마나 큰 전압의 상 전압을 합성할 수 있는지 정리하면 표 A.2와 같다. 3상 평형 시에는 3레그 1선 구조에 비해 4레그 구조에서 15% 큰 전압의 합성이 가능하고, 3상 불평형 시에는 85%까지 큰 전압이 합성 가능함을 알 수 있다.

표 A.2 같은 직류단 전압에서 출력 가능한 상 전압 크기

상 전압 조건	회로 구조	
	3 레그 1 선	4레그
3 상 평형 시 최대 상 전압	$\frac{V_{dc}}{2}$	$\frac{2}{\sqrt{3}} \frac{V_{dc}}{2}$ ($=1.1547 \frac{V_{dc}}{2}$)
3 상 불평형 시 최대 상 전압 (영상분 전압 / 정상분 전압 = 0.616)	$\frac{V_{dc}}{2}$	$1.61 \frac{2}{\sqrt{3}} \frac{V_{dc}}{2}$ ($=1.8591 \frac{V_{dc}}{2}$)
3 상 불평형 시 최대 정상분 상 전압 (영상분 전압 / 정상분 전압 = 0.616)	$\frac{1}{1.61} \frac{V_{dc}}{2}$ ($=0.6211 \frac{V_{dc}}{2}$)	$\frac{1}{1.61} 1.8591 \frac{V_{dc}}{2}$ ($=1.1547 \frac{V_{dc}}{2}$)

부 록 B. 기존 교류 전원 장치

교류 전원 장치는 여러 제조사에 의해 만들어지고 있다. 대표적인 제조사는 AMETEK, KIKUSUI, CHROMA, KEYSIGHT, EGSTON 등이 있다. 내부 구조는 쉽게 공개가 되어 있지는 않지만 몇몇 제조사에서 공개된 자료를 근거로 내부 구조를 추정하여 분석하고자 한다.

먼저 그림 B.1과 같이 EGSTON 사에서 나온 제품에는 기본 단위인 COMPISO Digital Amplifier (CDA)가 있다[87]. CDA는 6개의 레그가 인터리빙 (interleaving)으로 동작하게 된다. 각 레그의 스위칭 주파수는 20.833 kHz이다. 따라서 인터리빙으로 동작하는 한 상 (phase)의 등가 스위칭 주파수는 125 kHz가 된다. 그리고 합성 가능한 교류 파형

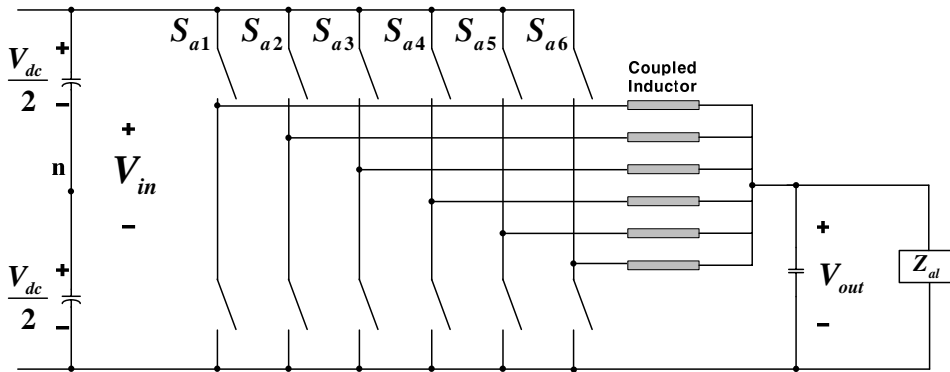


그림 B.1 COMPISO Digital Amplifier (CDA) 구조

Figure B.1 Structure of COMPISO Digital Amplifier (CDA)

의 최대 주파수는 5 kHz로 나타나 있다. CDA는 합성 가능한 주파수가 높은 반면에 인터리빙 동작에 의한 상마다 필요한 전력용 반도체 숫자가 많아 전체 3상 시스템을 구성할 경우 시스템이 복잡하고 따라서 비용이 높아진다는 단점이 있다.

그림 B.2는 AMETEK사에서 판매하는 대용량 교류 전원 장치인 MX series의 기본 전력 회로이다[88]. MX series의 구조는 각 레그는 2레벨 구조이고, 부하의 중성단이 직류단 캐피시터의 중성점에 연결된 3레그 1선식 구조이다. 앞에서 언급한 CDA에 비해 MX series는 지금까지 가장 널리 사용되고 있는 2레벨 구조를 사용하므로 신뢰성이 높고 제어가 간단하다는 장점이 있다. 하지만 멀티 레벨 인버터에 비해 그림 B.2의 인덕터의 값이 커져야 한다는 단점이 있다. 대신에 MX

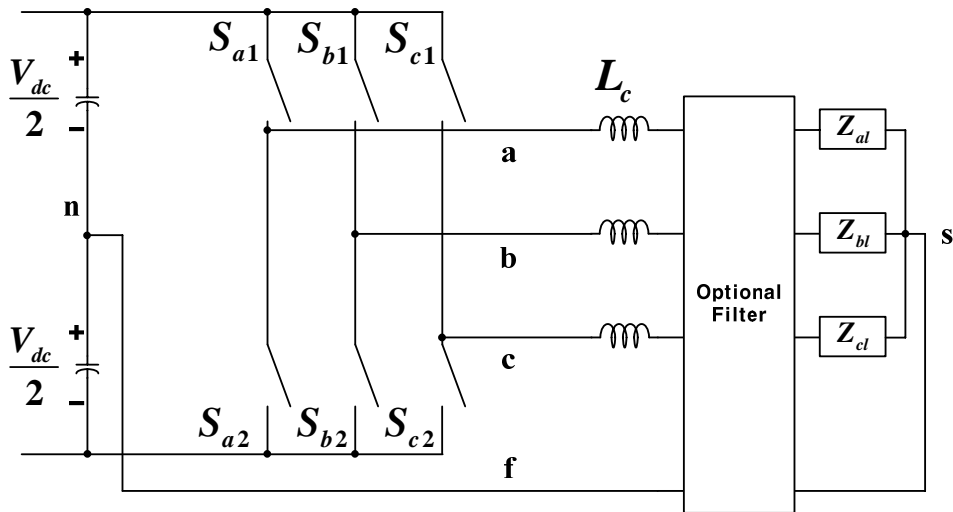


그림 B.2 MX series 구조

Figure B.2 Structure of MX series

series 는 전력용 반도체로 IGBT 대신에 MOSFET을 사용하면서 스위칭 주파수는 60 kHz 정도로 높여 사용하고 있다[89]. 따라서 부가적으로 그림 B.3과 같이 EMI 필터를 사용하도록 권하고 있다. MX series의 최대 합성 가능 주파수는 819 Hz라고 표시되어 있다.

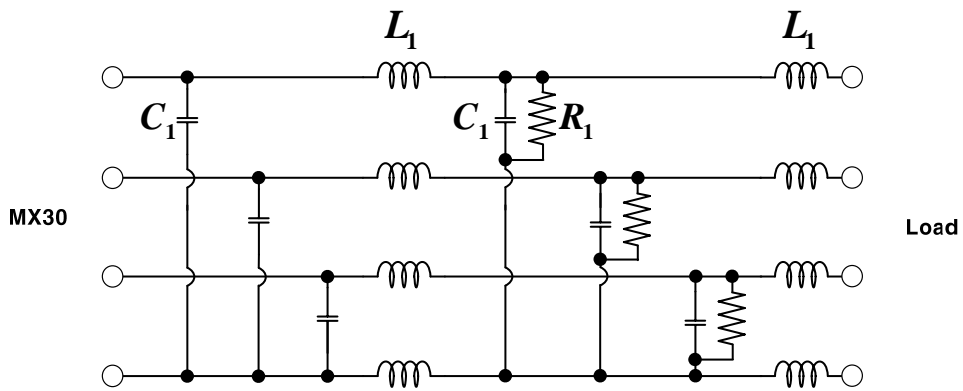


그림 B.3 MX series의 optional EMI 필터

Figure B.3 Optional EMI filter of MX series

참고 문헌

- [1] C. K. Lee, J. S. K. Leung, S. Y. R. Hui, and H. S. H. Chung, "Circuit-level comparison of STATCOM technologies," *Power Electronics, IEEE Transactions on*, vol. 18, pp. 1084-1092, 2003.
- [2] O. Vodyakho and C. C. Mi, "Three-Level Inverter-Based Shunt Active Power Filter in Three-Phase Three-Wire and Four-Wire Systems," *Power Electronics, IEEE Transactions on*, vol. 24, pp. 1350-1363, 2009.
- [3] B. Singh, K. Al-Haddad, and A. Chandra, "A review of active filters for power quality improvement," *Industrial Electronics, IEEE Transactions on*, vol. 46, pp. 960-971, 1999.
- [4] J. G. Nielsen and F. Blaabjerg, "A detailed comparison of system topologies for dynamic voltage restorers," *Industry Applications, IEEE Transactions on*, vol. 41, pp. 1272-1280, 2005.
- [5] V. Khadkikar, "Enhancing Electric Power Quality Using UPQC: A Comprehensive Overview," *Power Electronics, IEEE Transactions on*, vol. 27, pp. 2284-2297, 2012.
- [6] T. Ying-Yu, O. Rong-Shyang, S. L. Jung, and C. Meng-Yueh, "High-performance programmable AC power source with low harmonic distortion using DSP-based repetitive control technique," *Power Electronics, IEEE Transactions on*, vol. 12, pp. 715-725, 1997.
- [7] P. Mattavelli, "Synchronous-frame harmonic control for high-performance AC power supplies," *Industry Applications, IEEE Transactions on*, vol. 37, pp. 864-872, 2001.
- [8] A. Nabae, I. Takahashi, and H. Akagi, "A New Neutral-Point-Clamped PWM Inverter," *Industry Applications, IEEE Transactions on*, vol. IA-17, pp. 518-523, 1981.
- [9] K. A. Tehrani, I. Rasoanarivo, H. Andriatsioharana, and F. M. Sargos, "A new multilevel inverter model NP without clamping diodes," in *Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE*, 2008, pp. 466-472.
- [10] R. Joetten, M. Gekeler, and J. Eibel, "AC drive with three-level voltage source inverter and high dynamic performance microprocessor control," in *Proc. of the European Conf. on Power Electronics and Applications, EPE*, 1985, pp. 3.1-3.6.
- [11] M. Lin, T. Kerekes, R. Teodorescu, J. Xinmin, D. Floricau, and M. Liserre, "The high efficiency transformer-less PV inverter topologies derived from NPC topology," in *Power Electronics and*

- Applications, 2009. EPE '09. 13th European Conference on*, 2009, pp. 1-10.
- [12] M. Schweizer, I. Lizama, T. Friedli, and J. W. Kolar, "Comparison of the chip area usage of 2-level and 3-level voltage source converter topologies," in *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*, 2010, pp. 391-396.
 - [13] C. Seung-Jun, S. Seung-Ki, R. Young Hoon, and L. Junyeong, "Loss comparison of the 3 level topologies for four-leg voltage converters," in *Industrial Technology (ICIT), 2014 IEEE International Conference on*, 2014, pp. 324-329.
 - [14] Z. Changjiang, A. Arulampalam, and N. Jenkins, "Four-wire dynamic voltage restorer based on a three-dimensional voltage space vector PWM algorithm," *Power Electronics, IEEE Transactions on*, vol. 18, pp. 1093-1102, 2003.
 - [15] T. M. Jahns, R. W. A. A. De Doncker, A. V. Radun, P. M. Szczesny, and F. G. Turnbull, "System design considerations for a high-power aerospace resonant link converter," *Power Electronics, IEEE Transactions on*, vol. 8, pp. 663-672, 1993.
 - [16] A. L. Julian, G. Oriti, and T. A. Lipo, "Elimination of common-mode voltage in three-phase sinusoidal power converters," *Power Electronics, IEEE Transactions on*, vol. 14, pp. 982-989, 1999.
 - [17] G. Venkataramanan, D. M. Divan, and T. M. Jahns, "Discrete pulse modulation strategies for high-frequency inverter systems," *Power Electronics, IEEE Transactions on*, vol. 8, pp. 279-287, 1993.
 - [18] K. Hyosung, J. Jun-Keun, K. Jang-Hwan, S. Seung-Ki, and K. Kyung-Hwan, "Novel topology of a line interactive UPS using PQR instantaneous power theory," in *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*, 2004, pp. 2232-2238 vol.4.
 - [19] E. Ebrahimzadeh, S. Farhangi, H. Iman-Eini, F. Badrkhani Ajaei, and R. Iravani, "Improved Phasor Estimation Method for Dynamic Voltage Restorer Applications," *Power Delivery, IEEE Transactions on*, vol. 30, pp. 1467-1477, 2015.
 - [20] K. Karimi, S. Liu, D. Wang, F. De Leon, Q. Tang, D. Gu, *et al.*, "Aircraft universal power converter," ed: Google Patents, 2013.
 - [21] M. Zhang, D. Atkinson, B. Ji, M. Armstrong, and M. Ma, "A Near-State Three-Dimensional Space Vector Modulation for a Three-Phase Four-Leg Voltage Source Inverter," *Power Electronics, IEEE Transactions on*, vol. PP, pp. 1-1, 2014.
 - [22] S. Chee, S. Ko, H. Kim, and S. Sul, "Common-Mode Voltage Reduction of Three-Level Four-Leg PWM Converter," *Industry Applications, IEEE Transactions on*, vol. 51, pp. 4006-4016, 2015.
 - [23] G. L. Skibinski, R. J. Kerkman, and D. Schlegel, "EMI emissions of modern PWM AC drives," *Industry Applications Magazine, IEEE*, vol.

- 5, pp. 47-80, 1999.
- [24] S. Karugaba, A. Muetze, and O. Ojo, "On the Common-Mode Voltage in Multilevel Multiphase Single- and Double-Ended Diode-Clamped Voltage-Source Inverter Systems," *Industry Applications, IEEE Transactions on*, vol. 48, pp. 2079-2091, 2012.
 - [25] Y. Koyama, M. Tanaka, and H. Akagi, "Modeling and Analysis for Simulation of Common-Mode Noises Produced by an Inverter-Driven Air Conditioner," *Industry Applications, IEEE Transactions on*, vol. 47, pp. 2166-2174, 2011.
 - [26] N. O. Cetin and A. M. Hava, "Compatibility Issues Between the Filter and PWM Unit in Three-Phase AC Motor Drives Utilizing the Pure Sine Filter Configuration," *Industry Applications, IEEE Transactions on*, vol. 47, pp. 2559-2569, 2011.
 - [27] 이현동, "PWM 기법을 이용한 인버터 구동 교류전동기 시스템에서의 커먼 모드 전압 저감," 서울대학교 대학원, 1999.
 - [28] S. Ogasawara and H. Akagi, "Modeling and damping of high-frequency leakage currents in PWM inverter-fed AC motor drive systems," *Industry Applications, IEEE Transactions on*, vol. 32, pp. 1105-1114, 1996.
 - [29] M. M. Swamy, K. Yamada, and T. Kume, "Common mode current attenuation techniques for use with PWM drives," *Power Electronics, IEEE Transactions on*, vol. 16, pp. 248-255, 2001.
 - [30] H. Akagi, H. Hasegawa, and T. Doumoto, "Design and performance of a passive EMI filter for use with a voltage-source PWM inverter having sinusoidal output voltage and zero common-mode voltage," *Power Electronics, IEEE Transactions on*, vol. 19, pp. 1069-1076, 2004.
 - [31] R. M. Tallam, G. L. Skibinski, T. A. Shudarek, and R. A. Lukaszewski, "Integrated Differential-Mode and Common-Mode Filter to Mitigate the Effects of Long Motor Leads on AC Drives," *Industry Applications, IEEE Transactions on*, vol. 47, pp. 2075-2083, 2011.
 - [32] A. Muetze and C. R. Sullivan, "Simplified Design of Common-Mode Chokes for Reduction of Motor Ground Currents in Inverter Drives," *Industry Applications, IEEE Transactions on*, vol. 47, pp. 2570-2577, 2011.
 - [33] S. Ogasawara, H. Ayano, and H. Akagi, "An active circuit for cancellation of common-mode voltage generated by a PWM inverter," *Power Electronics, IEEE Transactions on*, vol. 13, pp. 835-841, 1998.
 - [34] K. Hee-Jung, L. Hyeoun-Dong, and S. Seung-Ki, "A new PWM strategy for common-mode voltage reduction in neutral-point-clamped inverter-fed AC motor drives," *Industry Applications, IEEE Transactions on*, vol. 37, pp. 1840-1845, 2001.
 - [35] Z. Haoran, A. von Jouanne, D. Shaoan, A. K. Wallace, and W. Fei,

- "Multilevel inverter modulation schemes to eliminate common-mode voltages," *Industry Applications, IEEE Transactions on*, vol. 36, pp. 1645–1653, 2000.
- [36] W. Fei, "Motor shaft voltages and bearing currents and their reduction in multilevel medium-voltage PWM voltage-source-inverter drive applications," *Industry Applications, IEEE Transactions on*, vol. 36, pp. 1336–1341, 2000.
 - [37] L. Zeng, L. Jinjun, and L. Jin, "Modeling, Analysis, and Mitigation of Load Neutral Point Voltage for Three-Phase Four-Leg Inverter," *Industrial Electronics, IEEE Transactions on*, vol. 60, pp. 2010–2021, 2013.
 - [38] C. Dae-Woong, K. Joohn-Sheok, and S. Seung-Ki, "Unified voltage modulation technique for real-time three-phase power conversion," *Industry Applications, IEEE Transactions on*, vol. 34, pp. 374–380, 1998.
 - [39] K. Jang-Hwan and S. Seung-Ki, "A carrier-based PWM method for three-phase four-leg voltage source converters," *Power Electronics, IEEE Transactions on*, vol. 19, pp. 66–75, 2004.
 - [40] 김장환, "멀티레그 멀티레벨 전압형 인버터를 위한 전압 변조 기법의 일반화에 대한 연구," *서울대학교박사학위 논문*, Aug, 2006.
 - [41] E. Un and A. M. Hava, "Performance analysis and comparison of reduced common mode voltage PWM and standard PWM techniques for three-phase voltage source inverters," in *Applied Power Electronics Conference and Exposition, 2006. APEC '06. Twenty-First Annual IEEE*, 2006, p. 7 pp.
 - [42] A. M. Hava, R. J. Kerkman, and T. A. Lipo, "Simple analytical and graphical methods for carrier-based PWM-VSI drives," *Power Electronics, IEEE Transactions on*, vol. 14, pp. 49–61, 1999.
 - [43] H. Seon-Hwan and K. Jang-Mok, "Dead Time Compensation Method for Voltage-Fed PWM Inverter," *Energy Conversion, IEEE Transactions on*, vol. 25, pp. 1–10, 2010.
 - [44] C. Jong-Woo and S. Seung-Ki, "A new compensation strategy reducing voltage/current distortion in PWM VSI systems operating with low output voltages," *Industry Applications, IEEE Transactions on*, vol. 31, pp. 1001–1008, 1995.
 - [45] C. Jong-Woo and S. Seung-Ki, "Inverter output voltage synthesis using novel dead time compensation," *Power Electronics, IEEE Transactions on*, vol. 11, pp. 221–227, 1996.
 - [46] T. Mannen and H. Fujita, "Dead-Time Compensation Method Based on Current Ripple Estimation," *Power Electronics, IEEE Transactions on*, vol. 30, pp. 4016–4024, 2015.
 - [47] A. Lewicki, "Dead-Time Effect Compensation Based on Additional Phase Current Measurements," *Industrial Electronics, IEEE Transactions on*, vol. 62, pp. 4078–4085, 2015.

- [48] Z. Yue, Q. Wei, and W. Long, "Dead-Time Effect Analysis and Compensation for a Sliding-Mode Position Observer-Based Sensorless IPMSM Control System," *Industry Applications, IEEE Transactions on*, vol. 51, pp. 2528-2535, 2015.
- [49] Z. Lanhua, G. Bin, J. Dominic, C. Baifeng, Z. Cong, and L. Jih-Sheng, "A Dead-Time Compensation Method for Parabolic Current Control With Improved Current Tracking and Enhanced Stability Range," *Power Electronics, IEEE Transactions on*, vol. 30, pp. 3892-3902, 2015.
- [50] Z. Zhendong and X. Longya, "Dead-Time Compensation of Inverters Considering Snubber and Parasitic Capacitance," *Power Electronics, IEEE Transactions on*, vol. 29, pp. 3179-3187, 2014.
- [51] L. Dong-Hee and A. Jin-Woo, "A Simple and Direct Dead-Time Effect Compensation Scheme in PWM-VSI," *Industry Applications, IEEE Transactions on*, vol. 50, pp. 3017-3025, 2014.
- [52] K. Dongouk, K. Yong-Cheol, S. Seung-Ki, K. Jang-Hwan, and Y. Rae-Sung, "Suppression of injection voltage disturbance for High Frequency square-wave injection sensorless drive with regulation of induced High Frequency current ripple," in *Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE-ASIA), 2014 International*, 2014, pp. 925-932.
- [53] M. A. Herran, J. R. Fischer, S. A. Gonzalez, M. G. Judewicz, and D. O. Carrica, "Adaptive Dead-Time Compensation for Grid-Connected PWM Inverters of Single-Stage PV Systems," *Power Electronics, IEEE Transactions on*, vol. 28, pp. 2816-2825, 2013.
- [54] P. Yongsoon and S. Seung-Ki, "A Novel Method Utilizing Trapezoidal Voltage to Compensate for Inverter Nonlinearity," *Power Electronics, IEEE Transactions on*, vol. 27, pp. 4837-4846, 2012.
- [55] G. Pellegrino, P. Guglielmi, E. Armando, and R. I. Bojoi, "Self-Commissioning Algorithm for Inverter Nonlinearity Compensation in Sensorless Induction Motor Drives," *Industry Applications, IEEE Transactions on*, vol. 46, pp. 1416-1424, 2010.
- [56] T. H. Chin, M. Nakano, and T. Hirayama, "Accurate measurement of instantaneous voltage for power electronics circuits," in *Power Conversion Conference - Nagaoka 1997., Proceedings of the*, 1997, pp. 881-884 vol.2.
- [57] S. Yo-Chan, B. Bon-Ho, and S. Seung-Ki, "Sensorless operation of permanent magnet motor using direct voltage sensing circuit," in *Industry Applications Conference, 2002. 37th IAS Annual Meeting. Conference Record of the*, 2002, pp. 1674-1678 vol.3.
- [58] L. Peretti and M. Zigliotto, "FPGA-based voltage measurements in AC drives," in *Electrical Machines (ICEM), 2010 XIX International Conference on*, 2010, pp. 1-6.
- [59] C. Lihua and F. Z. Peng, "Elimination of Dead-time in PWM

- Controlled Inverters," in *Applied Power Electronics Conference, APEC 2007 – Twenty Second Annual IEEE*, 2007, pp. 306–309.
- [60] T. D. Batzel and M. Comanescu, "Instantaneous voltage measurement in PWM voltage source inverters," in *Electrical Machines and Power Electronics, 2007. ACEMP '07. International Aegean Conference on*, 2007, pp. 168–173.
 - [61] L. Yong-Kai and L. Yen-Shin, "Dead-time elimination method and current polarity detection circuit for three-phase PWM-controlled inverter," in *Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE*, 2009, pp. 83–90.
 - [62] S.-J. Chee, J. Kim, and S.-K. Sul, "Dead-time compensation based on pole voltage measurement," in *Energy Conversion Congress and Exposition (ECCE), 2015 IEEE*, 2015, pp. 1549–1555.
 - [63] Z. Dongsheng and D. G. Rouaud, "Dead-time effect and compensations of three-level neutral point clamp inverters for high-performance drive applications," *Power Electronics, IEEE Transactions on*, vol. 14, pp. 782–788, 1999.
 - [64] S. R. Minshull, C. M. Bingham, D. A. Stone, and M. P. Foster, "Compensation of Nonlinearities in Diode-Clamped Multilevel Converters," *Industrial Electronics, IEEE Transactions on*, vol. 57, pp. 2651–2658, 2010.
 - [65] O. Won Seok, K. Yong Tae, and K. Hee-jun, "Dead time compensation of current controlled inverter using space vector modulation method," in *Power Electronics and Drive Systems, 1995., Proceedings of 1995 International Conference on*, 1995, pp. 374–378 vol.1.
 - [66] A. C. Oliveira, C. B. Jacobina, and A. M. N. Lima, "Improved Dead-Time Compensation for Sinusoidal PWM Inverters Operating at High Switching Frequencies," *Industrial Electronics, IEEE Transactions on*, vol. 54, pp. 2295–2304, 2007.
 - [67] K. Hyeon-Sik, K. Yong-Cheol, C. Seung-Jun, and S. Seung-Ki, "Analysis and Compensation of Inverter Nonlinearity for Three-Level T-Type Inverters," in *Applied Power Electronics Conference and Exposition (APEC), 2016 IEEE*, 2016.
 - [68] L. Sang-Joon, K. Hyosung, and S. Seung-Ki, "A novel control method for the compensation voltages in dynamic voltage restorers," in *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, 2004, pp. 614–620 Vol.1.
 - [69] S. Y. Lee, Y. M. Chae, J. S. Cho, G. H. Choe, H. S. Mok, and D. H. Jang, "A new control strategy for instantaneous voltage compensator using 3-phase PWM inverter," in *Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE*, 1998, pp. 248–254 vol.1.
 - [70] L. Poh Chiang, M. J. Newman, D. N. Zmood, and D. G. Holmes, "A

- comparative analysis of multiloop voltage regulation strategies for single and three-phase UPS systems," *Power Electronics, IEEE Transactions on*, vol. 18, pp. 1176-1185, 2003.
- [71] D. Dong, T. Thacker, R. Burgos, W. Fei, and D. Boroyevich, "On Zero Steady-State Error Voltage Control of Single-Phase PWM Inverters With Different Load Types," *Power Electronics, IEEE Transactions on*, vol. 26, pp. 3285-3297, 2011.
 - [72] T. Kawabata, T. Miyashita, and Y. Yamamoto, "Digital control of three-phase PWM inverter with LCfilter," *Power Electronics, IEEE Transactions on*, vol. 6, pp. 62-72, 1991.
 - [73] 이은우, "빠른 동특성을 갖는 deadbeat 인버터 전압제어 알고리즘," 서울대학교 대학원, 2002.
 - [74] T. Kawabata, T. Miyashita, and Y. Yamamoto, "Dead beat control of three phase PWM inverter," *Power Electronics, IEEE Transactions on*, vol. 5, pp. 21-28, 1990.
 - [75] K. Hyosung, L. sang-Joon, and S. Seung-Ki, "Design of the Feed Forward Controller in Digital Method to Improve Transient Characteristics for Dynamic Voltage Restorers," *THE TRANSACTIONS OF KOREAN INSTITUTE OF POWER ELECTRONICS*, vol. 9, pp. 275-284, 6 2004.
 - [76] K. Hyosung and S. Seung-Ki, "Compensation voltage control in dynamic voltage restorers by use of feed forward and state feedback scheme," *Power Electronics, IEEE Transactions on*, vol. 20, pp. 1169-1177, 2005.
 - [77] 이상준, "순간 전압 강하 보상용 직렬 보상기를 위한 새로운 PLL 및 전압 제어기에 관한 연구," 서울대학교 대학원, 2003.
 - [78] W. Xiongfei, P. Ying, L. Poh Chiang, and F. Blaabjerg, "A Series-LC-Filtered Active Damper With Grid Disturbance Rejection for AC Power-Electronics-Based Power Systems," *Power Electronics, IEEE Transactions on*, vol. 30, pp. 4037-4041, 2015.
 - [79] S. G. Parker, B. P. McGrath, and D. G. Holmes, "Regions of Active Damping Control for LCL Filters," *Industry Applications, IEEE Transactions on*, vol. 50, pp. 424-432, 2014.
 - [80] P. Donghua, R. Xinbo, B. Chenlei, L. Weiwei, and W. Xuehua, "Capacitor-Current-Feedback Active Damping With Reduced Computation Delay for Improving Robustness of LCL-Type Grid-Connected Inverter," *Power Electronics, IEEE Transactions on*, vol. 29, pp. 3414-3427, 2014.
 - [81] K. Hatua, A. K. Jain, D. Banerjee, and V. T. Ranganathan, "Active Damping of Output LC Filter Resonance for Vector-Controlled VSI-Fed AC Motor Drives," *Industrial Electronics, IEEE Transactions on*, vol. 59, pp. 334-342, 2012.
 - [82] L. Yun Wei, "Control and Resonance Damping of Voltage-Source and Current-Source Converters With LC Filters," *Industrial Electronics*,

- IEEE Transactions on*, vol. 56, pp. 1511–1521, 2009.
- [83] F. Filsecker, R. Alvarez, and S. Bernet, "Evaluation of 6.5-kV SiC p-i-n Diodes in a Medium-Voltage, High-Power 3L-NPC Converter," *Power Electronics, IEEE Transactions on*, vol. 29, pp. 5148–5156, 2014.
 - [84] M. Lin, S. Kai, and J. Xinmin, "A transformation method from conventional three phases full-bridge topology to conergy NPC topology," in *Electrical Machines and Systems (ICEMS), 2011 International Conference on*, 2011, pp. 1–5.
 - [85] S. Saridakis, E. Koutroulis, and F. Blaabjerg, "Optimal Design of Modern Transformerless PV Inverter Topologies," *Energy Conversion, IEEE Transactions on*, vol. 28, pp. 394–404, 2013.
 - [86] R. Zhang, V. H. Prasad, D. Boroyevich, and F. C. Lee, "Three-dimensional space vector modulation for four-leg voltage-source converters," *Power Electronics, IEEE Transactions on*, vol. 17, pp. 314–326, 2002.
 - [87] EGSTON. Available: http://www.egston.com/en/power_electronics/nutshell.php
 - [88] AMETEK. *User Manual*. Available: http://www.programmablepower.com/ac-power-source/MX/downloads/MX_Series_User_Manual_7003-960_rAY.pdf
 - [89] AMETEK. *Technical Note*. Available: http://www.programmablepower.com/ac-power-source/MX/app_downloads/TechNote_Mx-Series-With-Optional-EMI-Filter.pdf

Abstract

In this dissertation, the control method for the voltage synthesis of the three level four leg converter as an arbitrary waveform AC power supply has been proposed.

Recently, the power converter interfaced with the grid is getting attention owing to the increase of distributed generator (DG) such as renewable energy sources. Alike the increase of the power converter, the use of the converters for the power quality to meet the grid regulations is increasing. These converters should work properly as intended not only in normal grid state but also in abnormal grid state. Therefore, the converters should be tested in the condition of abnormal grid state throughout the product development and the quality assurance stage. So the interest in the AC power supply which can synthesize arbitrary waveform to simulate the abnormal grid voltage is gradually increasing.

The AC power supply has to synthesize 3 phase balanced voltages to the loads whether the loads are balanced or not. So the four leg topology among four wire structures is chosen for accommodating the unbalanced loads because of its relative high voltage utilization rate. Additionally, the T-type structure among three level topologies is selected as a multi-level topology owing to their small filters and higher efficiency compared to the two level topology.

The principle of voltage synthesis in converters is averaging the pole voltage based on the switching operation of the power semiconductors. In the converter, the common-mode voltage usually exists due to its switching operation. It results in the common-mode current which is a source of consequent electromagnetic interface noise. In addition, it is hard for a three level topology to compensate the dead-time voltage distortion near zero voltage unlike a two level topology. Furthermore, the voltage controller is necessary for the converter used in the AC power supply in order to synthesize the voltage as desired. It ought to suppress the resonance of the LC filter actively and to synthesize the desired voltage minimizing the distortion and the time delay.

In this dissertation, for the voltage synthesis of the three level four leg converter as an arbitrary waveform AC power supply, the PWM method on behalf of the common-mode voltage reduction and the dead-time compensation has been proposed. In addition a novel voltage controller has been proposed to extend the control bandwidth for the voltage synthesis. To validate the effectiveness of the proposed methods, the 5kW three level (T-type) four leg converter has been configured in both computer simulation and experimental test. All proposed control algorithms have been experimentally verified not only by computer simulation and but also by 5kW three level four leg converter system. When PPPWM methods are applied, the peak-to-peak values and the transition

number of the CMV are reduced 66% and 75%, respectively, compared to those of the SVPWM method. When the proposed single-loop voltage controller is applied, the values of VTR are increased compared to those of conventional voltage controller.

Keywords : 3 level 4 leg, common-mode voltage, dead-time, voltage controller, AC power supply

Student Number : 2011-30977



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학박사 학위논문

T-type 3레벨 4레그
3상 컨버터의 전압 합성

Voltage Synthesis of
T-type Three Level Four Leg
Three Phase Converter

2016년 2월

서울대학교 대학원

전기·컴퓨터 공학부

지 승 준

초 록

본 논문에서는 교류 전원 장치로 사용하기 위한 3레벨 (Level) 4레그 (Leg) 전압형 컨버터의 출력 전압 합성을 위한 제어 방법과 그 구현에 대하여 논하였다.

최근 들어 신/재생 에너지와 같은 분산 전원이 폭넓게 활용 되면서 전력 계통과 연계되어 동작하는 컨버터의 비중이 점점 증대되고 있다. 이와 같은 계통 연계형 컨버터들의 증대와 함께 계통 규정을 만족하기 위한 전력 품질 보상용 컨버터들의 사용 또한 증대되고 있다. 이러한 컨버터들은 정상적인 계통 상황뿐만 아니라 비정상적인 계통 상황에서도 계통 연계 규정 (Grid Code)을 준수하면서 의도한대로 동작해야 한다. 그러므로 제품 개발 단계뿐만 아니라 최종 제품 시험 시에도 비정상적인 계통 전압을 모의하여 동작 검증을 해야 한다. 따라서 비정상적인 계통 상황을 모의 할 수 있도록 임의의 전압을 합성할 수 있는 교류 전원 장치에 대한 관심이 증가하고 있다.

교류 전원 장치는 부하가 평형 (Balanced), 불평형 (Unbalanced)인지에 관계 없이 어떤 경우에도 원하는 3상 전압을 합성할 수 있어야 한다. 따라서 본 논문에서는 3상 4선식 구조 중 전압 사용율이 높은 4레그 토폴로지 (Topology)를 선정하여 임의의 3상 전압을 합성하고자 한다. 또한 2레벨 토폴로지에 비해 전력용 소자의 개수는 증가하지만, 높은 효율, 높은 등가 스위칭 주파수, 낮은 전압 변동율 (dv/dt), 따라서 작은 출력 필터 적용이 가능한 멀티 레벨 토폴로지 중 T-type 형태의 3레벨 토폴로지를 선정하였다.

컨버터는 전력용 반도체 소자의 스위칭 동작을 통해 평균적으로 필요한 전압을 합성하게 된다. 이러한 스위칭 동작은 부득이하게 커먼

모드 전압 (Common-mode voltage)을 발생시키고, 이로 인해 전자파 간섭 (Electro Magnetic Interference, EMI)의 소스 (Source)인 커먼 모드 전류 (Common-mode current)가 흐르게 된다. 또한 3레벨 토폴로지의 경우 2레벨 토폴로지와 다르게 지령 전압이 작은 경우에 데드 타임 (Dead-time) 보상이 어렵게 된다. 추가로 컨버터를 교류 전원 장치로 사용하기 위해서는 정확한 전압 합성을 위한 전압 제어기가 필요하다. 이러한 제어기는 컨버터 출력의 LC필터에 의한 공진 (Resonance)을 억제할 수 있어야 할 뿐 아니라, 출력 전압을 지령 전압과 비교했을 때 크기의 왜곡이나 시지연이 없도록 합성해주어야 한다.

본 논문에서는 3상 임의 전압 합성이 가능한 교류 전원 장치에 사용될 3레벨 4레그 컨버터의 전압 합성을 위해 커먼 모드 전압 저감을 위한 PWM 방법, 데드 타임 전압 왜곡 보상을 위한 PWM 방법 및 전압 제어 방법을 제안한다. 제안된 방법의 성능은 이론적인 해석과 함께, 컴퓨터 모의 실험, 5kW용량 3레벨 4레그 컨버터 실험 등을 통하여 검증하였다. 커먼 모드 전압에 관하여 PPPWM 방법을 적용하면 통상의 SVPWM 방법을 적용했을 때에 비해 크기는 66%, 변화 횟수는 75% 줄어든 것을 확인하였다. 그리고 제안된 데드 타임 보상 방법과 전압 제어기를 사용했을 때에는 저 전압 및 고 전압 조건에서 VTR의 값이 증가함을 확인하였다.

주요어 : 3레벨 4레그, 커먼 모드 전압, 데드 타임, 임의 전압 합성,
전압 제어기

학 번 : 2011-30977

목 차

초 록.....	i
목 차.....	iii
표 목차.....	vi
그림 목차.....	vii
제 1 장 서 론.....	1
1.1 연구의 배경	1
1.2 연구의 목표	6
1.3 논문의 구성	7
제 2 장 커먼 모드 전압 (Common-mode Voltage) 저감[22]	10
2.1 3레벨 4레그 컨버터에서의 커먼 모드 전압	11
2.2 기존 PWM 방법의 커먼 모드 전압.....	14
2.3 제안된 커먼 모드 전압 저감 PWM 방법	22
2.3.1 제안된 커먼 모드 전압 저감 PWM 방법의 원리	22
2.3.2 제안된 커먼 모드 전압 저감 PWM 방법의 구현	25
2.3.3 제안된 커먼 모드 전압 저감 PWM 방법의 구현 변형.....	30
2.4 PWM 방법의 성능 비교	35
2.4.1 전압 사용률.....	35

2.4.2 HDF (Harmonic Distortion Factor)	42
2.5 모의 실험 결과	49
2.6 실험 결과.....	54
제 3 장 3레벨 4레그 컨버터의 제어 성능 개선	70
3.1 3레벨 토폴로지의 데드 타임 보상.....	70
3.1.1 3 레벨 토폴로지의 데드 타임 영향	71
3.1.1.1 3 레벨 토폴로지의 전압 합성	71
3.1.1.2 3 레벨 토폴로지의 데드 타임 영향	76
3.1.1.3 3 레벨 토폴로지의 데드 타임 영향 상세 분석	85
3.1.2 3 레벨 토폴로지의 데드 타임 보상	112
3.1.2.1 저 전압 데드 타임의 보상 (AOVPWM, Alternative Offset Voltage PWM) [67]	133
3.1.2.2 중, 고 전압 데드 타임의 보상 (OMVPWM, Optimal Margin Voltage PWM) [67]	139
3.1.2.3 전압 사용률	144
3.1.3 모의 실험 결과	149
3.1.4 실험 결과	175
3.2 전압 제어기	212
3.2.1 기존 전압 제어기	216
3.2.2 제안된 전압 제어기	230
3.2.3 모의 실험	236
3.2.4 교류 전원 장치	246
3.2.4.1 제안된 전압 제어기와 교류 전원 장치	246
3.2.5 실험 결과	276

제 4 장 결론.....	308
4.1 연구 결과.....	308
4.2 향후 과제.....	311
부 록 A . 삼상 4선식 구조	314
A.1 삼상 4선식 구조의 필요성.....	314
A.2 삼상 4선식 구조 종류.....	322
부 록 B . 기존 교류 전원 장치	326
참고 문헌.....	329
Abstract.....	337

표 목차

표 2.1 전압 변조 방식에 따른 커먼 모드 전압	21
표 2.2 그림 2.9 에 사용된 값	33
표 2.3 PWM 방법 별 성능 요약	48
표 3.1 저 전압 조건에서의 데드 타임 영향을 억제하기 위한 보정된 극 전압 지령 (DTCM1)	118
표 3.2 저 전압 조건에서의 데드 타임 영향을 억제하기 위한 최종 극 전압 지령 (DTCM2)	126
표 3.3 저 전압에서의 모의 실험 조건	151
표 3.4 고 전압에서의 모의 실험 조건	164
표 3.5 저 전압에서의 실험 조건	177
표 3.6 고 전압에서의 실험 조건	189
표 3.7 단일 루프 (single-loop) 전압 제어기 이득	234
표 3.8 손실 모의 실험 조건	269
표 3.9 작은 전압에서의 실험 조건 (단일 루프 전압 제어기)	277
표 3.10 큰 전압 크기에서의 실험 조건 (단일 루프 전압 제어기)	285
표 A.1 같은 상 전압 크기를 출력하기 위한 직류단 전압	324
표 A.2 같은 직류단 전압에서 출력 가능한 상 전압 크기	325

그림 목차

그림 1.1 토폴로지 (a) 2레벨, (b) 3레벨 (NPC), (c) 3레벨 (T-type)	4
그림 2.1 3레벨 4레그 컨버터 시스템에서 커먼 모드 전압	11
그림 2.2 기존 삼각파 비교 전압 변조 방식의 구현	14
그림 2.3 스위칭 패턴 (공간 벡터 전압 변조 방식 적용 시)	17
그림 2.4 스위칭 패턴 (정현파 전압 변조 방식 적용 시)	20
그림 2.5 스위칭 패턴 (제안된 커먼 모드 전압 저감 PWM 방법, PPPWM1)	24
그림 2.6 제안된 커먼 모드 전압 저감을 위한 PWM 방법 블록도	26
그림 2.7 스위칭 패턴 (제안된 커먼 모드 전압 저감 PWM 방법, PPPWM2)	31
그림 2.8 스위칭 패턴 (제안된 커먼 모드 전압 저감 PWM 방법, PPPWM3)	32
그림 2.9 제안된 커먼 모드 전압 저감 PWM 방법에서 f 레그 극 전압 지령들 및 옵셋 전압 계산 방법	34
그림 2.10 PWM 별 전압 사용률 제한 값	39
그림 2.11 PWM 방법 별 정규화된 상 전압과 극 전압의 관계	40
그림 2.12 PWM 방법 별 극 전압과 옵셋 전압	41
그림 2.13 3레벨 4레그 컨버터의 PWM 방법 별 고조파 자속 궤적	43
그림 2.14 3레벨 4레그 컨버터의 PWM 방법 별 PWM 사이클 고조파 자속 실효치 (a) $M_i = 0.5$, (b) $M_i = 0.86$	45

그림 2.15 3레벨 4레그 컨버터의 PWM 방법 별 HDF	46
그림 2.16 모의 실험에 사용된 회로	49
그림 2.17 PPPWM3 적용 시 4개 극 전압 파형 및 그때의 커먼 모 드 전압	50
그림 2.18 상 전압과 PWM 방법 별 커먼 모드 전압	52
그림 2.19 그림 2.18의 커먼 모드 전압 확대 파형	53
그림 2.20 실험 세트 (5kW T-type 4레그)	54
그림 2.21 상 전류와 커먼 모드 전압 (PPPWM3, $V_{fn}^* = 0$)	55
그림 2.22 상 전류와 커먼 모드 전압 (PPPWM3, $V_{fn}^* \neq 0$)	56
그림 2.23 커먼 모드 전압 (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3.....	58
그림 2.24 커먼 모드 전압 (그림 2.23 의 확대 파형) (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3	60
그림 2.25 그림 2.23 의 커먼 모드 전압 FFT (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3.....	62
그림 2.26 커먼 모드 전압의 FFT (그림 2.25의 확대 파형) (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3.....	64
그림 2.27 전압 제어 시 부하 전압, 부하 전류 및 커먼 모드 전압 (PPPWM3)	65
그림 2.28 전압 제어 시 커먼 모드 전압의 FFT (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3.....	67
그림 2.29 커먼 모드 전압 (100m 케이블) (a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3.....	69
그림 3.1 3레벨 4레그 컨버터 시스템에서 한 레그	72

그림 3.2 3레벨 토폴로지에서의 극 전압 합성 원리 (a) $V_{an}^* \geq 0$,	
(b) $V_{an}^* < 0$	75
그림 3.3 전압/전류 곡선 (a) IGBT, (b) 다이오드	79
그림 3.4 데드 타임을 고려한 3레벨 토폴로지에서의 극 전압 합성 원리	83
그림 3.5 3레벨 토폴로지의 영역 A에서 극 전압	87
그림 3.6 3레벨 토폴로지의 영역 B에서 극 전압	89
그림 3.7 3레벨 토폴로지의 영역 C에서 극 전압	91
그림 3.8 3레벨 토폴로지의 영역 D에서 극 전압	94
그림 3.9 3레벨 토폴로지의 영역 E에서 극 전압	96
그림 3.10 3레벨 토폴로지의 영역 F에서 극 전압	98
그림 3.11 3레벨 토폴로지의 영역 G에서 극 전압	101
그림 3.12 3레벨 토폴로지의 영역 H에서 극 전압	103
그림 3.13 3레벨 토폴로지의 영역 I에서 극 전압	106
그림 3.14 3레벨 토폴로지의 영역 J에서 극 전압	108
그림 3.15 지령 극 전압 vs. 출력 극 전압 ($ i_x \approx 0$)	110
그림 3.16 지령 극 전압 vs. 출력 극 전압 ($ i_x \gg 0$)	111
그림 3.17 데드 타임 보상 전 지령 극 전압, 평균 출력 극 전압, 상 전류	113
그림 3.18 그림 3.17의 FFT 결과	114
그림 3.19 지령 극 전압 vs. 출력 극 전압 ($i_x \gg 0$)	115
그림 3.20 지령 극 전압 vs. 출력 극 전압 ($i_x \ll 0$)	116
그림 3.21 DTCM1 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류	120

그림 3.22 DTCM1 적용 시 지령 극 전압, 평균 출력 극 전압의 FFT	121
그림 3.23 DTCM1 의 영역 A에서 전압 합성	122
그림 3.24 DTCM1의 영역 D에서 전압 합성	123
그림 3.25 DTCM1의 영역 B에서 전압 합성	124
그림 3.26 DTCM1 의 영역 C에서 전압 합성	125
그림 3.27 DTCM2의 영역 B에서 전압 합성	128
그림 3.28 DTCM2의 영역 C에서 전압 합성	129
그림 3.29 DTCM2 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류	130
그림 3.30 DTCM2 적용 시 지령 극 전압, 평균 출력 극 전압의 FFT	131
그림 3.31 SVPWM과 $+\frac{V_{dc}}{4}$ 적용 시 지령 극 전압: V_{an}^* , V_{bn}^* , V_{cn}^* , V_{fn}^*	134
그림 3.32 모의 실험에서의 데드 타임 보상 방법.....	135
그림 3.33 SVPWM과 $+\frac{V_{dc}}{4}$ 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류.....	136
그림 3.34 그림 3.33의 FFT	137
그림 3.35 AOVPM 적용 시 지령 극 전압: V_{an}^* , V_{bn}^* , V_{cn}^* , V_{fn}^*	138
그림 3.36 OMVPWM 원리.....	141
그림 3.37 OMVPWM 적용 시 극 전압 파형: V_{an}^* , V_{bn}^* , V_{cn}^* , V_{fn}^*	142

그림 3.38 OMVPWM 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류	143
그림 3.39 OMVPWM 적용 시 극 전압 파형: V_{an}^* , V_{bn}^* , V_{cn}^* , V_{fn}^*	147
그림 3.40 상 전압 지령 크기에 따라 데드 타임 보상을 위한 PWM 방법	148
그림 3.41 모의 실험 회로	149
그림 3.42 모의 실험 결과 - Sim1 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	153
그림 3.43 모의 실험 결과 - Sim2 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	154
그림 3.44 모의 실험 결과 - Sim3 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	155
그림 3.45 모의 실험 결과 - Sim4 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	157
그림 3.46 모의 실험 결과 - Sim5 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	158
그림 3.47 모의 실험 결과 - Sim6 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	160
그림 3.48 모의 실험 결과 - Sim7 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	161
그림 3.49 모의 실험 결과 - Sim8 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	162
그림 3.50 모의 실험 결과 - Sim9 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	163

그림 3.51	모의 실험 결과 - Sim10 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	166
그림 3.52	모의 실험 결과 - Sim11 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	167
그림 3.53	모의 실험 결과 - Sim12 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	168
그림 3.54	모의 실험 결과 - Sim13 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	170
그림 3.55	모의 실험 결과 - Sim14 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	171
그림 3.56	모의 실험 결과 - Sim15 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	173
그림 3.57	모의 실험 결과 - Sim16 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)	174
그림 3.58	전류와 전압 오차	176
그림 3.59	실험 결과 - 실험 1.....	179
그림 3.60	실험 결과 - 실험 2.....	180
그림 3.61	실험 결과 - 실험 3.....	181
그림 3.62	실험 결과 - 실험 4.....	183
그림 3.63	실험 결과 - 실험 5.....	184
그림 3.64	실험 결과 - 실험 6.....	186
그림 3.65	실험 결과 - 실험 7.....	187
그림 3.66	실험 결과 - 실험 8.....	188
그림 3.67	실험 결과 - 실험 9.....	191
그림 3.68	실험 결과 - 실험 10	192

그림 3.69 실험 결과 - 실험 11	193
그림 3.70 실험 결과 - 실험 12	195
그림 3.71 실험 결과 - 실험 13	196
그림 3.72 실험 결과 - 실험 14	198
그림 3.73 실험 결과 - 실험 15	199
그림 3.74 실험 결과 - 실험 16	200
그림 3.75 실험 결과 - 고 전류 부하 조건 (저 전압)	202
그림 3.76 실험 결과 - 고 전류 부하 조건 (고 전압)	203
그림 3.77 부하 조건 - 다이오드 부하1.....	204
그림 3.78 실험 결과 - 다이오드 부하 조건1 (저 전압)	205
그림 3.79 실험 결과 - 다이오드 부하 조건1 (고 전압)	206
그림 3.80 부하 조건 - 다이오드 부하2.....	207
그림 3.81 실험 결과 - 다이오드 부하 조건2 (저 전압)	208
그림 3.82 실험 결과 - 다이오드 부하 조건2 (고 전압)	209
그림 3.83 커먼 모드 전압 (a) SVPWM, (b) AOVPWM	210
그림 3.84 3레벨 4레그 컨버터 구조	212
그림 3.85 한 상 (x 상) 등가 회로.....	213
그림 3.86 한 상 (x 상) 등가 회로의 블록도	214
그림 3.87 멀티 루프 (multi-loop) 전압 제어기의 블록도.....	216
그림 3.88 오픈 루프 (open-loop) 전압 제어기의 블록도	217
그림 3.89 오픈 루프 (open-loop) 전압 제어기 모의 실험1	218
그림 3.90 오픈 루프 (open-loop) 전압 제어기 모의 실험2	219
그림 3.91 오픈 루프 (open-loop) 전압 제어기 모의 실험3	220
그림 3.92 오픈 루프 (open-loop) 전압 제어기 모의 실험4 (a) 파 형, (b) (a)의 FFT	221

그림 3.93 오픈 루프 (open-loop) 전압 제어기 모의 실험5 (a) 파형, (b) (a)의 FFT	222
그림 3.94 오픈 루프 (open-loop) 전압 제어를 포함한 한 상 (x 상) 등가 회로의 블록도	223
그림 3.95 제정수 오차 없을 때 오픈 루프 (open-loop) 전압 제어기 보드 선도.....	225
그림 3.96 오픈 루프 (open-loop) 전압 제어기의 TF_IL 보드 선도.....	226
그림 3.97 오픈 루프 (open-loop) 전압 제어기 모의 실험6 (a) 파형, (b) (a)의 FFT	227
그림 3.98 오픈 루프 (open-loop) 전압 제어기 모의 실험7 (a) 파형, (b) (a)의 FFT	228
그림 3.99 단일 루프 (single-loop) 전압 제어기 블록도.....	230
그림 3.100 단일 루프 (single-loop) 전압 제어기의 보드 선도.....	235
그림 3.101 단일 루프 (single-loop) 전압 제어기 모의 실험8 (a) 파형, (b) (a)의 FFT	236
그림 3.102 단일 루프 (single-loop) 전압 제어기 모의 실험9 (a) 파형, (b) (a)의 FFT	237
그림 3.103 단일 루프 (single-loop) 전압 제어기 모의 실험10 (a) 파형, (b) (a)의 FFT	238
그림 3.104 단일 루프 (single-loop) 전압 제어기 모의 실험11 (a) 파형, (b) (a)의 FFT	239
그림 3.105 PWM 방법 별 단일 루프 (single-loop) 전압 제어기 모의 실험 - High Mi (a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1, (e) PPPWM2,	

(f)PPPWM3.....	241
그림 3.106 그림 3.105의 파형 FFT 결과- High Mi (a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1, (e) PPPWM2, (f)PPPWM3.....	242
그림 3.107 PWM 방법 별 단일 루프 (single-loop) 전압 제어기 모의 실험 - Low Mi (a) SVPWM, (b) SPWM, (c) AOVPWM+SVPWM, (d) PPPWM1, (e) PPPWM2, (f)PPPWM3.....	244
그림 3.108 그림 3.107의 파형 FFT 결과- Low Mi (a) SVPWM, (b) SPWM, (c) AOVPWM+SVPWM, (d) PPPWM1, (e) PPPWM2, (f)PPPWM3.....	245
그림 3.109 LC필터의 보드 선도	247
그림 3.110 비율 제한기 블록도.....	248
그림 3.111 노치 필터의 보드 선도.....	250
그림 3.112 수동 댐핑 방법 (a) 인덕터 직렬 저항, (b) 인덕터 병렬 저항, (c) 캐패시터 직렬 저항, (d) 캐패시터 병렬 저항.....	251
그림 3.113 인덕터에 직렬 저항 추가 시 한 상 등가 블록도.....	253
그림 3.114 캐패시터에 병렬 저항 추가 시 한 상 등가 블록도 ...	254
그림 3.115 ZOH로 이산화된 플랜트 블록도.....	258
그림 3.116 모의 실험 - (a) 연속 시간 모델에서의 캐패시터 전압 ($V_{cap_a}^{CM}$)과 이산화된 모델에서의 캐패시터 전압 ($V_{cap_a}^{DM}$), (b) (a)의 확대 파형.....	259
그림 3.117 제어기가 포함된 이산화된 플랜트 블록도	260
그림 3.118 댐핑 저항(R_{damp_LS})에 따른 Pole-zero 맵.....	262
그림 3.119 그림 3.100 확대 파형	263

그림 3.120 단일 루프 (single-loop) 전압 제어기 보드 선도 ($\omega_{vc} = 2\pi 5600[\text{rad} / \text{s}]$)	265
그림 3.121 단일 루프 (single-loop) 전압 제어기 모의 실험	12266
그림 3.122 Vincotech 10-FZ12NMA080SH01-M260F 상/하단 스위치 손실 데이터	267
그림 3.123 Vincotech 10-FZ12NMA080SH01-M260F 중성단 스 위치 손실 데이터	268
그림 3.124 Vincotech 모듈의 전체 소자 손실	270
그림 3.125 Vincotech 모듈의 소자 손실 (a) 도통 손실, (b) 스위칭 손실	271
그림 3.126 Rohm BSM120D12P2C005 손실 데이터	272
그림 3.127 Rohm 모듈의 소자 손실 (a) 전체 손실, (b) 도통 손실, (c) 스위칭 손실	273
그림 3.128 Vincotech 모듈 손실	274
그림 3.129 실험 결과 - 실험 1	279
그림 3.130 실험 결과 - 실험 2	280
그림 3.131 실험 결과 - 실험 3	281
그림 3.132 실험 결과 - 실험 4	282
그림 3.133 실험 결과 - 실험 5	283
그림 3.134 실험 결과 - 실험 6	284
그림 3.135 실험 결과 - 실험 7	287
그림 3.136 실험 결과 - 실험 8	288
그림 3.137 실험 결과 - 실험 9	289
그림 3.138 실험 결과 - 실험 10	290
그림 3.139 실험 결과 - 실험 11	291

그림 3.140 실험 결과 - 실험 12	292
그림 3.141 실험 결과 - 고 전류 부하 조건 (저 전압)	294
그림 3.142 실험 결과 (FFT) - 고 전류 부하 조건 (저 전압) ..	295
그림 3.143 실험 결과 - 고 전류 부하 조건 (고 전압)	296
그림 3.144 실험 결과 (FFT) - 고 전류 부하 조건 (고 전압) ..	297
그림 3.145 부하 조건 - 다이오드 부하1	298
그림 3.146 실험 결과 - 다이오드 부하 조건1 (저 전압)	299
그림 3.147 실험 결과 (FFT) - 다이오드 부하 조건1 (저 전압)	300
그림 3.148 실험 결과 - 다이오드 부하 조건1 (고 전압)	301
그림 3.149 실험 결과 (FFT) - 다이오드 부하 조건1 (고 전압)	302
그림 3.150 부하 조건 - 다이오드 부하2	303
그림 3.151 실험 결과 - 다이오드 부하 조건2 (저 전압)	304
그림 3.152 실험 결과 (FFT) - 다이오드 부하 조건2 (저 전압)	305
그림 3.153 실험 결과 - 다이오드 부하 조건2 (고 전압)	306
그림 3.154 실험 결과 (FFT) - 다이오드 부하 조건2 (고 전압)	307
그림 A.1 일반적인 계통 연계형 3상 컨버터 구조	314
그림 A.2 계통 연결 없는 3상 컨버터 시스템 구조.....	315
그림 A.3 평형 부하에서의 부하 전압 및 부하 전류	316
그림 A.4 불평형 부하에서의 부하 전압 및 부하 전류.....	317
그림 A.5 불평형 부하 문제 해결을 위한 Δ/Y 변압기 사용 구조	318
그림 A.6 불평형 부하 문제 해결을 위한 4선식 컨버터 사용 구조	319
그림 A.7 평형 부하에서의 부하 전압 및 부하 전류	320
그림 A.8 불평형 부하에서의 부하 전압 및 부하 전류.....	321
그림 A.9 3레그 1선 구조	322

그림 A.10 4레그 구조.....	323
그림 B.1 COMPISO Digital Amplifier (CDA) 구조	326
그림 B.2 MX series 구조	327
그림 B.3 MX series의 optional EMI 필터.....	328

제 1 장 서 론

1.1 연구의 배경

환경 및 에너지 문제로 인해 분산 전원 (Distributed generation system)에 대한 관심이 점점 증대되고 있다. 이와 같이 신재생 에너지나 에너지 저장 장치로 구성된 분산 전원을 계통과 연결하기 위해서는 전력용 컨버터 (Converter)가 주로 이용되고 있다. 이렇게 전력 제어를 위한 전력용 컨버터를 전력 변환 장치 (Power Conditioning System, PCS)라고 한다. 이렇게 부하 혹은 계통에 에너지를 주고 받을 경우에도 컨버터가 사용되고, 전력 품질 보상을 위해서도 컨버터가 사용된다.

전력 품질 보상용 컨버터는 연결 형태에 따라 병렬형, 직렬형, 직/병렬형으로 나눌 수 있다. 병렬로 연결되는 시스템은 정지형 무효 전력 보상기 (STATic COMPensator, STATCOM), 능동 고조파 필터 (Active Power Filter, APF) 등이 있다. STATCOM은 계통에 연결된 부하에 의해 발생하는 용량성 전류나 유도성 전류를 흡수하여 계통에 무효 전류가 흐르지 않도록 해주는 역할을 한다[1]. APF는, 부하에서 발생한 고조파 전류로 인해 부하가 계통 연계 규정의 고조파 제한 값을 어길 수 있으므로, 고조파를 흡수하여 계통에는 깨끗한 정현파의 전류만 흐르도록 하는 기능을 한다[2, 3]. 계통에 직렬로 연결되는 대표적인 전력 품질 보상용 컨버터는 동적 전압 보상기 (Dynamic Voltage Restorer, DVR)로 계통 전압의 급상승 (Swell)이나 급하강 (Sag) 등이 발생해 전압 왜곡이 생겼을 때, 전압 상승분을 상쇄하거나 전압

부족분을 보충하여 깨끗한 정현파 전압이 부하에 인가되도록 해주는 기능을 한다[4]. 계통에 직/병렬로 연결된 시스템은 통합 전력 품질 제어기 (Unified Power Quality Controller, UPQC)로 불리우며 전원단의 이상 유무나 부하단의 비선형성이나 불평형에 상관없이 부하단에 평형 정현파 전압을 인가할 수 있고, 계통단에는 고조파 전류나 무효 전류가 흐르지 않도록 해줄 수 있다[5].

이와 같이 전력 제어나 전력 품질 향상 등을 위한 컨버터의 사용이 점차 늘어나고 있다. 하지만 이러한 제품들을 실제 사용하기 위해서는 계통이 비정상적인 경우에도 계통 연계 규정을 준수하면서 주어진 기능이 정상적으로 동작하는지 확인되어야 하고, 계통 상황에 따라 그 동작 모드가 규정에 따라 적절히 전환되는지 확인해야 한다. 따라서 컨버터의 제작 후 비정상적인 계통 상황에서도 테스트해야 한다. 그러나 계통 상황이 언제 그리고 어떤 문제가 생길지 알 수 없으므로, 비정상적인 계통 상황을 모의 (Emulation)할 수 있어야 한다. 이렇게 계통을 모의할 수 있는 시스템을 임의 전압 파형 발생 (Arbitrary Voltage Waveform Generator) 교류 전원 장치라 하고, 여러 가지 계통 연계 시스템의 수요 증가에 따라 이러한 교류 전원 장치에 대한 관심 또한 증가하고 있다. 이러한 교류 전원 장치 또한 전력 전자 기술에 기반한 컨버터로 구성되어 있다[6, 7].

일반적으로 컨버터 토폴로지 (Topology)는 몇 개의 레벨 (Level)을 가지는지 혹은 몇 개의 레그 (Leg)로 구성되어 있는지에 따라 나눌 수 있다. 먼저 레벨 수에 따라 토폴로지를 나눠보면 그림 1.1 (a)와 같이 극 (Pole) 전압이 $V_{dc}/2$, $-V_{dc}/2$ 로 2가지인 보통의 컨버터를 2레벨 토폴로지라 부른다. 2레벨 토폴로지는 간단한 구조 및 제어의

용이성으로 인해 지금까지도 가장 널리 사용되는 구조이다. 이 외에 멀티 레벨 (Multi-level) 토폴로지의 사용이 점점 증대되고 있다. 멀티 레벨 토폴로지는 2레벨 토폴로지에 비해 효율도 좋을 뿐 아니라, 레벨 수가 많아져서 2레벨 토폴로지에 비해 작은 필터 값을 사용할 수 있는 가능성이 있다. 특히 비용, 크기, 무게에서 큰 비중을 차지하는 인덕터의 인덕턴스 값을 줄일 수 있다는 장점이 있다. 또한 매 스위칭 시 전압 변동율 (dv/dt)의 감소로 인해 커먼 모드 전류 (Common-mode current)가 작아지게 된다. 멀티 레벨 토폴로지 중에서 3레벨 토폴로지는 상대적인 기술의 성숙 및 제어의 용이성으로 인해 가장 널리 사용되는 토폴로지이다. 3레벨 토폴로지는 $V_{dc}/2, 0, -V_{dc}/2$ 와 같은 극 전압을 가지게 되는데 대표적인 토폴로지로는 NPC (Neutral Point Clamped)와 T-type 이 있다. NPC는 1981년 Nabae 교수가 제안한 회로로 그림 1.1 (b)와 같이 구성된다[8]. T-type 은 단어 그대로 스위치의 배치가 영어 문자 T자와 같은 형태로 그림 1.1 (c)와 같다[9-11]. T-type은 NPC와 달리 직류단 중성점과 레그 출력 사이에 양방향 (Bidirectional) 스위치가 사용된다. 소자의 개수만 고려하면 NPC에 비해 레그 당 다이오드 2개가 적다는 장점이 있다. 여기서 T-type은 NPC에 비해 도통 손실이 작다는 장점이 있으나 직류단의 +와 -를 연결하는 스위치들의 내압은 직류단 전압 크기 이상이어야 한다는 단점이 있다[12, 13].

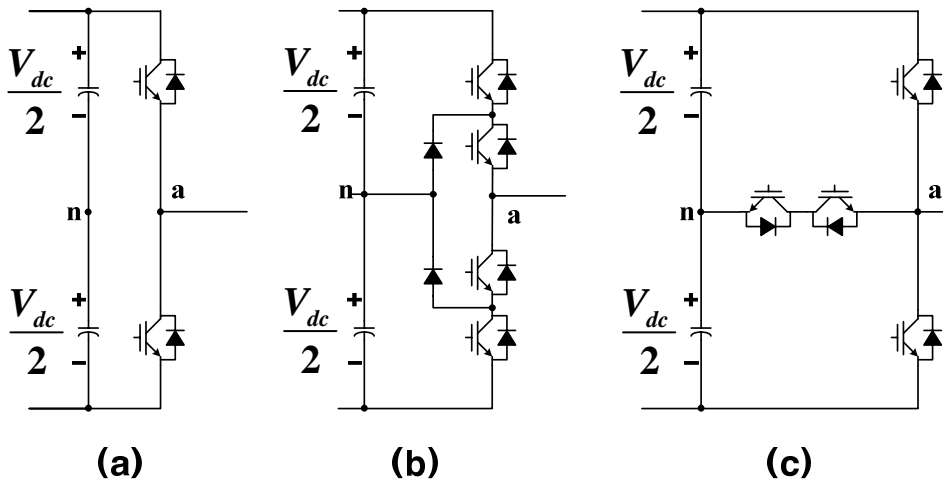


그림 1.1 토폴로지 (a) 2레벨, (b) 3레벨 (NPC), (c) 3레벨 (T-type)

Figure 1.1 Topology (a) 2 level, (b) 3 level (NPC), (c) 3 level (T-type)

보통의 3상 시스템의 경우에 컨버터의 레그 수는 3개이다. 컨버터가 3상 부하를 구동하는 경우 부하에는 선간 전압이 인가되므로, 컨버터의 선간 합성되는 전압이 중요하게 된다. 일반적인 계통 연계 시스템이나 3상 전동기를 부하로 사용하는 컨버터는 통상 3개의 레그를 사용하고 있다. 그러나 풍력 에너지, 태양광 에너지와 같은 신/재생 에너지 혹은 배터리 등과 같은 에너지 저장 장치 (Energy storage system, ESS)에 사용되는 컨버터 시스템의 경우에 계통이 끊어져도 부하에 지속적으로 에너지를 공급해줄 수 있어야 한다. 이와 같은 경우에 부하가 불평형 (Unbalanced)되어 있는 경우에도 부하에 걸리는 전압은 평형 (Balanced)이어야 한다. 그렇지 않을 경우 저전압 (Under-voltage)으로 부하에 연결된 시스템이 동작을 멈추거나 심할 경우

과전압 (Over-voltage)으로 인해 부하 시스템이 손상을 입을 수도 있다. 이와 같은 경우에 부하와 컨버터 사이에 Δ/Y 변압기를 설치하여 불평형 부하에 대응할 수도 있다. 이때 3상 3레그 컨버터를 변압기의 Δ 결선에 연결하고, 변압기의 Y결선을 부하에 연결하는데 부하의 중성점을 변압기 Y결선의 중성점에 연결해준다. 이와 같은 경우에 부하가 불평형 되더라도 부하에 걸리는 전압은 평형을 유지할 수 있다. 이렇게 변압기를 사용하는 방법 외에도 컨버터 구조를 4선식으로 사용해서도 불평형 부하에 대응할 수 있다. 4선식 구조는 3레그 1선 구조와 4레그 구조가 있다. 3레그 1선 구조는 3레그의 연결은 기존 3상 시스템과 같고 한 선은 직류단 캐패시터의 중성점과 부하의 중성점에 연결하는 구조이다[14]. 이와 같은 구조는 사용 가능한 PWM 방법이 SPWM (Sinusoidal PWM)으로 한정되고, 영상분 전류에 의한 직류단 전압의 흔들림 방지를 위해서 큰 용량의 캐패시터가 필요한 특징이 있다. 4레그 구조는 기존의 3레그에 한 개의 레그를 추가로 이용하는 구조이다[15-17]. 이 구조에서는 4번째 레그의 자유도로 인해 다양한 PWM 방법이 적용 가능하여 PWM 방법에 따라서 3레그 1선식 구조에 비해 높은 전압 사용율을 가진다. 자세한 내용은 부록에 첨부 하였다. 병원이나 데이터 센터와 같이 항상 안정적인 전원이 공급되어야 하는 곳에 설치하는 UPS (Uninterruptible Power Supply)[18]에는 통상 4레그 구조의 컨버터가 널리 사용된다. 또한 계통 전압이 왜곡 되어도 완전한 정현파 형태의 전압이 인가되어야 하는 정밀 부하에는 DVR (Dynamic Voltage Restorer)[19]이 사용되는데 이와 같은 DVR을 구현하기 위한 컨버터에도 4레그 구조가 사용된다. 또한 Boeing Co.가 제작하는 항공기 전원 시스템에도 삼상 교류 전원 합성을 위해 4레그

구조의 컨버터가 폭 넓게 사용되고 있다[20].

1.2 연구의 목표

본 논문에서는 교류 전원 장치로 사용하기 위한 3레벨 (Level) 4레그 (Leg) 전압형 컨버터의 출력 전압 합성을 위한 제어 방법과 그 구현에 대하여 논하고자 한다. 일반적으로 컨버터는 부하 시스템에서 원하는 전압을 만들어 주기 위해서 스위칭 주기 동안 펄스의 폭 (duty)을 조절하면서 평균적으로 극 전압을 합성하게 된다. 이와 같이 스위칭 동작을 기반으로 하는 컨버터의 기본 동작 원리에 의해 직류단 전압의 중성점과 부하의 중성점 전압으로 정의되는 커먼 모드 전압이 급격하게 변하는 현상이 생기게 된다. 이러한 커먼 모드 전압은 전압 양단에 위치하는 기생 캐패시터 (Parasitic Capacitor)에 커먼 모드 전류를 발생시키고, 이러한 커먼 모드 전류는 시스템 자체의 정상적인 동작에 문제를 줄 뿐만 아니라, 시스템 주변의 다른 전자기기의 오작동을 일으키기도 한다. 따라서 이러한 커먼 모드 전압을 억제하는 것이 컨버터 운영에 있어서 중요한 이슈가 되고 있다[21].

또한 컨버터는 구성하고 있는 전력 스위치의 상보적인 (complementary) 동작에 의해 전압을 합성하게 되는데 게이팅 신호의 시간 지연 등으로 인한 직류단 (DC-link)의 단락 (short)을 방지하기 위하여 상보적으로 동작하는 스위치에 동시에 오프 (off)가 되도록 스위치의 게이팅 신호를 설정한다. 이와 같이 동시에 오프되는 시간을 데드 타임 (Dead-time)이라고 한다. 이러한 데드 타임 시간 동안에는 스위치에 병렬로 연결된 역방향 다이오드로 흐르는 전류에 의해

출력되는 전압이 결정된다. 따라서 출력 전압은 의도하는 바와 달리 전류 방향에 따라 결정되므로 출력 전압에 왜곡이 발생하게 된다. 따라서 특히 교류 전원 장치와 같이 정확한 전압 합성이 필요한 시스템의 경우에는 데드 타임 보상이 필수적인 요소이다.

마지막으로 컨버터를 교류 전원 장치로 사용하기 위해서는 전압 제어기가 필수적인 요소이다. 실제로 원하는 교류 전압을 제대로 합성하기 위해서는 스위칭에 의해 발생하는 높은 고조파 성분을 제거해야 하므로 컨버터 출력단에 L필터 혹은 LC필터와 같은 고조파 억제 장치가 사용된다. 그리고 필터 뒤에 사용자의 부하가 연결되게 된다. 본 논문에서는 필터의 크기를 최소화하기 위해 LC필터를 사용하였다. 이와 같은 LC필터를 사용한 시스템에서 부하는 캐패시터와 병렬로 연결되게 되는데 이와 같은 캐패시터에 원하는 전압을 합성해주기 위해서는 LC필터에 의한 공진 억제뿐만 아니라 인덕터에 의한 전압 강하 또한 보상해주어야 한다.

따라서 본 논문에서는 임의 전압 발생 교류 전원 장치로서 컨버터를 활용하기 위하여 커먼 모드 전압 저감 방법, 데드 타임으로 인한 전압 왜곡을 방지하기 위한 보상 방법, 출력 전압 제어기의 설계 방법을 제안한다. 또한 이론적 분석과 컴퓨터 모의 실험 및 실제 제작된 5kW 실험 장치를 이용한 광범위한 실험을 통하여 제안된 방법들의 타당성을 검증한다.

1.3 논문의 구성

본 논문은 다음과 같이 구성되어 있다.

1장에서는 본 논문에서 다루고자 하는 컨버터의 사용 분야에 대해 설명하고, 이 중 3레벨 4레그 컨버터의 사용 배경에 대해 간략하게 서술한 후 본 논문에서 논의할 연구의 목표를 제시하고 본 논문의 구성 방식을 기술한다.

2장에서는 3레벨 4레그 컨버터에서의 커먼 모드 저감을 위한 여러 가지 PWM 방법 (Reduced Common-Mode Voltage PWM, RCMVPWM)을 소개한다. 제안된 PWM 방법 (PPPWM)은 상 전압의 왜곡을 방지하면서 동시에 커먼 모드 전압을 기존 PWM 방법에 비해 줄일 수 있는 방법이다.

3장에서는 추가적으로 3레벨 4레그의 제어 성능을 향상시킬 수 있는 방법에 대하여 다룬다. 먼저 데드 타임에 의한 전압 왜곡 및 보상 방법에 대해 언급한다. 특히, 2레벨 토폴로지에서 나타나지 않고 3레벨 토폴로지에서만 특이하게 발생하는 데드 존 (Dead zone) 및 데드 존 회피를 위한 방법에 대해 논의한다. 교류 전원 장치와 같이 부하에 원하는 전압을 합성해야 하는 시스템에서 컨버터 동작 시 발생하는 데드 타임에 의한 전압 왜곡은 부하에 인가될 전압을 왜곡 시키게 된다. 따라서 3레벨 토폴로지에서 이를 피하기 위한 PWM 방법을 다룬다. 그 중 하나는 전압 지령의 크기가 작은 경우에 적용할 수 있는 방법 (AOVPWM)이고, 다른 하나는 지령 전압의 크기가 큰 경우에 적용할 수 있는 방법 (OMVPWM)이다. 다음으로 원하는 전압 지령의 합성을 위한 전압 제어기에 대해 다룬다. 기존 전압 제어기는 데드 타임에 의한 전압 왜곡에 취약하지만, 제안된 전압 제어기는 데드 타임에 의한 전압 왜곡 오차에 강인하다는 장점을 가진다. 제안된 제어기에 대한 이론적 분석을 통하여 제어기의 성능을 검증하였다. 추가적으로 데드 타임 보상

방법을 적용한 전압 제어기를 이용하여 교류 전원 장치로서의 특성을 평가해본다.

마지막으로 4장에서는 본 논문의 연구 결과를 요약하며 향후 과제에 대하여 언급한다.

삼상 4선식 구조의 필요성 및 삼상 4선식 구조의 종류에 대해서는 부록에서 언급한다. 4선식 구조 중 3레그 1선 구조와 4레그 구조의 특성을 비교하여 장단점을 파악한다. 또한 기존 교류 전원 장치의 구조와 특징을 부록에서 소개한다.

제 2 장 커먼 모드 전압 (Common-mode Voltage) 저감[22]

PWM 컨버터는 스위칭 동작으로 전압을 합성하는 원리 때문에 대부분의 컨버터에서 커먼 모드 전압이 발생하게 된다. 높은 주파수 성분의 커먼 모드 전압은 시스템과 접지 (Ground) 사이에 존재하는 기생 캐패시터를 통해 커먼 모드 전류를 흘리게 한다. 커먼 모드 전류는 컨버터 자체와 컨버터 주변 전자 기기의 오작동을 일으키는 EMI 노이즈의 주된 요인이 된다[23]. 실제 많은 응용 분야에서 PWM 컨버터의 스위칭 주파수가 점점 증가하므로 커먼 모드 전압에 의한 문제도 증가하고 있다. 따라서 커먼 모드 저감을 위한 기술들이 주목을 받고 있다[24-27].

커먼 모드 전압과 커먼 모드 전류는 수동적인 방법과 능동적인 방법으로 억제될 수 있다. 수동적인 방법은 커먼 모드 인덕터 혹은 커먼 모드 변압기와 같은 자기적 (Magnetic)인 회로를 적용하는 것이다[28-32]. 그러나 부가적인 자기 회로의 적용은 시스템의 비용 및 크기를 증가시킨다는 단점이 있다. 능동적인 방법은 크게 3가지로 나눌 수 있다. 하나는 기본 회로 외에 반도체 소자와 같은 능동 소자를 추가하는 방법이 있다[33]. 다른 하나는 기본 회로를 2레벨 토폴로지가 아닌 NPC와 같은 멀티 레벨 토폴로지 (Multi level topology)를 이용하는 것이다[34-36]. 멀티 레벨 토폴로지를 이용하는 경우에는 극 (Pole) 전압이 여러 개의 전압 레벨을 가지므로 커먼 모드 전압은 자연적으로

줄게 된다. 마지막 방법은 기본 회로에 부가적인 회로 없이 PWM 방법을 바꾸는 방법이다. 이 방법은 소프트웨어의 변경만으로 적용이 가능하다. 따라서 이 방법이 적용 가능할 경우 커먼 모드 전압 문제에 대한 가장 경제적인 대책이 될 수 있다.

본 장에서는 3레벨 4레그 토폴로지에서의 PWM 방법 변경을 통한 커먼 모드 전압 저감 방법에 대해 살펴본다.

2.1 3레벨 4레그 컨버터에서의 커먼 모드 전압

본 논문에서 사용중인 컨버터의 토폴로지는 그림 2.1과 같이 3레벨 4레그 토폴로지이다.

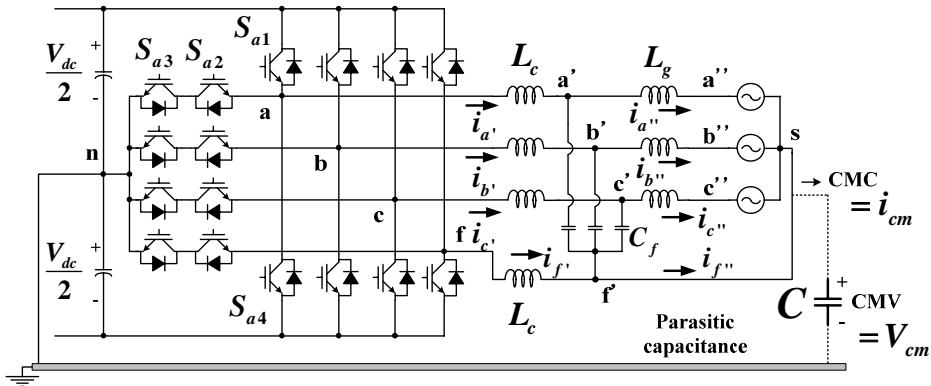


그림 2.1 3레벨 4레그 컨버터 시스템에서 커먼 모드 전압

Figure 2.1 Common-mode voltage in three level four leg converter

이와 같은 시스템에서 커먼 모드 전압은 부하의 중성점, 's', 과

직류단 전압의 중성점, 'n', 사이의 전압차, V_{sn} 으로 정의할 수 있다. 특히, 4레그 컨버터의 경우 커먼 모드 전압을 수식으로 표현하면 (2.1)과 같다[37].

$$V_{sn} = \frac{V_{an} + V_{bn} + V_{cn} + V_{fn} + (R_g i_{f^n} + L_g \frac{d}{dt} i_{f^n}) - 3V_0}{4}. \quad (2.1)$$

여기서 영상분 전압 (V_0)는 아래와 같다.

$$V_0 = \frac{V_{a''s} + V_{b''s} + V_{c''s}}{3}. \quad (2.2)$$

식 (2.1)과 같이 커먼 모드 전압은 4개 레그의 극 전압과 영상분 전류, 영상분 전압의 관계식으로 표현할 수 있다. 만약 영상분 전류와 영상분 전압의 크기가 모두 0이라면 커먼 모드 전압의 크기는 4개 레그의 극 전압으로만 표시가 가능하고 아래와 같다.

$$V_{sn} = \frac{V_{an} + V_{bn} + V_{cn} + V_{fn}}{4}. \quad (2.3)$$

이 값은 순시적인 값으로 (2.4)와 같이 스위칭 상태 (Switching state)를 이용하여 표현할 수 있다.

$$V_{sn} = \frac{S_a + S_b + S_c + S_f}{4} \frac{V_{dc}}{2}. \quad (2.4)$$

여기서 각각의 스위칭 상태는 아래와 같이 정의된다.

$$S_x = \begin{cases} 1, S_{x1}:on \\ 0, S_{x2}, S_{x3}:on \\ -1, S_{x4}:on \end{cases}, x = a, b, c, f. \quad (2.5)$$

커먼 모드 전압은 (2.4)와 같이 스위칭 상태 (S_a, S_b, S_c, S_f)와 직류단 전압 (V_{dc})으로 표현해줄 수 있는데, 이는 새로운 변수, S_{CMV} ,를

이용하여 (2.6)과 같이 표현 될 수 있다.

$$V_{sn} = \frac{S_{CMV}}{4} \frac{V_{dc}}{2}. \quad (2.6)$$

이때, S_{CMV} 는 아래와 같이 정의된다.

$$S_{CMV} \triangleq S_a + S_b + S_c + S_f. \quad (2.7)$$

커먼 모드 전압은 식 (2.6)에 의하면 S_{CMV} 와 직류단 전압에 의해 결정되는 것을 알 수 있다.

2.2 기존 PWM 방법의 커먼 모드 전압

기존 PWM 방법 중 삼각파 비교를 이용한 PWM 방식의 구현은 아래 그림 2.2와 같다.

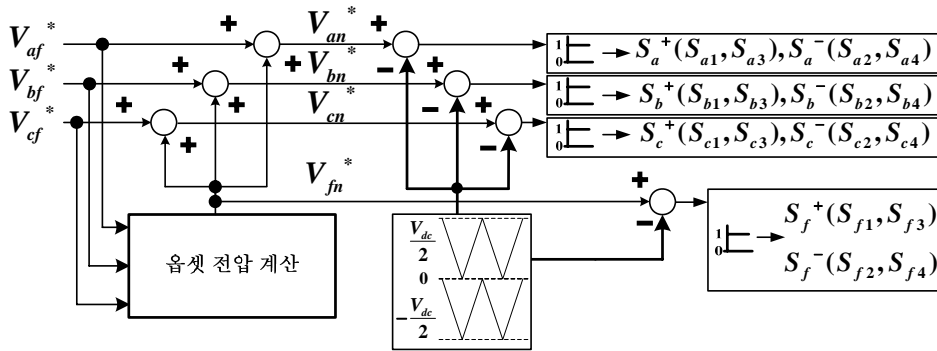


그림 2.2 기존 삼각파 비교 전압 변조 방식의 구현

Figure 2.2 Carrier-based conventional PWM method block diagram

어떠한 제어기에 의해 상 전압 (Phase voltage) 지령 (V_{af}^* , V_{bf}^* , V_{cf}^*)이 생성 되면 그 전압을 이용하여 사용하고자 하는 PWM 방법에 의해 오프셋 전압 (Offset voltage)을 계산해주게 된다. 그 오프셋 전압은 a, b, c 레그 각각의 상 전압 지령에 더해져 a, b, c 레그의 극 전압 지령을 생성해 주게 되고, 오프셋 전압 자체는 4레그 컨버터의 경우에는 f 레그의 극 전압 지령이 된다.

기존 PWM 방법 중 공간 벡터 전압 변조 방식 (SVPWM, Space

Vector PWM)과 정현파 전압 변조 방식 (SPWM, Sinusoidal PWM)은 간단하게 옵셋 전압을 변경함으로써 쉽게 구현할 수 있다[38].

먼저 공간 벡터 전압 변조 방식은 그림 2.2에서의 옵셋 전압을 아래와 같이 정해주면 된다[39, 40].

$$V_{fn}^* = -\frac{V_{\max}^* + V_{\min}^*}{2}. \quad (2.8)$$

여기서 V_{\max}^* , V_{\min}^* 은 각각 (2.9), (2.10)과 같다.

$$V_{\max}^* = \max(V_{af}^*, V_{bf}^*, V_{cf}^*). \quad (2.9)$$

$$V_{\min}^* = \min(V_{af}^*, V_{bf}^*, V_{cf}^*). \quad (2.10)$$

공간 벡터 전압 변조 방식을 적용했을 때의 예시 스위칭 패턴은 그림 2.3과 같다. 이때 스위칭 패턴은 2가지 형태 (Case A, Case B)로만 나오게 된다. Case A의 경우는 3개의 상 전압 (Phase voltage) 지령 (V_{af}^* , V_{bf}^* , V_{cf}^*) 중 2개가 양 (+)인 경우이고, Case B의 경우는 3개의 상 전압 지령 중 1개가 양 (+)인 경우이다. 그림 2.3에서 붉은 색 점선은 극 전압 지령과 비교하기 위한 삼각파의 일부이다.

먼저 Case A의 스위칭 패턴을 살펴보면, a, c, f 레그의 극 전압 지령은 양이므로, 스위칭 상태는 0에서 1로 변하게 되고, b 레그의 극 전압 지령은 음이므로, -1에서 0으로 변하게 된다. 따라서 (2.7)에서 정의된 바와 같이 S_{CMV} 의 초기 값은 -1이 되고, 마지막 값은 3이 된다. S_{CMV} 는 4개의 극 전압 지령이 삼각파와 만날 때마다 값이 증가하므로, -1, 0, 1, 2, 3과 같이 총 5가지 값을 가지게 된다. (2.6)에 의하면 해당하는

커먼 모드 전압은 $-\frac{1}{8}V_{dc}$, 0 , $\frac{1}{8}V_{dc}$, $\frac{2}{8}V_{dc}$, $\frac{3}{8}V_{dc}$ 가 된다.

같은 방식으로 Case B의 스위칭 패턴을 살펴보면, a 레그의 극 전압 지령은 양이므로, 스위칭 상태는 0에서 1로 변하게 되고, b, c, f 레그의 극 전압 지령은 음이므로, -1에서 0으로 변하게 된다. 따라서 (2.7)에서 정의된 바와 같이 S_{CMV} 의 초기 값은 -3이 되고, 마지막 값은 1이 된다. S_{CMV} 는 4개의 극 전압 지령이 삼각파와 만날 때마다 값이 증가하므로, -3, -2, -1, 0, 1과 같이 총 5가지 값을 가지게 된다. 따라서 식 (2.6)에 의하여 해당하는 커먼 모드 전압은 $-\frac{3}{8}V_{dc}$, $-\frac{2}{8}V_{dc}$, $-\frac{1}{8}V_{dc}$, 0, $\frac{1}{8}V_{dc}$ 가 된다.

Case A, Case B 두 가지 경우를 종합하면, S_{CMV} 는 -3, -2, -1, 0, 1, 2, 3의 값을 가지게 되고, 커먼 모드 전압은 $-\frac{3}{8}V_{dc}$, $-\frac{2}{8}V_{dc}$, $-\frac{1}{8}V_{dc}$, 0, $\frac{1}{8}V_{dc}$, $\frac{2}{8}V_{dc}$, $\frac{3}{8}V_{dc}$ 가 된다.

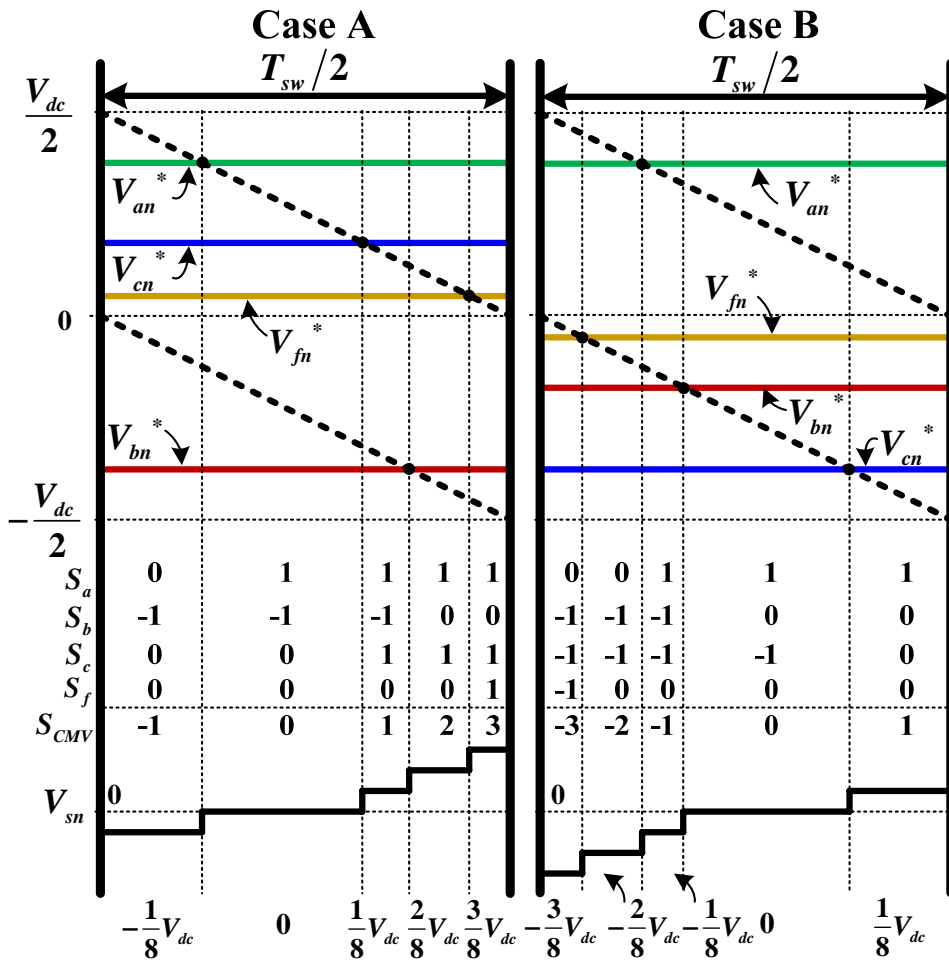


그림 2.3 스위칭 패턴 (공간 벡터 전압 변조 방식 적용 시)

Figure 2.3 Switching pattern of SVPWM

다음으로 정현과 전압 변조 방식은 그림 2.2 에서의 움셋 전압을 아래와 같이 정해주면 된다.

$$V_{fn}^* = 0. \quad (2.11)$$

정현과 전압 변조 방식을 적용했을 때의 예시 스위칭 패턴은 그림 2.4와 같다. 이때에도 스위칭 패턴은 2가지 형태 (Case A, Case B)로만 나오게 된다. Case A의 경우는 3개의 상 전압 (Phase voltage) 지령 ($V_{af}^*, V_{bf}^*, V_{cf}^*$) 중 2개가 양 (+)인 경우이고, Case B의 경우는 3개의 상 전압 지령 중 1개가 양 (+)인 경우이다.

먼저 Case A의 스위칭 패턴을 살펴보면, a, c 레그의 극 전압 지령은 양이므로, 스위칭 상태는 0에서 1로 변하게 되고, b 레그의 극 전압 지령은 음이므로, -1에서 0으로 변하게 된다. 그리고 f 레그 극 전압 지령은 0이므로, 스위칭 상태는 변하지 않게 된다. 따라서 (2.7)에서 정의된 바와 같이 S_{CMV} 의 초기 값은 -1이 되고, 마지막 값은 2가 된다. S_{CMV} 는 4개의 극 전압 지령이 삼각파와 만날 때마다 값이 증가하므로, -1, 0, 1, 2과 같이 총 4가지 값을 가지게 된다. (2.6)에 의하면 해당하는 커먼 모드 전압은 $-\frac{1}{8}V_{dc}$, 0, $\frac{1}{8}V_{dc}$, $\frac{2}{8}V_{dc}$ 가 된다.

같은 방식으로 Case B의 스위칭 패턴을 살펴보면, a 레그의 극 전압 지령은 양이므로, 스위칭 상태는 0에서 1로 변하게 되고, b, c 레그의 극 전압 지령은 음이므로, -1에서 0으로 변하게 된다. 따라서 (2.7)에서 정의된 바와 같이 S_{CMV} 의 초기 값은 -2가 되고, 마지막 값은 1이 된다. S_{CMV} 는 4개의 극 전압 지령이 삼각파와 만날 때마다 값이 증가하므로, -2, -1, 0, 1과 같이 총 4가지 값을 가지게 된다. 따라서 (2.6)에 의해

해당하는 커먼 모드 전압은 $-\frac{2}{8}V_{dc}$, $-\frac{1}{8}V_{dc}$, 0 , $\frac{1}{8}V_{dc}$ 가 된다.

Case A, Case B 두 가지 경우를 종합하면, S_{CMV} 는 $-2, -1, 0, 1, 2$ 의 값을 가지게 되고, 커먼 모드 전압은 $-\frac{2}{8}V_{dc}$, $-\frac{1}{8}V_{dc}$, 0 , $\frac{1}{8}V_{dc}$,

$\frac{2}{8}V_{dc}$ 가 된다.

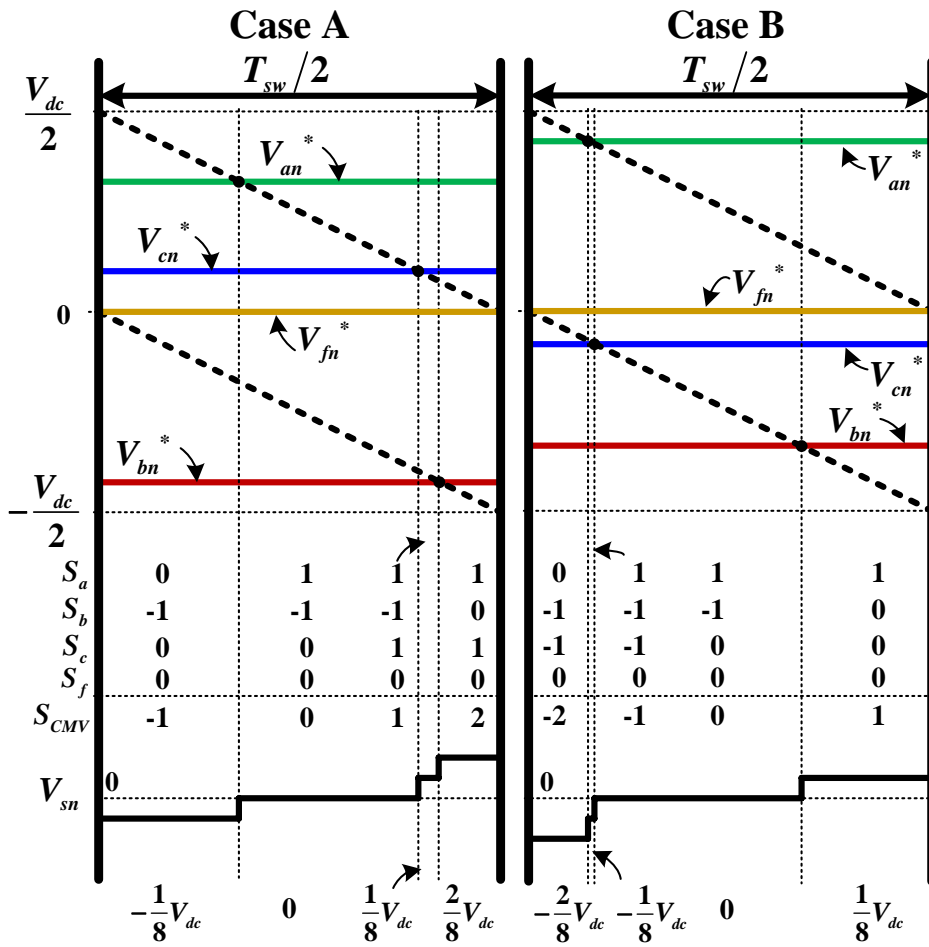


그림 2.4 스위칭 패턴 (정현파 전압 변조 방식 적용 시)

Figure 2.4 Switching pattern of SPWM

기존 PWM 방법을 적용했을 때, 각각의 커먼 모드 전압은 표 2.1에 정리되어 있다.

표 2.1 전압 변조 방식에 따른 커먼 모드 전압

Table 2.1 Common-mode voltage according to PWM methods

항목	SVPWM	SPWM
ΔV_{sn}	$\frac{1}{8}V_{dc}$	$\frac{1}{8}V_{dc}$
$V_{sn,pk-pk}$	$\frac{3}{4}V_{dc}$	$\frac{2}{4}V_{dc}$
V_{sn} 변화 횟수 ($T_{sw}/2$ 동안)	4	3

여기서 정현파 전압 변조 방식을 적용했을 때, S_{CMV} 의 두 가지 법칙을 확인할 수 있다. 하나는 삼각파가 최고점에 있을 때, S_{CMV} 는 -1 또는 -2 의 값을 가지게 된다. 다른 하나는 각각의 극 전압 지령이 삼각파와 만나는 지점에서 S_{CMV} 는 1씩 증가하게 된다.

2.3 제안된 커먼 모드 전압 저감 PWM 방법

2.3.1 제안된 커먼 모드 전압 저감 PWM 방법의 원리

실제 문제가 되는 것은 커먼 모드 전압 그 자체가 아니라 커먼 모드 전류이다. 따라서 커먼 모드 전류를 줄이는 것이 중요하다. 그림 2.1에서 커먼 모드 전류와 커먼 모드 전압의 관계는 (2.12)와 같다.

$$i_{cm} = \frac{dV_{cm}}{dt}. \quad (2.12)$$

식 (2.12)를 살펴보면, 커먼 모드 전류를 줄이기 위해서는 커먼 모드 전압의 크기를 줄이는 것도 중요하고, 커먼 모드 전압의 변화 횟수를 줄이는 것 또한 중요하다.

2.2절에서 확인한 정현파 전압 변조 방식 적용 시 S_{CMV} 의 2가지 법칙을 근거해서 S_f 를 적절히 조작해준다면, S_{CMV} 를 최대한 작은 값을 가지도록 하면서 동시에 그 변화 횟수도 줄일 수 있다. 다시 한번 그림 2.4와 같은 정현파 전압 변조 방식 적용 시 스위칭 패턴을 살펴보면, S_{CMV} 는 Case A에서 -1, 0, 1, 2의 값을 가지고, Case B에서 -2, -1, 0, 1의 값을 가지게 된다. 정현파 전압 변조 방식에서 S_f 는 항상 0을 가지게 된다.

여기서 S_f 가 항상 0이 아니라 만약 Case A에서는 1, 0, -1, -2의 값을 가지고, Case B에서는 2, 1, 0, -1을 가지게 된다고 가정하자.

그럴 경우 최종적인 \mathbf{S}_{CMV} 는 Case A와 Case B 모두의 경우에서 항상 0, 0, 0, 0이 된다. 이것은 (2.6)에 의해 커먼 모드 전압이 항상 0V임을 의미하고, (2.12)에 의하면 커먼 모드 전류는 0A가 됨을 알 수 있다. 하지만 불행히도 (2.5)에 의하면 \mathbf{S}_f 는 2 또는 -2의 값을 가질 수 없다. 따라서 최대한 커먼 모드 전압을 줄이기 위한 \mathbf{S}_f 는 Case A에서는 1, 0, -1, -1 이 되고, Case B에서는 1, 1, 0, -1 이 된다. 따라서 이때의 \mathbf{S}_{CMV} 는 Case A에서 0, 0, 0, 1 이 되고, Case B에서 -1, 0, 0, 0 이 된다. 최종적인 커먼 모드 전압은 Case A에서 0, 0, 0, $\frac{1}{8}V_{dc}$ 가 되고, Case B에서는 $-\frac{1}{8}V_{dc}$, 0, 0, 0 이 된다. 이렇게 된다면 커먼 모드 전압의 첨두치 ($V_{sn,pk-pk}$)는 $\frac{1}{4}V_{dc}$ 로 줄어들게 되고, $T_{sw}/2$ 동안 커먼 모드 전압의 변화 횟수는 1로 줄어들게 된다. 이때의 스위칭 패턴은 그림 2.5와 같다.

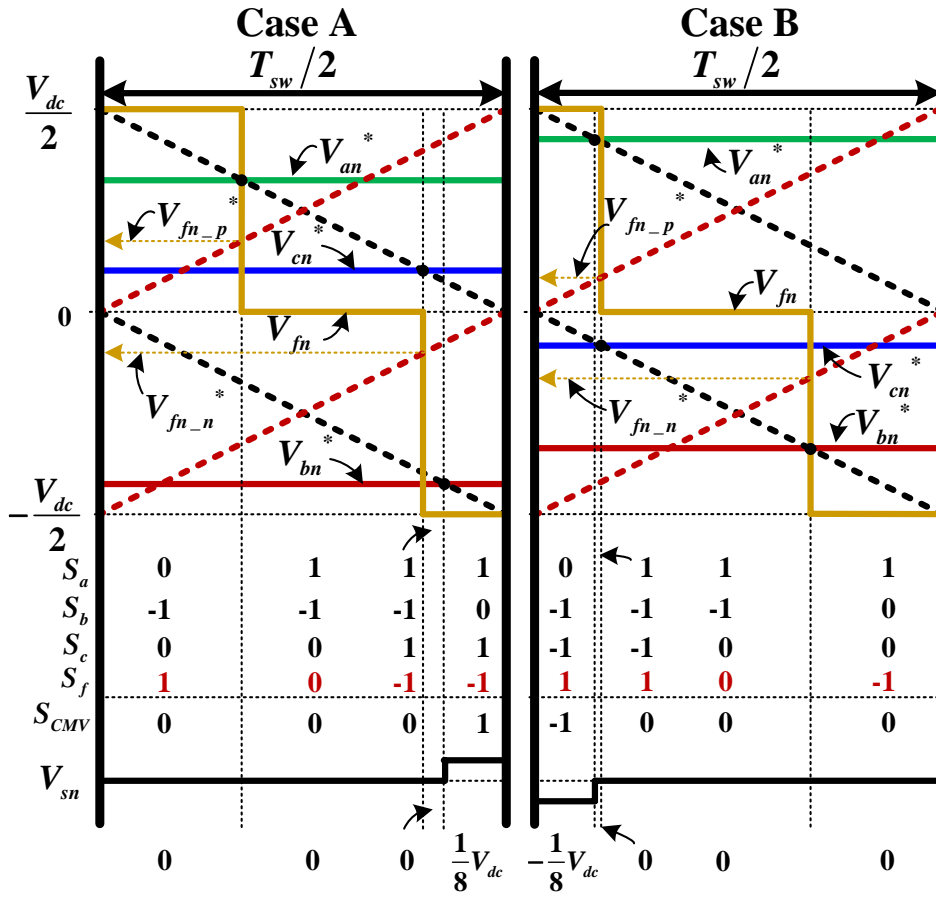


그림 2.5 스위칭 패턴 (제안된 커먼 모드 전압 저감 PWM 방법, PPPWM1)

Figure 2.5 Switching pattern of PPPWM1

2.3.2 제안된 커먼 모드 전압 저감 PWM 방법의 구현

2.3.1절에서와 같이 S_f 를 구현하기 위해서는 f 레그의 극 전압은 그림 2.5와 같이 $T_{sw}/2$ 동안 $\frac{1}{2}V_{dc}$, 0, $-\frac{1}{2}V_{dc}$ 의 3가지 값을 가져야 한다. 이는 2 가지 값 ($0, \frac{1}{2}V_{dc}$ 혹은 $-\frac{1}{2}V_{dc}, 0$)을 가지는 a, b, c 레그 극 전압과는 다르게 된다.

3레벨 토폴로지에서의 삼각파 변조 방식은 2개의 삼각파를 사용하므로, $T_{sw}/2$ 동안 f 레그가 3개의 값을 가지도록 구현 할 수 있다. 제안하는 커먼 모드 전압 저감 PWM 방법의 블록도는 그림 2.6과 같다. 제안된 방법을 구현하기 위해서는 기존 PWM 방법인 그림 2.2에 비해 두 가지가 변경되어야 한다. 하나는 S_f 가 역순의 스위칭 상태를 가지기 위해 f 레그 극 전압 비교를 위한 삼각파의 위상은 a, b, c 레그에 사용된 삼각파의 위상과 180도 차이가 나야 한다. 또 다른 하나는 위 삼각파 ($0 \sim \frac{1}{2}V_{dc}$)와 아래 삼각파 ($-\frac{1}{2}V_{dc} \sim 0$)에 각각 사용될 f 레그 극 전압 지령들 (V_{fn-p}^* , V_{fn-n}^*)이 필요하다.

그림 2.5의 제안된 커먼 모드 전압 저감 PWM 방법의 스위칭 패턴에서 f 레그 극 전압을 살펴보면, Case A에서 V_{fn-p}^* 는 $\frac{V_{dc}}{2} - V_{an}^*$ 가 되어

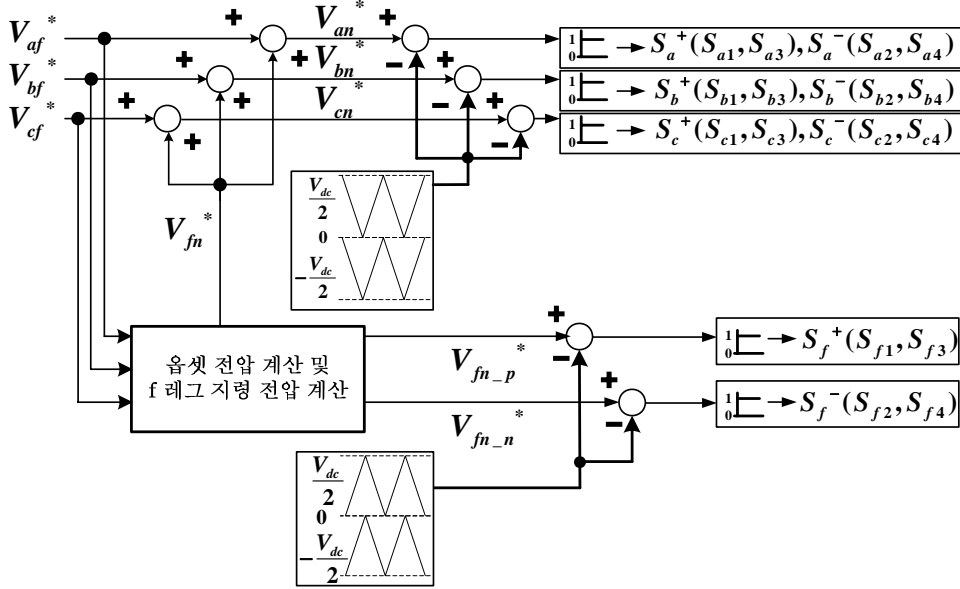


그림 2.6 제안된 커먼 모드 전압 저감을 위한 PWM 방법 블록도

Figure 2.6 Block diagram of proposed reduced common-mode voltage PWM

야 하고, V_{fn-n}^* 는 $-V_{cn}^*$ 가 된다.

f 레그 지령 (V_{fn-p}^* , V_{fn-n}^*)을 일반적으로 표현 하면 Case A에서는 (2.13)과 같다.

$$\begin{cases} V_{fn-p}^* = \frac{V_{dc}}{2} - V_{\max_pole}^p \\ V_{fn-n}^* = -V_{\mid_pole}^p \end{cases} \quad (2.13)$$

여기서 $V_{\max_pole}^p$, $V_{\mid_pole}^p$, $V_{\min_pole}^p$ 은 (2.14)와 같이 정의된다.

$$\begin{cases} V_{\max_pole}^p = \max(V_{an}^p, V_{bn}^p, V_{cn}^p) \\ V_{\text{mid_pole}}^p = \text{mid}(V_{an}^p, V_{bn}^p, V_{cn}^p) \\ V_{\min_pole}^p = \min(V_{an}^p, V_{bn}^p, V_{cn}^p) \end{cases} \quad (2.14)$$

또 다시 $V_{an}^p, V_{bn}^p, V_{cn}^p$ 은 아래와 같이 정의된다.

$$V_{xn}^p \triangleq \begin{cases} V_{xn}^*, & V_{xn}^* \geq 0 \\ V_{xn}^* + \frac{V_{dc}}{2}, & V_{xn}^* < 0 \end{cases}, x = a, b, c. \quad (2.15)$$

또한 같은 방식으로 Case B에서의 f 레그 지령 ($V_{fn_p}^*, V_{fn_n}^*$)을 일반적으로 표현을 하면 (2.16)과 같다.

$$\begin{cases} V_{fn_p}^* = \frac{V_{dc}}{2} - V_{\text{mid_pole}}^p \\ V_{fn_n}^* = -V_{\min_pole}^p \end{cases} \quad (2.16)$$

식 (2.13), (2.16)과 같이 f 레그 지령 전압들을 설정해주면, 커먼 모드 전압을 최소로 줄일 수 있다.

하지만, (2.13), (2.16)을 적용 하면, $T_{sw}/2$ 동안 f 레그 극 전압의 평균은 0이 아니게 된다. 따라서 0이 아닌 f 레그 극 전압에 의해 그림 2.1 에서 a, b, c 상 전압($V_{a'f'}, V_{b'f'}, V_{c'f'}$)에 왜곡이 발생하게 된다. 따라서 그림 2.6 에서 어떠한 읍셋 전압 (V_{fn}^*)이 적절하게 상 전압 지령에 더해져야 출력 상 전압의 왜곡을 막아줄 수 있다.

먼저 커먼 모드 전압 저감을 위해 변형된 f 레그의 극 전압 값을 살펴보자. 그림 2.5의 Case A의 경우에 $T_{sw}/2$ 동안 f 레그의 평균 극 전압

($V_{fn_average}$)은 (2.17)과 같이 된다.

$$V_{fn_average} = \frac{V_{dc}}{2} - V_{\max_pole}^p - V_{\min_pole}^p. \quad (2.17)$$

식 (2.17)에서 f 레그 평균 극 전압은 각각 상 전압에 더해질 옴셋 전압 (V_{fn}^*)과 같아야 한다. 따라서 (2.18)과 같이 정리할 수 있다.

$$V_{fn}^* = \frac{V_{dc}}{2} - V_{\max_pole}^p - V_{\min_pole}^p. \quad (2.18)$$

여기서 $V_{\max_pole}^p$, $V_{\min_pole}^p$, $V_{\min_pole}^p$ 은 극 전압이므로 (2.19)와 같이 다시 상 전압과 옴셋 전압의 합으로 표현해 줄 수 있다.

$$\begin{cases} V_{\max_pole}^p = V_{\max_phase}^p + V_{fn}^* \\ V_{\min_pole}^p = V_{\min_phase}^p + V_{fn}^* \\ V_{\min_pole}^p = V_{\min_phase}^p + V_{fn}^* \end{cases} \quad (2.19)$$

이때 $V_{\max_phase}^p$, $V_{\min_phase}^p$, $V_{\min_phase}^p$ 은 아래와 같다.

$$\begin{cases} V_{\max_phase}^p = \max(V_{af}^p, V_{bf}^p, V_{cf}^p) \\ V_{\min_phase}^p = \min(V_{af}^p, V_{bf}^p, V_{cf}^p) \\ V_{\min_phase}^p = \min(V_{af}^p, V_{bf}^p, V_{cf}^p) \end{cases} \quad (2.20)$$

또 다시 V_{af}^p , V_{bf}^p , V_{cf}^p 은 아래와 같이 정의 된다.

$$V_{xf}^p \triangleq \begin{cases} V_{xf}^* & , V_{xf}^* \geq 0 \\ V_{xf}^* + \frac{V_{dc}}{2} & , V_{xf}^* < 0 \end{cases}, x = a, b, c. \quad (2.21)$$

식 (2.18)에 (2.19)를 대입하여 다시 정리해주면 (2.22)와 같다.

$$V_{fn}^* = \frac{V_{dc}}{2} - (V_{\max_phase}^p + V_{fn}^*) - (V_{\min_phase}^p + V_{fn}^*). \quad (2.22)$$

(2.22)를 옴셋 전압에 관해 정리하면 (2.23)과 같다.

$$V_{fn}^* = \frac{1}{3} \left(\frac{V_{dc}}{2} - V_{\max_phase}^p - V_{\min_phase}^p \right). \quad (2.23)$$

같은 방식으로 Case B에서의 윗 전압은 (2.24)와 같다.

$$V_{fn}^* = \frac{1}{3} \left(\frac{V_{dc}}{2} - V_{\max_phase}^p - V_{\min_phase}^p \right). \quad (2.24)$$

식 (2.13), (2.16)와 같이 f 레그 지령 전압들을 설정해주고, (2.23), (2.24)를 이용하여 윗 전압을 설정해주면, 상 전압의 왜곡은 없으면서도 커먼 모드 전압을 최소로 줄일 수 있다.

2.3.3 제안된 커먼 모드 전압 저감 PWM 방법의 구현 변형

2.3.2절에서 언급한 커먼 모드 전압 저감 PWM 방법을 PPPWM1 (Push-Pull PWM1)으로 부르도록 한다. 그림 2.5에서의 PPPWM1 스위칭 패턴에서 볼 수 있듯이, f 레그의 극 전압은 3개의 a, b, c 레그 극 전압이 변동하는 순간에 동기되어 (Synchronize) 값이 변하게 된다. Case A에서 f 상의 극 전압 변동은 첫 번째, 두 번째 극 전압 변화와 동기되어 변하게 된다. Case B에서는 두 번째, 세 번째 극 전압 변화와 동기되어 변하게 된다.

f 레그의 극 전압 변동 순간을 바꿀 수 있는데, 그 변형을 각각 PPPWM2, PPPWM3라 부르도록 한다. PPPWM2는 f 레그 극 전압이 Case A에서 두 번째, 세 번째 극 전압 변화와 동기되어 변하게 하고, Case B에서는 첫 번째, 두 번째 극 전압 변화와 동기되어 변하게 한다. PPPWM3는 Case A와 Case B 모두에서 첫 번째, 세 번째 극 전압 변화와 동기되어 변하게 한다.

그림 2.7과 그림 2.8은 각각 PPPWM2의 스위칭 패턴과 PPPWM3의 스위칭 패턴이다.

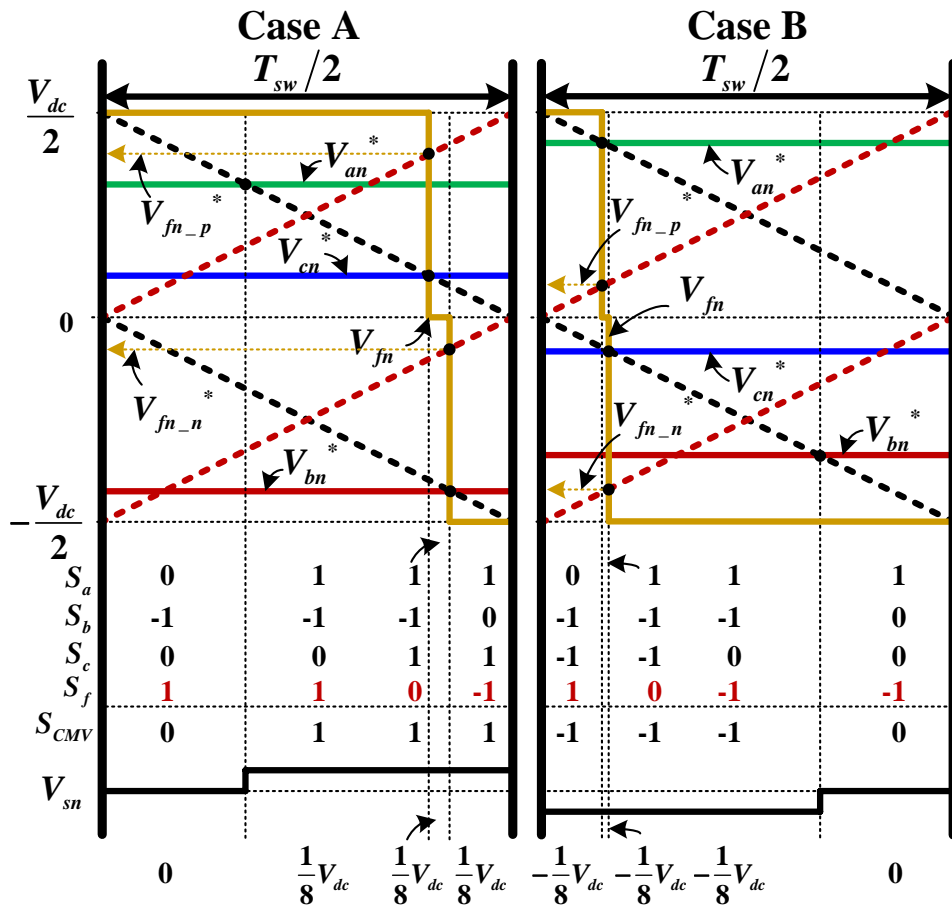


그림 2.7 스위칭 패턴 (제안된 커먼 모드 전압 저감 PWM 방법, PPPWM2)

Figure 2.7 Switching pattern of PPPWM2

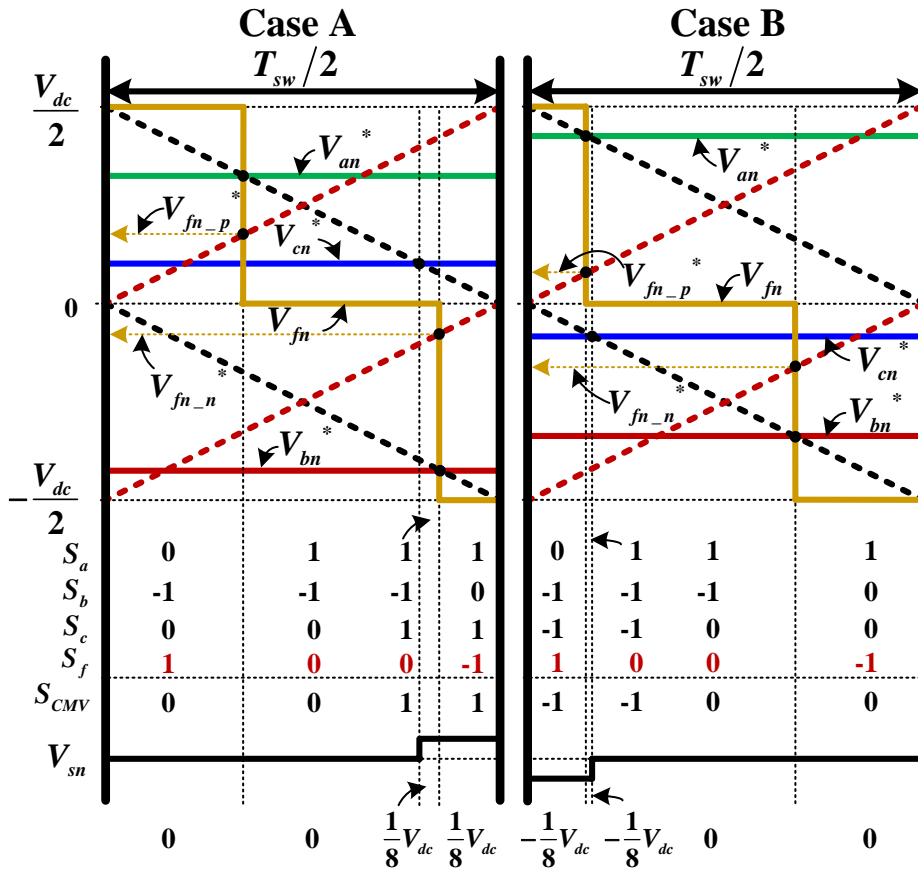


그림 2.8 스위칭 패턴 (제한된 커먼 모드 전압 저감 PWM 방법, PPPWM3)

Figure 2.8 Switching pattern of PPPWM3

PPPWM1, PPPWM2 그리고 PPPWM3 의 각 방법을 적용할 때 각각의 경우에서 커먼 모드 전압 (V_{sn})을 살펴보면 a, b, c 레그 극 전압은 같더라도 커먼 모드 전압의 모양이 다른 것을 알 수 있다. 그러나 $T_{sw}/2$ 동안 커먼 모드 전압의 변동은 모든 방법에서 한번씩만 변동하는 것을 알 수 있다. 따라서 (2.12)의 관계에서 보면 커먼 모드 전류는 한번만 발생하게 된다.

그림 2.9 는 제안된 커먼 모드 전압 저감 PWM 방법의 f 레그 극 전압 지령들과 옅섯 전압을 계산하는 순서도 (Flow chart)이다. 그림 2.9 의 a, b, c, d 값은 PWM 방법에 따라 표 2.2 에 정리되어 있다.

표 2.2 그림 2.9 에 사용된 값

Table 2.2 Values for flowchart in Figure 2.9

PWM 방법	Case	a	b	c	d
PPPWM1	A	$V_{\max_phase}^p$	$V_{\mid_phase}^p$	$V_{\max_pole}^p$	$V_{\mid_pole}^p$
	B	$V_{\mid_phase}^p$	$V_{\min_phase}^p$	$V_{\mid_pole}^p$	$V_{\min_pole}^p$
PPPWM2	A	$V_{\mid_phase}^p$	$V_{\min_phase}^p$	$V_{\mid_pole}^p$	$V_{\min_pole}^p$
	B	$V_{\max_phase}^p$	$V_{\mid_phase}^p$	$V_{\max_pole}^p$	$V_{\mid_pole}^p$
PPPWM3	A	$V_{\max_phase}^p$	$V_{\min_phase}^p$	$V_{\max_pole}^p$	$V_{\min_pole}^p$
	B				

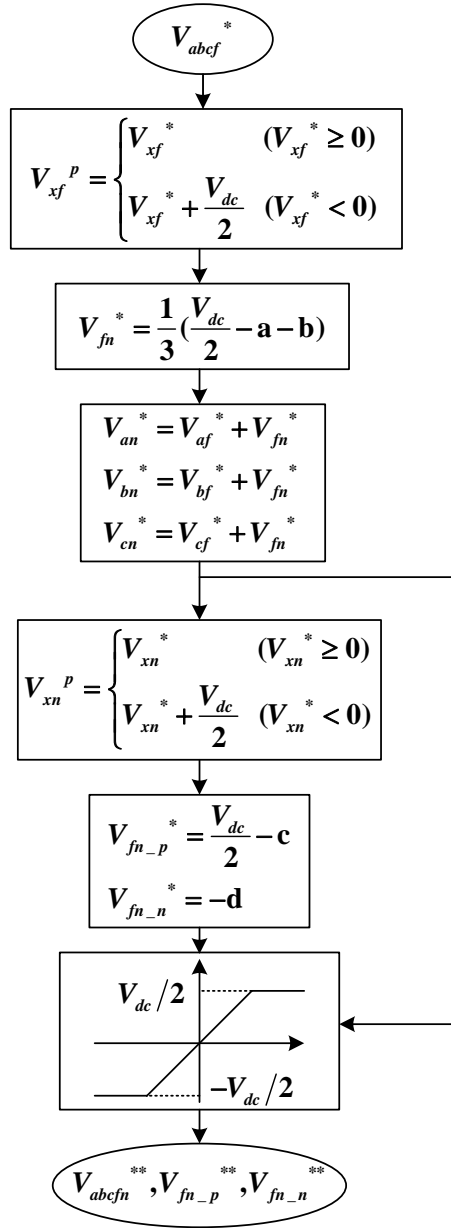


그림 2.9 제안된 커먼 모드 전압 저감 PWM 방법에서 f 레그 극 전압
지령들 및 옵셋 전압 계산 방법

Figure 2.9 Flow chart of PPPWM methods

2.4 PWM 방법의 성능 비교

2.3절에서 살펴본 PWM 방법들의 성능을 기존 연구에서 사용한 PWM 평가 지수를 이용하여 비교하였다[41, 42]. 여기서는 전압 사용률과 HDF (Harmonic Distortion Factor)를 살펴보도록 한다.

2.4.1 전압 사용률

전압 사용률은 컨버터의 주요 평가 항목 중 하나로 고정된 직류단 전압에서 얼마나 큰 교류 전압을 합성할 수 있는지 평가하는 지표이다. 전압 사용률이 높을수록 바람직하다.

여기서 전압 변조 지수 (Modulation index)는 아래와 같이 정의한다 [42].

$$Mi \triangleq \frac{V_{lm}}{V_{dc}/2}. \quad (2.25)$$

여기서 V_{lm} 은 출력 상 전압의 기본파 성분의 크기이다.

전압 변조 지수가 어떠한 한계 값 이내에서는 출력 교류 전압이 지령 값 그대로 출력이 된다(Linear region). 하지만 어떠한 한계 값 이상으로 지령이 생성된 경우(Over modulation)에는 출력 전압이 그만큼 못나가게 된다(Non-linear region). 따라서 출력 전압에 고조파 성분이 포함되게 되고, 부족한 전압 때문에 시스템의 동특성이 떨어지게 된다. 이때 어떠한 한계 값을 여기서 전압 사용률 (Voltage linearity limit)이라 할 수 있다. 사용하는 전압 변조 (PWM) 방법에 따라 전압 사용률이 달라지게 된다.

각각의 PWM 방법의 전압 사용률을 살펴보자. 전압 사용률을 살펴보기 위해서 상 전압을 (2.26)과 같다고 가정할 수 있다.

$$\begin{cases} V_{af}^* = V_m \sin \omega t \\ V_{bf}^* = V_m \sin(\omega t - \frac{2}{3}\pi) . \\ V_{cf}^* = V_m \sin(\omega t + \frac{2}{3}\pi) \end{cases} \quad (2.26)$$

식 (2.26)에서 상 전압 지령의 크기는 V_m 이 된다.

먼저 정현과 전압 변조 방식 (SPWM)의 전압 사용률을 살펴보자. 정현과 전압 변조 방식의 윗셋 전압은 (2.11)과 같다. 이때는 상 전압 지령과 극 전압 지령이 같게 된다. 극 전압 지령의 크기의 최대값은 (2.27)과 같다.

$$(V_{xn}^*)_{peak} = V_m . \quad (2.27)$$

극 전압 지령이 제대로 출력되기 위해서는 (2.28)을 만족해야 한다.

$$(V_{xn}^*)_{peak} \leq V_{dc} / 2 . \quad (2.28)$$

식 (2.28)에 (2.27)을 대입하면, (2.29)와 같다.

$$V_m \leq V_{dc} / 2 . \quad (2.29)$$

식 (2.29)를 (2.25)와 같은 형태로 다시 정리하면 (2.30)과 같다.

$$Mi \triangleq \frac{V_m}{V_{dc} / 2} \leq 1 . \quad (2.30)$$

식 (2.30)을 통해서 정현과 전압 변조 방식의 경우 전압 사용률은 1이 됨을 알 수 있다.

공간 벡터 전압 변조 방식의 경우에 윗셋 전압은 (2.8)과 같다. 이때

극 전압 크기의 최대값은 (2.31)과 같다.

$$(V_{xn}^*)_{peak} = \frac{\sqrt{3}}{2} V_m. \quad (2.31)$$

식 (2.31) 또한 (2.28)에 대입해주고, (2.25)의 형태로 정리해주면 식 (2.32)와 같다.

$$Mi \triangleq \frac{V_m}{V_{dc}/2} \leq \frac{2}{\sqrt{3}} = 1.1547. \quad (2.32)$$

공간 벡터 전압 변조 방식의 경우 전압 사용률은 1.1547이 된다. 이 값의 의미는 공간 벡터 전압 변조 방식의 경우에는 삼각파 비교 변조 방법 (SPWM)보다 15.47% 정도 더 큰 크기의 상 전압을 합성할 수 있음을 의미한다.

PPPWM 방법들에서의 전압 사용률을 살펴보면, 기존 PWM 방법과는 다르게 복잡하다. 이는 옅셋 전압에 해당하는 성분이 기존 PWM 방법들에서는 상 전압의 크기에만 관련되어 있는데 반해, PPPWM 방법들은 직류단 전압과도 연관이 되기 때문이다.

먼저 PPPWM1 방법에서 극 전압의 최대값은 아래와 같다.

$$(V_{xn}^*)_{peak} = \frac{4}{3} V_m - \frac{1}{6} V_{dc}. \quad (2.33)$$

식 (2.33)을 (2.28)에 대입하면 (2.34)와 같다.

$$\frac{4}{3} V_m - \frac{1}{6} V_{dc} \leq V_{dc}/2. \quad (2.34)$$

식 (2.34)를 (2.25)의 형태로 정리해주면, (2.35)와 같다.

$$Mi \triangleq \frac{V_m}{V_{dc}/2} \leq 1. \quad (2.35)$$

다음으로 PPPWM2 방법에서 극 전압의 최대값은 아래와 같다.

$$(V_{xn}^*)_{peak} = \frac{2\sqrt{3}}{3}V_m - \frac{1}{6}V_{dc}. \quad (2.36)$$

식 (2.36)을 (2.28)에 대입하면 (2.37)과 같다.

$$\frac{2\sqrt{3}}{3}V_m - \frac{1}{6}V_{dc} \leq V_{dc}/2. \quad (2.37)$$

식 (2.37)을 (2.25)의 형태로 정리해주면, (2.38)과 같다.

$$Mi \triangleq \frac{V_m}{V_{dc}/2} \leq \frac{\sqrt{3}}{2} = 0.8660. \quad (2.38)$$

마지막으로 PPPWM3 방법에서 극 전압의 최대값은 아래와 같다.

$$(V_{xn}^*)_{peak} = \frac{\sqrt{7}}{3}V_m. \quad (2.39)$$

(2.39)를 (2.28)에 대입하면 (2.40)과 같다.

$$\frac{\sqrt{7}}{3}V_m \leq V_{dc}/2. \quad (2.40)$$

(2.40)을 (2.25)의 형태로 정리해주면, (2.41)과 같다.

$$Mi \triangleq \frac{V_m}{V_{dc}/2} \leq \frac{3}{\sqrt{7}} = 1.1339. \quad (2.41)$$

앞의 결과를 종합한 각 PWM 방법 별 전압 사용률 제한 값이 그림 2.10에 묘사되어 있다. SVPWM 방법이 육각형의 내접원 형태로 가장 큰 값을 가진다. PPPWM3 방법이 그 다음으로 큰 값 (1.1339)을 가진다. SPWM, PPPWM1 방법은 전압 사용률이 1로 같은 값을 가지고, PPPWM2 방법은 가장 작은 값 (0.8660)을 가진다.

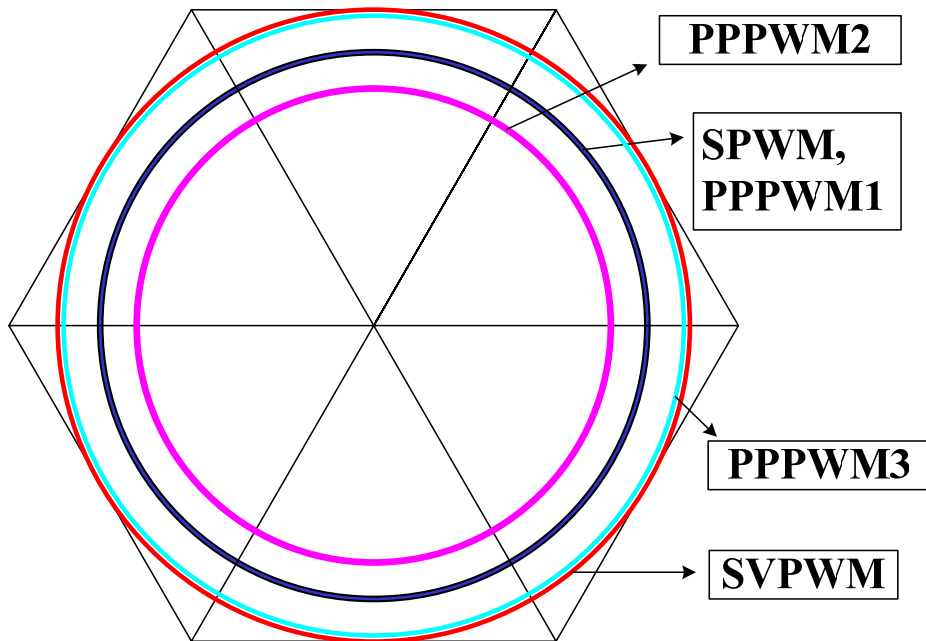


그림 2.10 PWM 별 전압 사용률 제한 값

Figure 2.10 Voltage linearity limit

그림 2.11은 PWM 방법에 따른 상 전압과 극 전압의 관계를 보여준다. SPWM, SVPWM 과 다르게 PPPWM1 은 M_i 가 0.7384에서 불연속 점이 있는 것을 볼 수 있다. PPPWM2와 PPPWM3에서는 M_i 가 0.5774에서 불연속 점이 있는 것을 볼 수 있다.

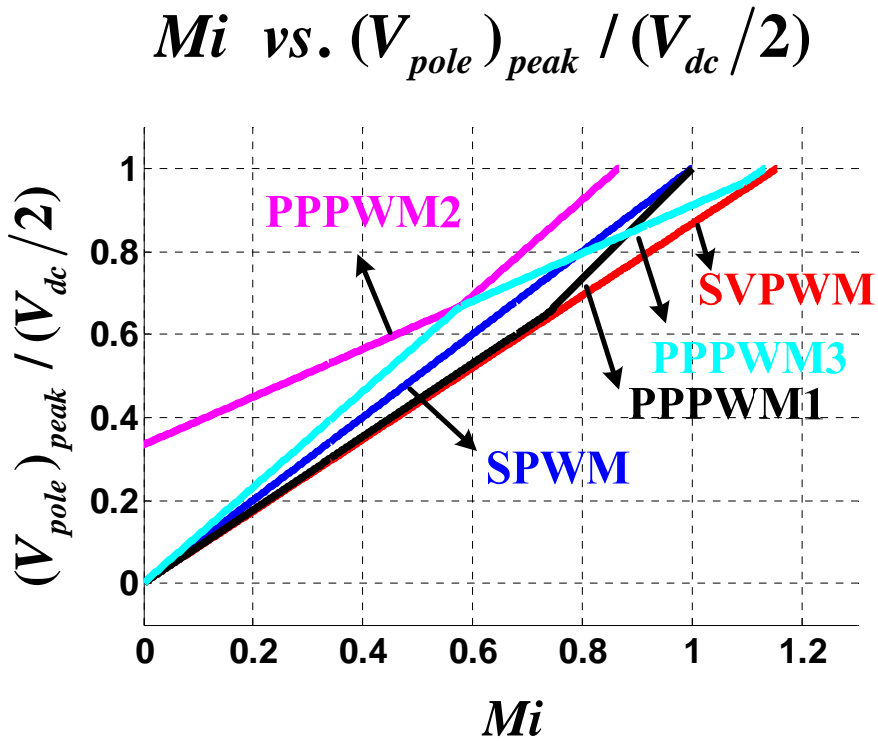


그림 2.11 PWM 방법 별 정규화된 상 전압과 극 전압의 관계

Figure 2.11 Relationship between M_i and the pole voltage as normalized by $\frac{V_{dc}}{2}$

그림 2.12는 실제 시뮬레이션 시 M_i 에 따른 PWM 방법 별 a 레그의 극 전압과 옵셋 전압 파형이다. SPWM에서는 M_i 가 1보다 클 때 극 전압에 왜곡이 생긴 것을 볼 수 있다. SVPWM에서는 M_i 가 1.15에서도 왜곡이 되지 않았다. PPPWM1에서는 M_i 가 1 보다 클 때, 왜곡이 발생했다. PPPWM2에서는 M_i 가 0.8660보다 큰 경우에 왜곡이 생기지만, PPPWM3에서는 M_i 가 1.13까지 왜곡이 생기지 않은 것을 알 수 있다.

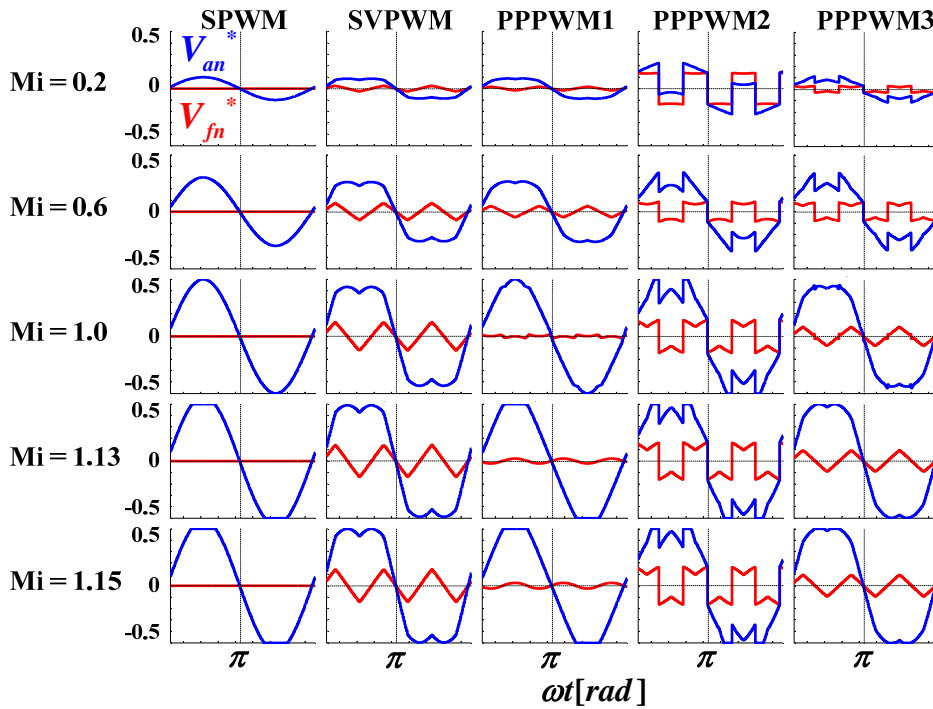


그림 2.12 PWM 방법 별 극 전압과 옵셋 전압

Figure 2.12 a leg pole voltage and offset voltage

2.4.2 HDF (Harmonic Distortion Factor)

컨버터의 출력 전압은 컨버터 자체의 스위칭 동작으로 인해 불가피하게 고조파 (Harmonic) 전압이 포함되어 있다. 고조파 전압은 지령 전압 벡터 (\mathbf{V}^*)와 출력 전압 벡터 (\mathbf{V}_k)의 차이로 볼 수 있고, 고조파 전압은 고조파 전류 리플을 발생시킨다. 기존 연구[41]에서 2레벨 3레그 토폴로지의 경우 인덕터 부하 모델을 가정하여 고조파 자속 (Flux)에 대한 분석을 수행하였다. 같은 방식으로 (2.42)와 같이 3레벨 4레그 토폴로지에서의 고조파 자속을 분석하였다.

$$\lambda_h(\mathbf{M}_i, \boldsymbol{\theta}, \mathbf{V}_{dc}) = \int_{NT_{sw}}^{(N+1)T_{sw}} (\mathbf{V}_k - \mathbf{V}^*) dt. \quad (2.42)$$

(2.42)는 N 번째 PWM 주기에서의 고조파 자속을 의미한다. 여기서 고조파 자속은 $\mathbf{M}_i, \boldsymbol{\theta}, \mathbf{V}_{dc}$ 에 의해 달라지는데, $\boldsymbol{\theta}$ 는 지령 전압 벡터의 위상을 의미한다. 그러나 3레벨 4레그의 전압 벡터는 (2.43)과 같이 영상분 전압 성분(\mathbf{V}_n)을 포함한다.

$$\mathbf{V} = \begin{bmatrix} \mathbf{V}_d \\ \mathbf{V}_q \\ \mathbf{V}_n \end{bmatrix} = \begin{bmatrix} \frac{2}{3} & -\frac{1}{3} & -\frac{1}{3} \\ 0 & \frac{1}{\sqrt{3}} & -\frac{1}{\sqrt{3}} \\ \frac{1}{3} & \frac{1}{3} & \frac{1}{3} \end{bmatrix} \begin{bmatrix} \mathbf{V}_a \\ \mathbf{V}_b \\ \mathbf{V}_c \end{bmatrix}. \quad (2.43)$$

고조파 자속, λ_h ,은 (2.44)와 같이 정규화 (Normalize)될 수 있다.

$$\lambda_{hn} = \frac{\pi}{V_{dc} T_{sw}}. \quad (2.44)$$

M_i , θ , V_{dc} 가 각각 0.6, 30 도, 400V 일 때, 다양한 PWM 방법의 고조파 자속의 궤적을 살펴보면 그림 2.13 과 같다. 4 레그 토폴로지에서의 영상분 전압 영향으로 고조파 자속의 궤적이 3 차원으로 보이는 것을 알 수 있다. 원점에서의 거리가 가까울수록 자속의 리플이 작다고 볼 수 있다.

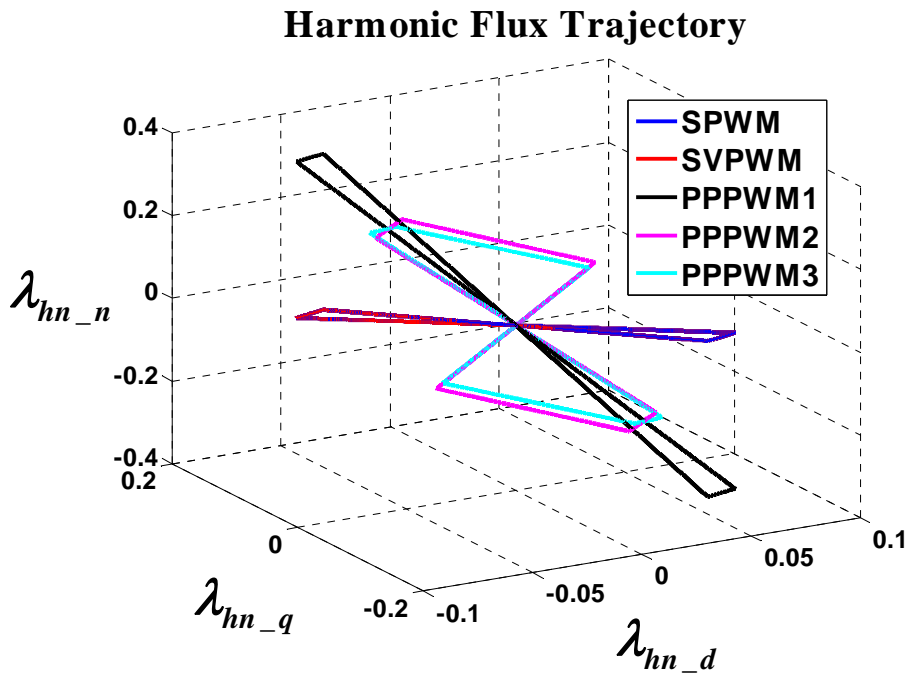


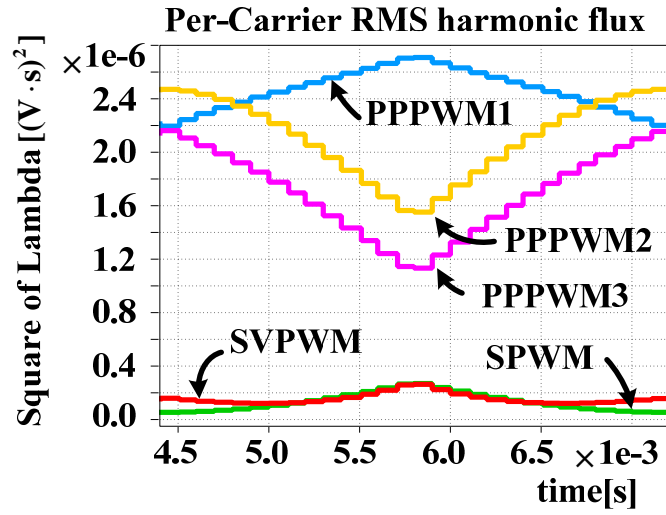
그림 2.13 3레벨 4레그 컨버터의 PWM 방법 별 고조파 자속 궤적

Figure 2.13 Harmonic flux trajectory of various PWM method in three level four leg converter

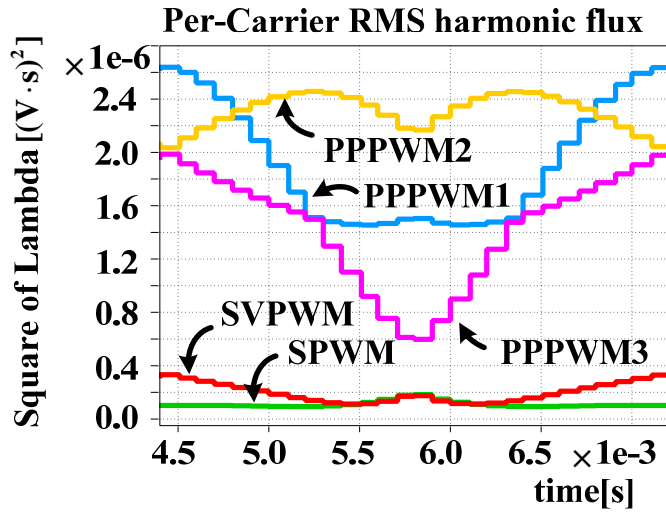
PWM 주기 동안 정규화된 고조파 자속 벡터의 실효치 (RMS) 값은 (2.45)를 이용하여 계산할 수 있다.

$$\lambda_{hn_rms}(Mi, \theta) = \sqrt{\int_{T_{sw}} |\lambda_{hn}|^2 dt} . \quad (2.45)$$

Matlab 소프트웨어를 이용한 정규화된 고조파 자속 벡터의 실효치 (RMS)를 M_i 가 각각 0.5, 0.8660 일 때 각 PWM 마다 계산하여 도시하면 그림 2.14 와 같다.



(a)



(b)

그림 2.14 3레벨 4레그 컨버터의 PWM 방법 별 PWM 사이클 고조파
자속 실효치 (a) $M_i = 0.5$, (b) $M_i = 0.86$

Figure 2.14 Square of λ_{mn} (a) $M_i = 0.5$, and (b) $M_i = 0.86$

PPPWM 방법들의 고조파 자속의 실효치 값이 기존 PWM 방법보다 큰 것을 볼 수 있고, PPPWM 방법들 중에서는 PPPWM3 방법의 고조파 플럭스 실효치 값이 가장 작은 것을 볼 수 있다.

고조파 플럭스의 실효치를 기본과 한 주기 마다 평균하면 (2.46)과 같이 HDF 를 계산할 수 있다.

$$HDF = f(Mi) = \frac{288}{\pi^2} \frac{1}{2\pi} \int_0^{2\pi} \lambda_{hm_rms}^2 d\theta. \quad (2.46)$$

Mi 에 따른 각 PWM 방법의 HDF 가 그림 2.15 에 도시되어 있다.

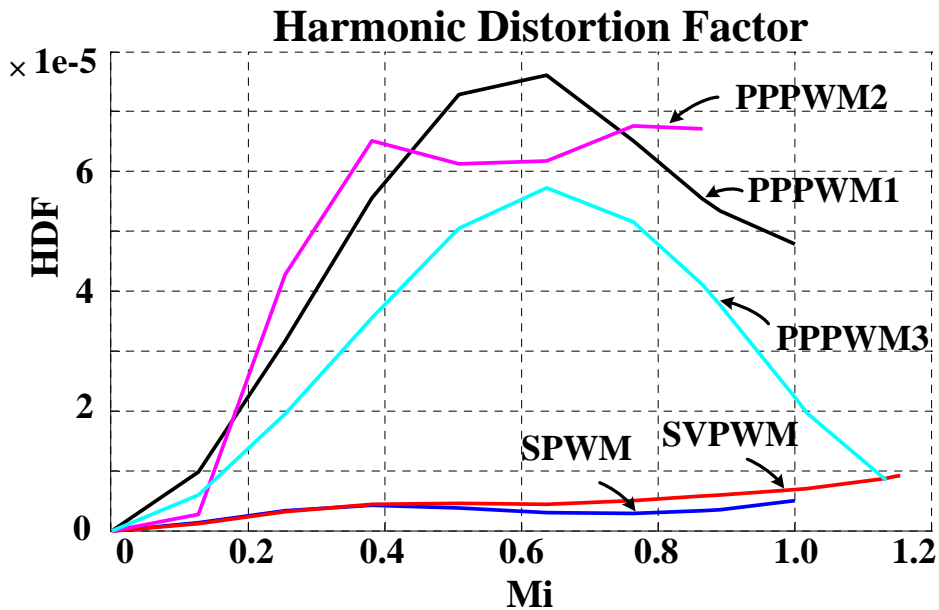


그림 2.15 3레벨 4레그 컨버터의 PWM 방법 별 HDF

Figure 2.15 Harmonic Distortion Factor (HDF) according to each PWM method

HDF 가 전류의 품질을 결정할 뿐만 아니라, 고조파 손실을 결정하기도 한다. 따라서 작은 HDF 를 가지는 PWM 방법이 선호된다. PPPWM 방법들의 HDF 가 기존 방법보다는 크지만, PPPWM3 의 HDF 가 PPPWM 중에서 가장 작은 것을 볼 수 있다.

PWM 방법 별 성능이 표 2.3 에 요약되어 있다. 전압 사용률이나 HDF 면에서는 SVPWM 이 가장 우수하지만, 커먼 모드 전압 특성 면에서는 가장 안 좋은 것을 알 수 있다. PPPWM 방법 들은 대체로 HDF 특성은 기존 PWM 방법에 비해서는 좋지 않으나 커먼 모드 전압은 기존 방법에 비해 작다는 장점이 있다. PPPWM 방법 중에 PPPWM3 방법이 HDF 나 전압 사용률 면에서는 가장 우수하다.

표 2.3 PWM 방법 별 성능 요약

Table 2.3 Performance comparison of various PWM methods

	SVPWM	SPWM	PPPWM1	PPPWM2	PPPWM3
HDF (Middle Mi)	작음	작음	큼	중간	중간
HDF (High Mi)	작음	작음	중간	큼	작음
Voltage linearity limit	1.1547	1	1	0.866	1.1339
ΔV_{sn}	$\frac{1}{8}V_{dc}$	$\frac{1}{8}V_{dc}$	$\frac{1}{8}V_{dc}$	$\frac{1}{8}V_{dc}$	$\frac{1}{8}V_{dc}$
$V_{sn,pk-pk}$	$\frac{3}{4}V_{dc}$	$\frac{2}{4}V_{dc}$	$\frac{1}{4}V_{dc}$	$\frac{1}{4}V_{dc}$	$\frac{1}{4}V_{dc}$
V_{sn} 변화 횟수 ($T_{sw}/2$ 동 안)	4	3	1	1	1

2.5 모의 실험 결과

제안된 커먼 모드 전압 저감 PWM 방법의 유효성을 확인하기 위해 모의 실험을 수행하였다. 모의 실험에 사용된 회로는 그림 2.16 과 같다. 모의 실험은 Matlab 과 PLECS 를 이용하여 수행하였다.

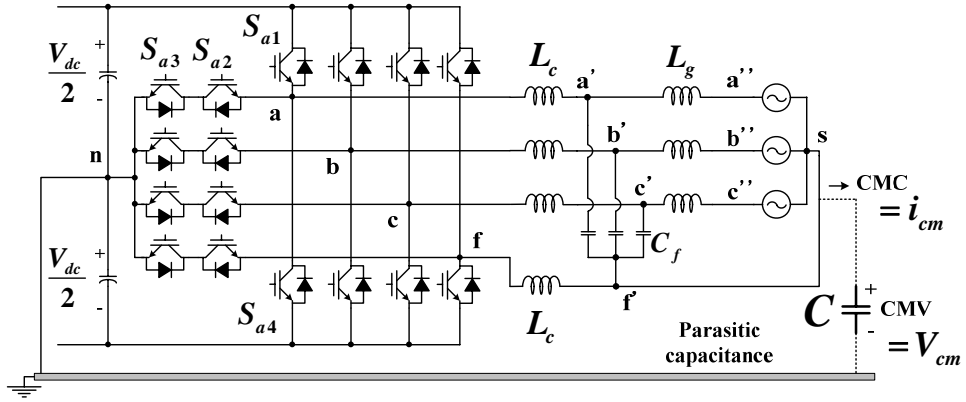


그림 2.16 모의 실험에 사용된 회로

Figure 2.16 Circuit used in simulation

스위칭 주파수 (f_{sw})는 7 kHz 이고, 데드 타임 (T_{dead})은 $2\mu s$ 로 설정하였다. 직류단 전압 (V_{dc})은 400V 이고, 계통 전압의 크기는 $220V_{l-l,rms}$ 이다. 여기서 사용된 수동 소자 (L_c, L_g, C_f)는 각각 $1.2mH$, $0.7mH$, $9\mu F$ 이다.

그림 2.17 은 PPPWM3 적용 시 각각의 실제 극 전압과 그때의 커먼 모드 전압이다. 3 개의 a, b, c 레그 극 전압 중 2 개의 극 전압이 음이므로 Case B 에 해당한다. 그림에서 표시된 $T_{sw}/2$ 동안 f 레그는 b, c 레그의 스위칭에 동기되어 스위칭 하는 것을 볼 수 있다. 이때 커먼 모드 전압의 첨두치는 $\frac{1}{4}V_{dc}$ 로 유지되고 있는 것을 볼 수 있다. 하지만, 동그란 점선에 보이는 것과 데드 타임 동안 짧은 펄스 형태의 전압이 보이는 것을 볼 수 있다. 이것은 바람직하지 않지만, PPPWM 의 방식이 동시 스위칭 (Simultaneous switching) 방식에 기반하고 있기 때문에 불가피하다.

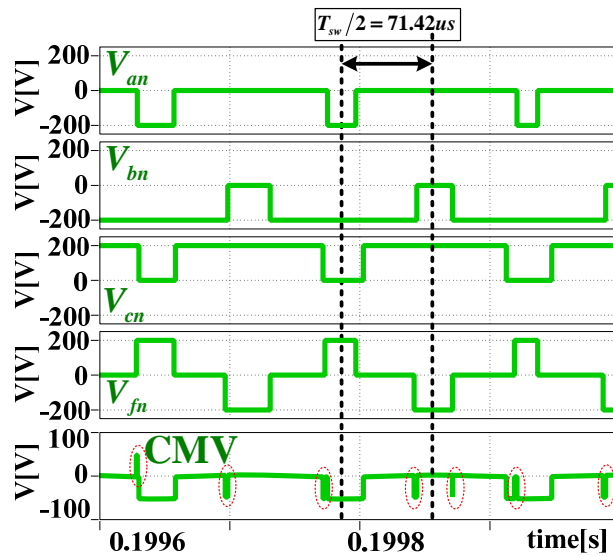


그림 2.17 PPPWM3 적용 시 4개 극 전압 파형 및 그때의 커먼 모드 전압

Figure 2.17 Pole voltages and the CMV of the PPPWM3 method

그림 2.18 은 같은 상 전압 지령인 경우에 PWM 방법에 따라 커먼 모드 전압이 어떻게 변하는지 보여주는 파형이다. SVPWM 을 적용하였을 때에는 커먼 모드 전압의 첨두치는 가장 큰 300V 로 $\frac{3}{4}V_{dc}$ 가 된다. SPWM 의 경우에는 커먼 모드 전압의 첨두치는 200V 로 $\frac{2}{4}V_{dc}$ 가 된다. PPPWM3 를 적용하였을 경우에는 짧은 펄스 형태의 전압을 제외하면 커먼 모드 전압의 첨두치는 가장 작은 100V 로 $\frac{1}{4}V_{dc}$ 가 된다. 이 결과를 봤을 때, PPPWM3 방법을 적용 시 커먼 모드 전압의 첨두치가 줄어든 것을 볼 수 있다.

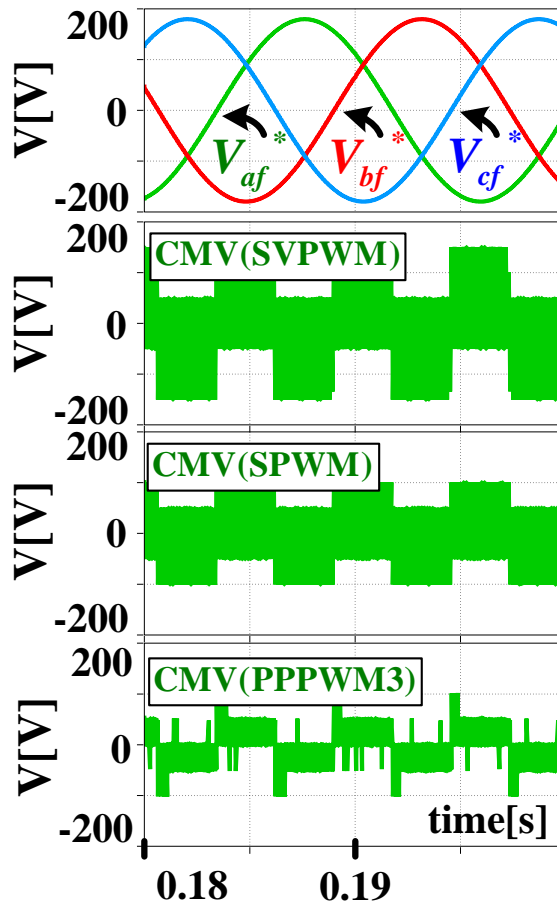


그림 2.18 상 전압과 PWM 방법 별 커먼 모드 전압

Figure 2.18 Phase voltage reference and CMVs of SVPWM, SPWM and PPPWM3 methods

그림 2.19 는 그림 2.18 의 PWM 별 커먼 모드 전압의 확대 파형이다. $T_{sw}/2$ 동안 SVPWM 의 커먼 모드 전압은 4 번 변하게 되고, SPWM 에서는 커먼 모드 전압은 SVPWM 보다 한 번의 스위칭을 덜하므로 3 번 변하는 것을 알 수 있다. PPPWM3 방법의 경우에는 커먼 모드 전압이 같은 시간 동안 짧은 펄스를 제외하고는 한 번씩 변하는 것을 볼 수 있다.

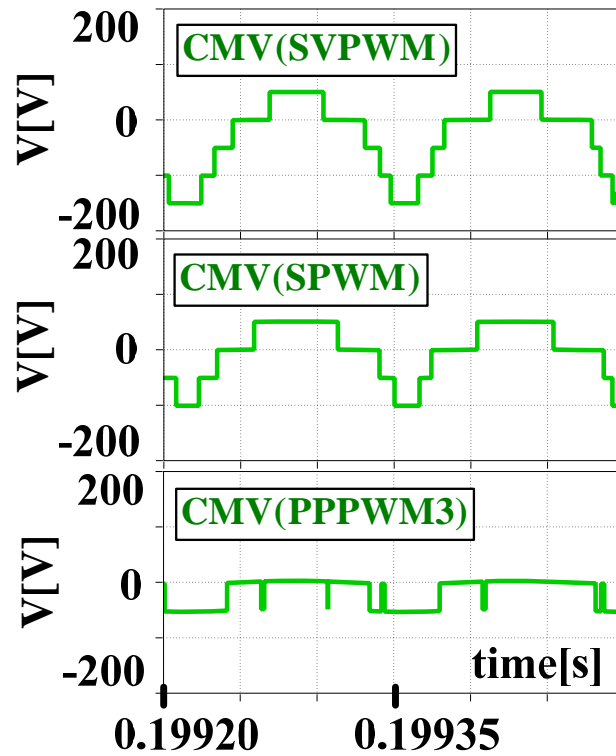


그림 2.19 그림 2.18의 커먼 모드 전압 확대 파형

Figure 2.19 Magnified CMVs in Figure 2.18

2.6 실험 결과

그림 2.16 과 같은 회로를 그림 2.20 과 같이 실제 제작하였다. 한 레그당 사용한 T-type 전력용 반도체 모듈은 Vincotech 사의 10-FZ12NMA080SH01-M260F 이다.

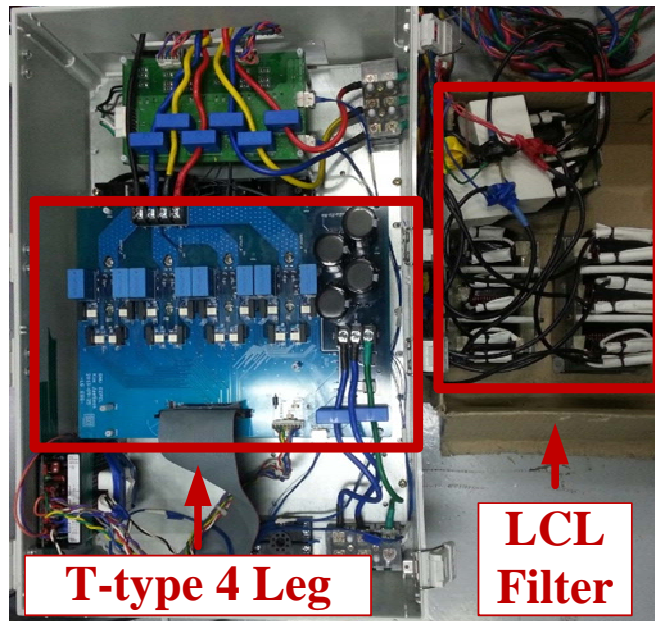


그림 2.20 실험 세트 (5kW T-type 4레그)

Figure 2.20 Experimental set-up (5kW T-type with four legs)

전체 제어에 사용된 제어 보드의 DSP 소자는 TI 사의 TMS320C28346 이다. 스위칭 주파수 (f_{sw})는 7 kHz 이고, 데드 타임 (T_{dead})은 $2\mu s$ 로 설정하였다. 직류단 전압 (V_{dc})은 400V 이고, 계통

전압의 크기는 $220V_{l-l,rms}$ 이다. 여기서 사용된 수동 소자 (L_c, L_g, C_f)는 각각 $1.2mH$, $0.7mH$, $9\mu F$ 이다. 이 값들은 모의 실험에서 사용한 값들과 같다.

그림 2.21 은 PPPWM3 방법을 적용하였으나, 각 상 전압에 더해준 옵셋 전압 (V_{fn}^*)을 0 으로 설정하였을 때, 상 전류와 커먼 모드 전압의 파형이다. 커먼 모드 전압은 저감이 되었으나, 상 전류의 왜곡이 심한 것을 볼 수 있다. 이는 커먼 모드 전압을 위해 조작된 f 레그의 실제 극 전압이 0 이 아니기 때문이다.

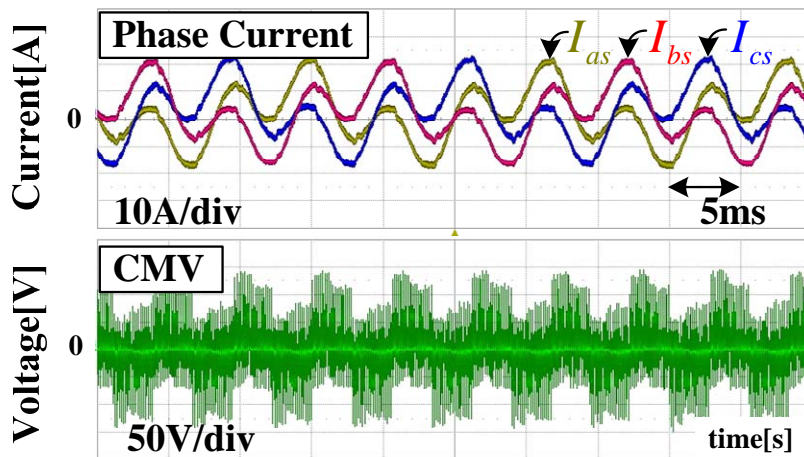


그림 2.21 상 전류와 커먼 모드 전압 (PPPWM3, $V_{fn}^* = 0$)

Figure 2.21 Phase current and common-mode voltage
(PPPWM3, $V_{fn}^* = 0$)

그림 2.22 는 윗셋 전압을 표 2.2 에 나온 값을 이용하여 적절히 인가하였을 때의 파형이다. 커먼 모드 억제를 위한 f 레그 극 전압에 해당하는 전압들이 3 개의 a, b, c 상 전압에 적절히 더해졌으므로, 상 전류의 왜곡이 사라진 것을 볼 수 있다.

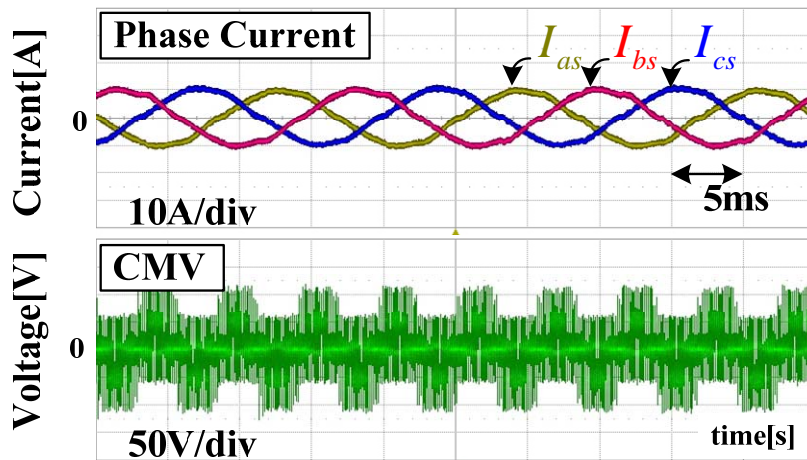


그림 2.22 상 전류와 커먼 모드 전압 (PPPWM3, $V_{fn}^* \neq 0$)

Figure 2.22 Phase current and common-mode voltage
(PPPWM3, $V_{fn}^* \neq 0$)

그림 2.23 은 PWM 별 커먼 모드 전압 파형이다. SVPWM 을 적용하였을 때에는 커먼 모드 전압의 첨두치는 가장 큰 300V 로 $\frac{3}{4}V_{dc}$ 가 된다. SPWM 의 경우에는 커먼 모드 전압의 첨두치는 200V 로 $\frac{2}{4}V_{dc}$ 가 된다. PPPWM3 를 적용하였을 경우에는 짧은 펄스 형태의 전압을 제외하면 커먼 모드 전압의 첨두치는 가장 작은 100V 로 $\frac{1}{4}V_{dc}$ 가 된다. 이 결과를 통해, PPPWM3 방법을 적용하면 커먼 모드 전압의 첨두치가 줄어드는 것을 확인할 수 있다. 실제 이론 치보다 첨두치가 크게 나오는 이유는 소자의 기생 성분에 의한 전압 진동 (Ringing) 때문이다.

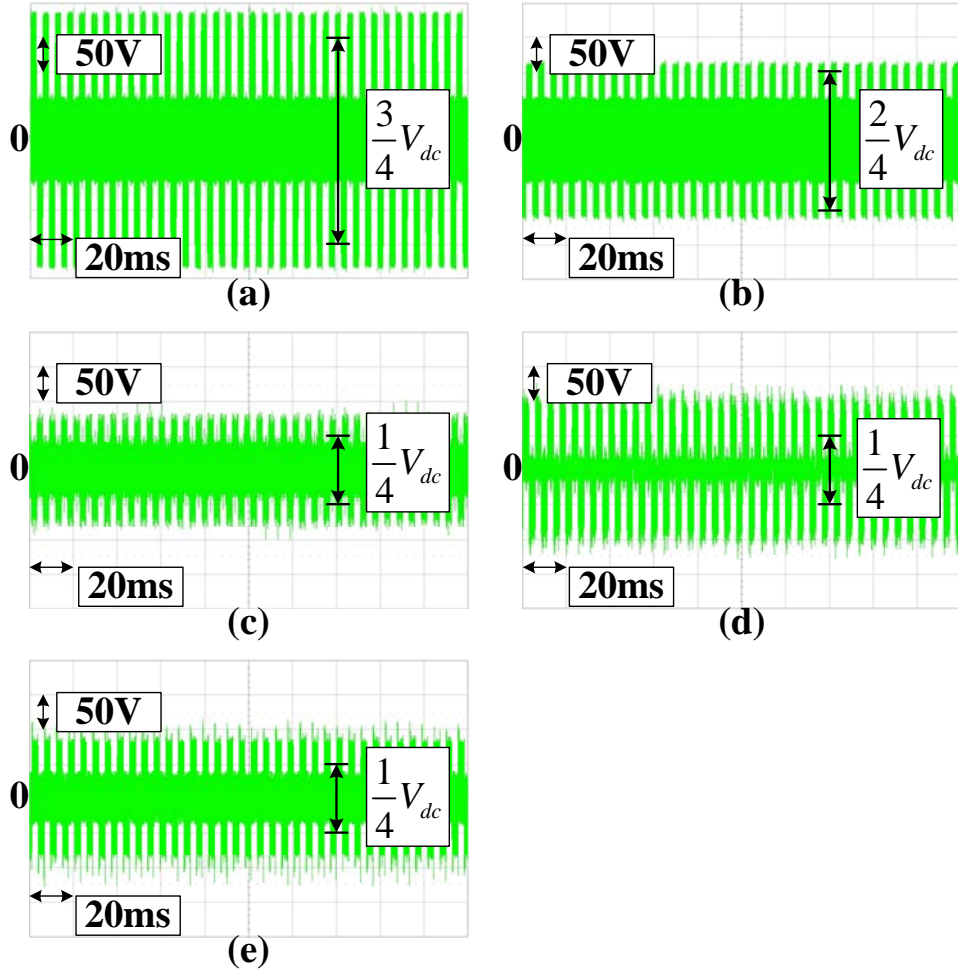


그림 2.23 커먼 모드 전압

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.23 Common-mode voltage

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

그림 2.24 는 그림 2.23 의 PWM 별 커먼 모드 전압의 확대 파형이다. $T_{sw}/2$ 동안 SVPWM 의 커먼 모드 전압은 4 번 변하게 되고, SPWM 에서는 커먼 모드 전압은 SVPWM 보다 한 번의 스위칭을 덜하므로 3 번 변하는 것을 알 수 있다. PPPWM1, PPPWM2, PPPWM3 방법의 경우에는 커먼 모드 전압이 같은 시간 동안 모의 실험 결과와는 다르게 짧은 펄스는 회로의 기생 (Parasitic) 성분 에 의해 필터링 되어 보이지 않고 한 번씩 변하는 것을 볼 수 있다.

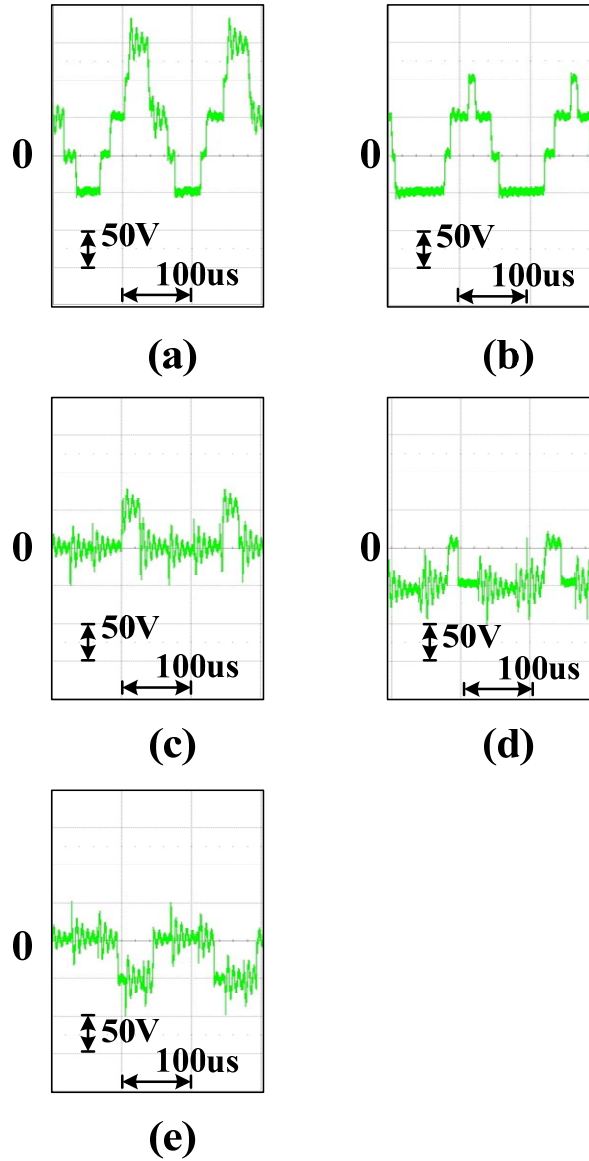


그림 2.24 커먼 모드 전압 (그림 2.23 의 확대 파형)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.24 Common-mode voltage (Magnified waveform of Figure 2.23)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

그림 2.25 는 그림 2.23 의 커먼 모드 전압의 FFT 파형이다. 여기서 스위칭 주파수 ($f_{sw} = 7kHz$) 성분의 크기를 살펴보면, SVPWM, SPWM 에 비해 PPPWM 방법들에서 그 크기가 많이 줄어든 것을 볼 수 있다. 또한 2 배, 3 배 주파수 성분에서도 그 크기가 줄어든 것을 볼 수 있다.

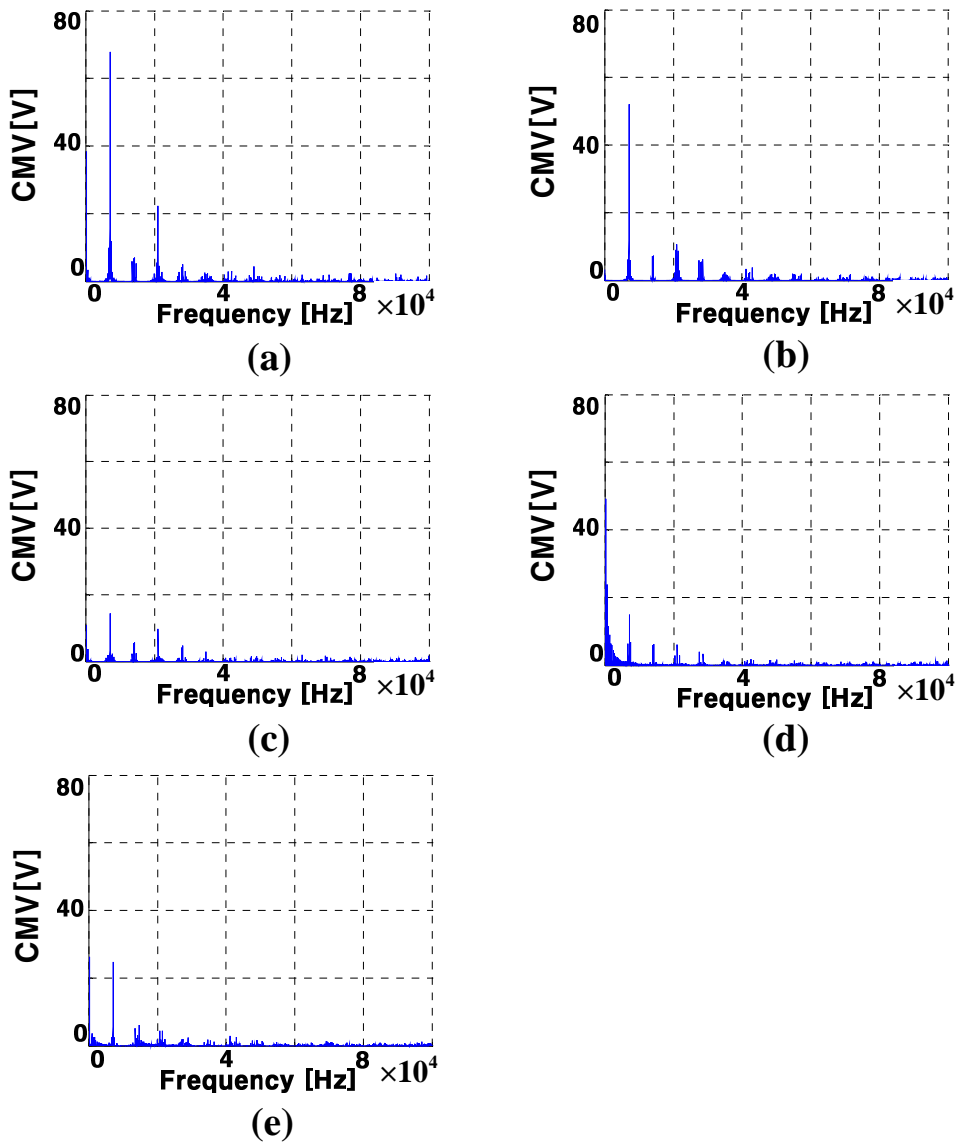


그림 2.25 그림 2.23 의 커먼 모드 전압 FFT

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.25 FFT of Common-mode voltage in Figure 2.23

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

그림 2.26 은 그림 2.25 의 커먼 모드 전압의 FFT 과형을 확대한 것이다. 여기서 스위칭 주파수 (f_{sw}) 이하에서 성분의 크기를 살펴보면, SVPWM, SPWM 에 비해 PPPWM 방법들에서 그 크기가 많이 줄어든 것을 볼 수 있다. PPPWM 방법들 중에서는 PPPWM1 의 커먼 모드 전압의 크기가 가장 작은 것을 볼 수 있다.

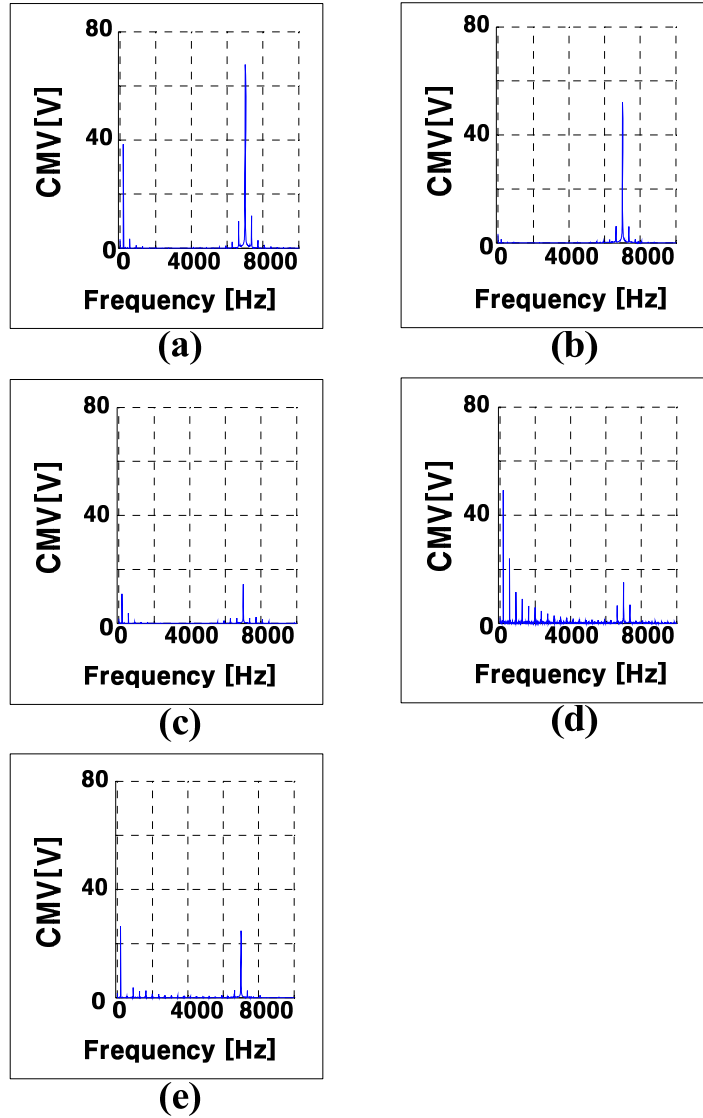


그림 2.26 커먼 모드 전압의 FFT (그림 2.25의 확대 파형)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.26 FFT of Common-mode voltage (Magnified waveform of Figure 2.25)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

그림 2.1과 같은 회로를 교류 전원 장치 (AC Power Supply)로 동작을 시켜보았다. 이때, 상 전압 지령의 크기는 $220\sqrt{\frac{2}{3}}V$, 주파수는 60 Hz로 설정하였다. 4레그 토폴로지의 상 별 독립적인 전압 합성 동작 확인을 위해서 불평형 (unbalanced) 부하를 출력단에 연결하였다. a상 부하는 $40+2\pi 60\times 0.05[\Omega]$, b상 부하는 $20+2\pi 60\times 0.025[\Omega]$, c상 부하는 아무 것도 연결하지 않았다($\infty[\Omega]$).

그림 2.27 은 PPPWM3 를 적용했을 때의 결과로 부하가

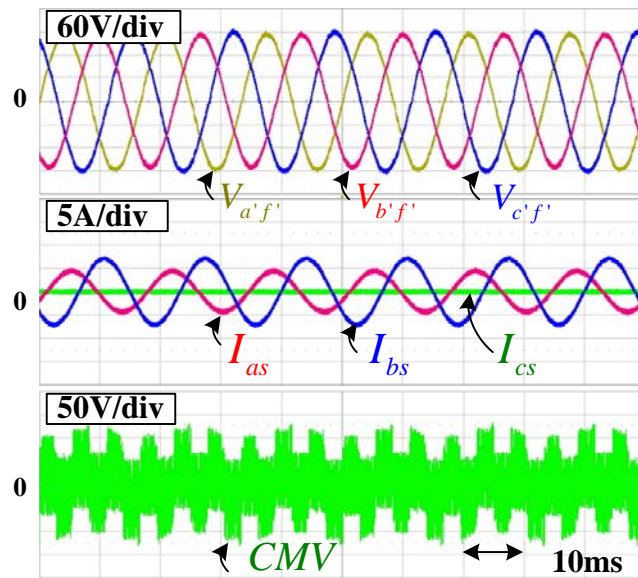


그림 2.27 전압 제어 시 부하 전압, 부하 전류 및 커먼 모드 전압 (PPPWM3)

Figure 2.27 Load voltages, load current and common-mode voltage in voltage control mode (PPPWM3)

불평형이므로 a, b 상 전류는 서로 다르고 c 상 전류는 아무것도 흐르지 않는 것을 볼 수 있다. 이때에도 부하에 걸리는 전압은 평형되어 있는 것을 볼 수 있고, 커먼 모드 전압도 줄어든 것을 볼 수 있다.

그림 2.28 은 컨버터를 교류 전원 장치로 동작시키고 PWM 방법을 바꿔가면서 커먼 모드 전압을 측정한 후 그것을 FFT 한 결과이다. 이 결과는 계통 연결 후 전류 제어 했을 때의 커먼 모드 전압의 FFT 결과인 그림 2.25, 그림 2.26 과 거의 같은 결과를 보여 주고 있다.

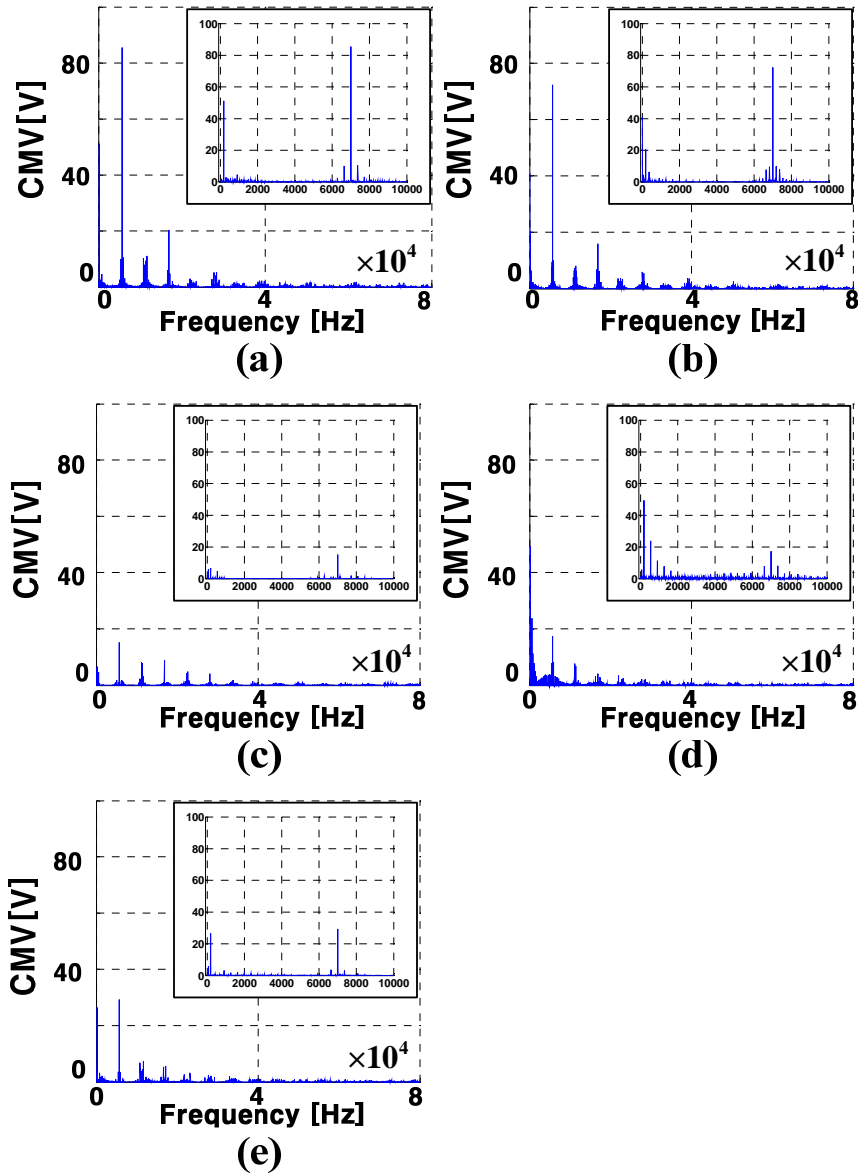


그림 2.28 전압 제어 시 커먼 모드 전압의 FFT

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.28 FFT of Common-mode voltage in voltage control mode

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

그림 2.23의 파형은 시스템과 계통 전원 사이의 연결을 수 m 이내의 짧은 전선을 이용했을 때의 결과이다. 추가적으로 긴 길이 (100m)의 전선을 이용하여 연결 후 커먼 모드 전압을 측정해보았다. 이때의 결과는 그림 2.29와 같은데 전선의 길이가 짧았을 때의 결과인 그림 2.23과 거의 유사한 것을 확인할 수 있었다.

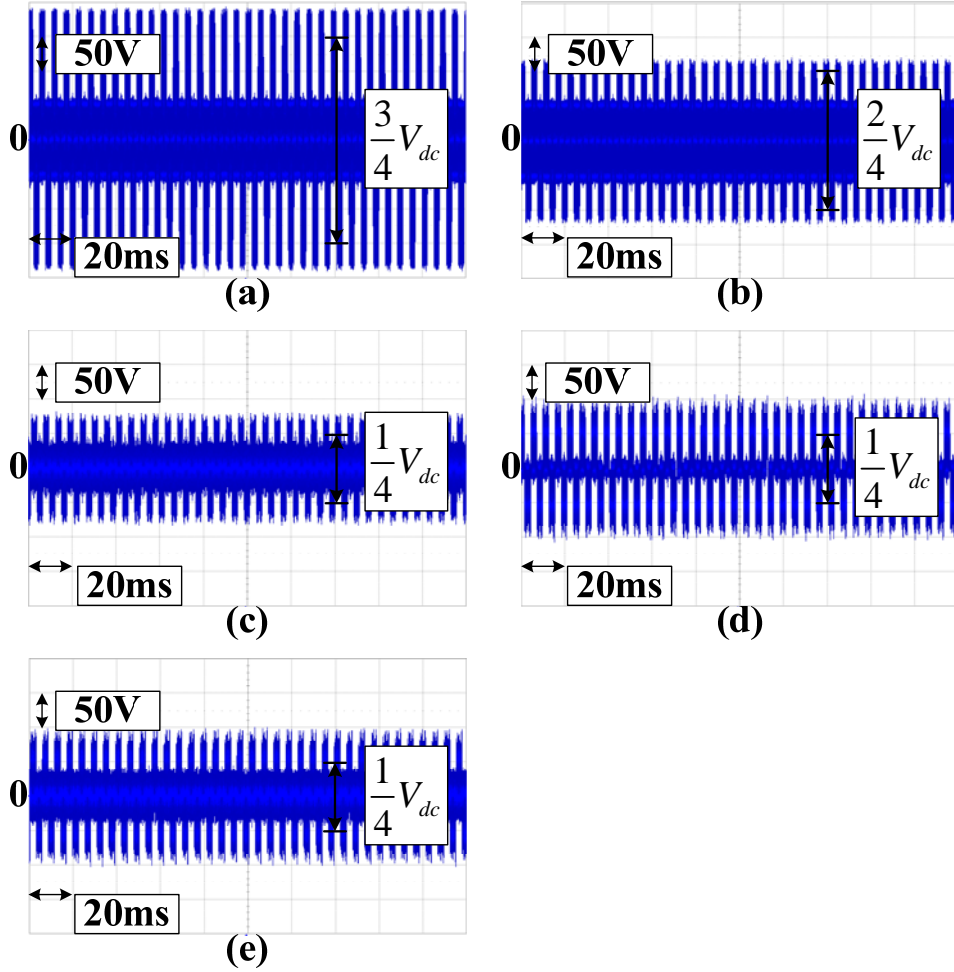


그림 2.29 커먼 모드 전압 (100m 케이블)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

Figure 2.29 Common-mode voltage (100m cable)

(a) SVPWM, (b) SPWM, (c) PPPWM1, (d) PPPWM2, (e) PPPWM3

제 3 장 3레벨 4레그 컨버터의 제어 성능 개선

2장에서 제안한 커먼 모드 전압 저감 PWM 방법은 기본적으로 a, b, c 레그의 스위칭 시점과 동기되어 f 레그의 스위치를 조작하여 커먼 모드 전압을 억제하는 것이다. 제안한 방법을 적용하게 되면 커먼 모드 전압이 기존 PWM 방법 대비 대체로 저감되지만, 2.5절의 모의 실험 결과를 보면 데드 타임 등의 이유로 f 상 극 전압이 제대로 동기가 되지 않을 경우 짧은 펄스 형태의 극 전압이 보이게 된다. 또한 데드 타임에 의한 전압 왜곡으로 인해 상 전압에 저차 (low order) 고조파 성분이 보이게 된다. 따라서 본 장에서는 3레벨 4레그 컨버터의 제어 성능 개선을 위한 방법에 대해 언급하고자 한다.

3.1 3레벨 토폴로지의 데드 타임 보상

컨버터에서 원하는 지령 극 전압 값이 그대로 출력되어야 하지만, 아래 설명할 데드 타임에 의해서 필연적으로 전압 왜곡이 발생하게 된다. 이러한 전압 왜곡은 낮은 차수의 전류 왜곡을 일으키게 된다. 이러한 전압 왜곡을 피하기 위해서 데드 타임 보상을 위한 많은 방법들이 연구되어 왔다[43-55]. 또한 극 전압을 보다 정확하게 합성하기 위해서 출력된 극 전압을 측정하여 그 정보를 이용하는 방법들도 있다[56-61]. DVSC (Direct Voltage Sensing Circuit)와 같이 적분기

회로를 이용한 방법은 가장 정확한 극 전압 측정 방법이다[57]. 하지만, 이 방법은 DVSC 회로를 제어하기 위한 제어 로직 용 FPGA (Field-Programmable Gate Array)가 필요하고 적분기용 회로가 추가적으로 필요하다. 이 외에 FPGA를 이용하여 극 전압 펄스를 측정하여 이를 데드 타임 보상에 이용하는 방법이 있다[58-61]. 이는 DVSC를 이용하는 방법에 비해 정확도가 떨어지지만, DVSC 회로가 추가로 필요 없다는 장점이 있다. 하지만 여전히 DSP (Digital Signal Processor) 외에 FPGA가 필요하다는 단점이 있다. 마지막으로 DSP 내부의 e-CAP 이라는 모듈을 이용하여 극 전압의 펄스를 측정하는 방법이 있다. 이는 간단한 비교기 회로 외에는 추가적인 회로가 필요 없다는 장점이 있다[62].

지금까지 언급한 대부분의 데드 타임 보상 연구는 2레벨 토폴로지에서의 데드 타임 보상에 관한 것이다. 이에 비해 멀티 레벨 컨버터의 데드 타임 보상에 관한 논문은 상대적으로 적은 편이다[63, 64]. 본 장에서는 본 논문의 주제인 3레벨 (T-type) 토폴로지에서의 데드 타임의 영향에 대해 분석하고 그 보상 방법을 제시한다.

3.1.1 3레벨 토폴로지의 데드 타임 영향

3.1.1.1 3레벨 토폴로지의 전압 합성

직류 전압을 교류 전압으로 만들어 주기 위해서 전력용 반도체 소자로 구성된 컨버터가 사용된다. 전력용 반도체 소자의 스위칭 동작에 의해 원하는 값의 교류 전압을 스위칭 주기 동안 평균적으로 합성해내는 것이

컨버터의 기본적인 동작 원리이다.

그림 3.1은 3레벨 4레그 컨버터의 한 레그를 보여준다. 여기서 사용한 3레벨 토폴로지는 T-type으로 4개의 전력용 반도체 스위치(S_{a1} , S_{a2} , S_{a3} , S_{a4})로 구성된 것을 볼 수 있다. 반도체 스위칭의 방향을 보면 S_{a1} 과 S_{a3} 가 서로 상보적 (complementary)으로 동작해야 하고, S_{a2} 와 S_{a4} 또한 서로 상보적으로 동작해야 한다.

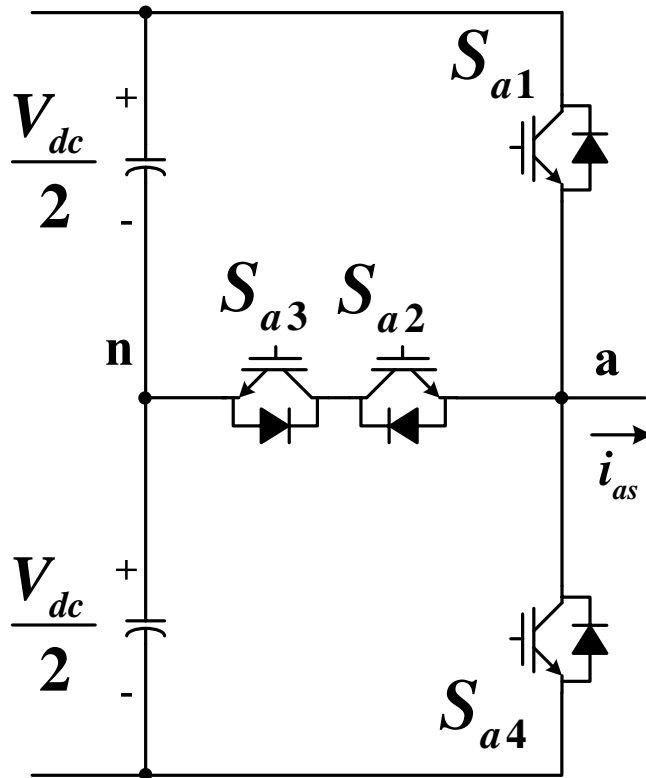


그림 3.1 3레벨 4레그 컨버터 시스템에서 한 레그

Figure 3.1 One leg of 3 level 4 leg converter

그림 3.2는 3레벨 토폴로지의 전압 합성을 보여주고 있다. 그림 3.2 (a) 는 전압 지령이 양인 경우를 보여준다. 전압 지령이 양인 경우 2개의 삼각파 중 위 삼각파와 전압 지령을 비교하여 지령 전압이 삼각파보다 큰 경우 (t_2)는 S_{a1} 의 게이팅 신호가 1이 되고, 지령 전압이 삼각파보다 작은 경우(t_1, t_3)는 S_{a1} 의 게이팅 신호가 0이 된다. 이때의 t_1, t_2, t_3 값은 아래와 같다.

$$t_2 = \frac{V_{an}^*}{V_{dc}/2} T_{sw}. \quad (3.1)$$

$$t_{1,3} = \frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2}. \quad (3.2)$$

S_{a3} 의 게이팅 신호는 위에서 언급한 대로 S_{a1} 의 게이팅 신호에 대해 상보적인 신호가 나가게 된다. 아래 삼각파에 의해 결정되는 S_{a2} 와 S_{a4} 의 게이팅 신호는 지령 전압과 교점이 없으므로 변하지 않게 된다. 이때 T_{sw} 동안 a상 평균 극 전압은 아래와 같다.

$$V_{an_avg} = \left\{ (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) + \left(\frac{V_{dc}}{2} \right) \times \left(\frac{V_{an}^*}{V_{dc}/2} T_{sw} \right) + (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \right\} / T_{sw}. \quad (3.3)$$

식 (3.3)을 정리하면 V_{an_avg} 는 V_{an}^* 와 같게 된다.

그림 3.2 (b)는 전압 지령이 음인 경우를 보여준다. 전압 지령이 음인 경우 2개의 삼각파 중 아래 삼각파와 지령 전압을 비교 하여 지령 전압이 삼각파보다 큰 경우 (t_5)는 S_{a2} 의 게이팅 신호가 1이 되고,

지령 전압이 삼각파보다 작은 경우 (t_4, t_6)는 S_{a2} 의 게이팅 신호가 0이 된다.

$$t_5 = \frac{V_{an}^* + V_{dc} / 2}{V_{dc} / 2} T_{sw} . \quad (3.4)$$

$$t_{4,6} = \frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc} / 2}{V_{dc} / 2} \frac{T_{sw}}{2} . \quad (3.5)$$

S_{a4} 의 게이팅 신호는 위에서 언급한대로 S_{a2} 의 게이팅 신호에 대해 상보적인 신호가 나가게 된다. 아래 삼각파에 의해 결정되는 S_{a1} 과 S_{a3} 의 게이팅 신호는 지령 전압과 교점이 없으므로 변하지 않게 된다. 이때 T_{sw} 동안 a상 평균 극 전압은 아래와 같다.

$$V_{an_avg} = \left\{ \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc} / 2}{V_{dc} / 2} \frac{T_{sw}}{2} \right) + (0) \times \left(\frac{V_{an}^* + V_{dc} / 2}{V_{dc} / 2} T_{sw} \right) \right. \\ \left. + \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc} / 2}{V_{dc} / 2} \frac{T_{sw}}{2} \right) \right\} / T_{sw} . \quad (3.6)$$

식 (3.6)을 계산하면 V_{an_avg} 는 V_{an}^* 와 같게 된다.

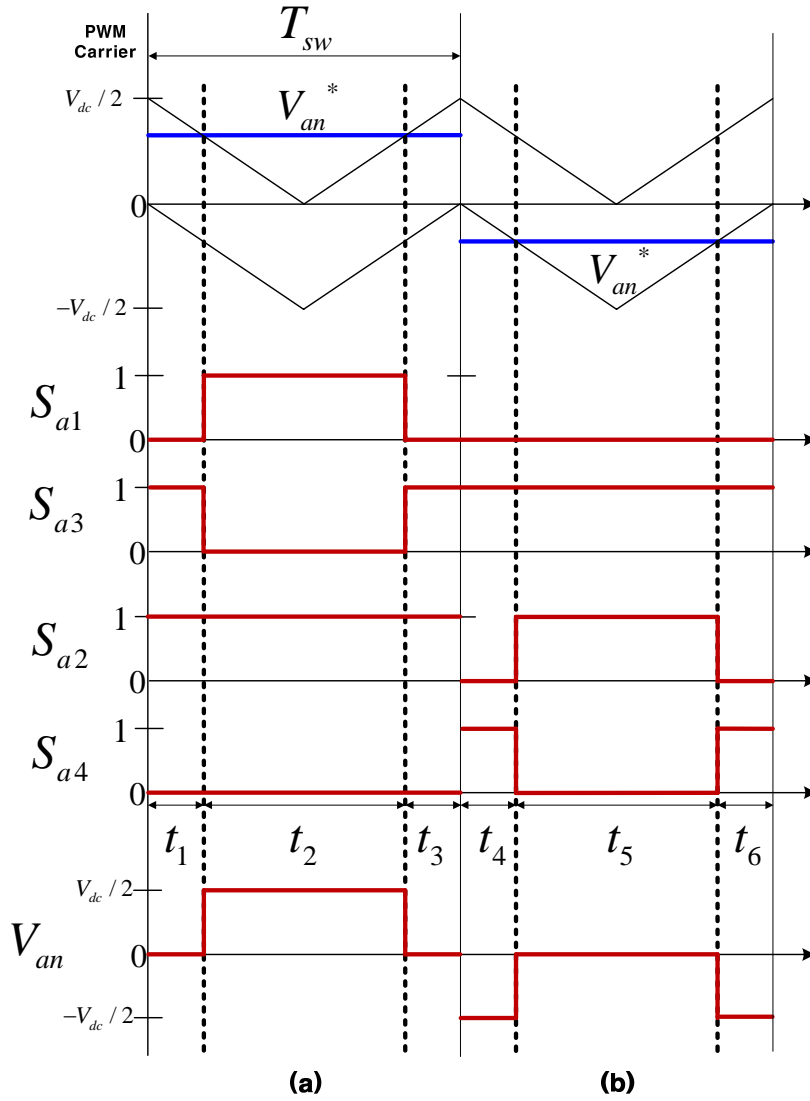


그림 3.2 3레벨 토폴로지에서의 극 전압 합성 원리 (a) $V_{an}^* \geq 0$,

(b) $V_{an}^* < 0$

Figure 3.2 Principle of pole voltage synthesize (a) $V_{an}^* \geq 0$, and

(b) $V_{an}^* < 0$

3.1.1.2 3레벨 토폴로지의 데드 타임 영향

전력용 반도체 소자를 이용하여 어떠한 교류 전압을 합성하는데 있어서 두 가지 왜곡이 존재한다. 하나는 소자에 의한 전압 강하이고, 다른 하나는 데드 타임 (Dead-time)이다.

그림 3.2에서 살펴본 바와 같이 지령 전압이 양인 경우를 먼저 살펴보자. 먼저 전류가 양인 경우 ($i_{as} \geq 0$)를 살펴보면, t_1 와 t_3 에서는 소자 S_{a3} 에서는 역방향 다이오드 (Diode)를 통해서, S_{a2} 에서는 IGBT를 통해서 전류가 흐르게 된다. t_2 동안에는 S_{a1} 의 IGBT를 통해서 전류가 흐르게 된다. 이때 실제 출력되는 극 전압은 아래와 같다.

$$V_{an_avg} = \left\{ (0 - V_{S_{a3}Diode} - V_{S_{a2}IGBT}) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) + \left(\frac{V_{dc}}{2} - V_{S_{a1}IGBT} \right) \times \left(\frac{V_{an}^*}{V_{dc}/2} T_{sw} \right) + (0 - V_{S_{a3}Diode} - V_{S_{a2}IGBT}) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \right\} / T_{sw} \quad (3.7)$$

$$V_{an_avg} = V_{an}^* + (-V_{S_{a3}Diode} - V_{S_{a2}IGBT}) + (V_{S_{a3}Diode} + V_{S_{a2}IGBT} - V_{S_{a1}IGBT}) \frac{V_{an}^*}{V_{dc}/2} \quad (3.8)$$

전류가 음인 경우 ($i_{as} < 0$)를 살펴보면, t_1 와 t_3 에서는 소자 S_{a3} 에서는 IGBT가, S_{a2} 에서는 다이오드를 통해서 전류가 흐르게 된다.

t_2 동안에는 S_{a1} 의 다이오드를 통해서 전류가 흐르게 된다. 이때 실제 출력되는 극 전압은 아래와 같다.

$$\begin{aligned}
 V_{an_avg} = & \{ (0 + V_{S_{a3}IGBT} + V_{S_{a2}Diode}) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \\
 & + \left(\frac{V_{dc}}{2} + V_{S_{a1}Diode} \right) \times \left(\frac{V_{an}^*}{V_{dc}/2} T_{sw} \right) \\
 & + (0 + V_{S_{a3}Diode} + V_{S_{a2}IGBT}) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \} / T_{sw}
 \end{aligned} \quad . \quad (3.9)$$

$$\begin{aligned}
 V_{an_avg} = & V_{an}^* + (V_{S_{a3}IGBT} + V_{S_{a2}Diode}) \\
 & + (-V_{S_{a3}IGBT} - V_{S_{a2}Diode} + V_{S_{a1}Diode}) \frac{V_{an}^*}{V_{dc}/2} .
 \end{aligned} \quad (3.10)$$

다음으로 그림 3.2에서 지령 전압이 음인 경우를 살펴보자. 먼저 전류가 양인 경우 ($i_{as} \geq 0$)를 살펴보면, t_4 와 t_6 에서는 소자 S_{a4} 에서는 역방향 다이오드 (Diode)로 전류가 흐르게 된다. t_5 동안에는 소자 S_{a3} 에서는 역방한 다이오드 (Diode)가, S_{a2} 에서는 IGBT를 통해서 전류가 흐르게 된다. 이때 실제 출력되는 극 전압은 아래와 같다.

$$\begin{aligned}
 V_{an_avg} = & \{ \left(-\frac{V_{dc}}{2} - V_{S_{a4}Diode} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \\
 & + (-V_{S_{a3}Diode} - V_{S_{a2}IGBT}) \times \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} T_{sw} \right) \\
 & + \left(-\frac{V_{dc}}{2} - V_{S_{a4}Diode} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \} / T_{sw}
 \end{aligned} \quad . \quad (3.11)$$

$$\begin{aligned}
 V_{an_avg} = & V_{an}^* + (-V_{S_{a3}Diode} - V_{S_{a2}IGBT}) \\
 & + (-V_{S_{a3}Diode} - V_{S_{a2}IGBT} + V_{S_{a4}Diode}) \frac{V_{an}^*}{V_{dc}/2} .
 \end{aligned} \quad (3.12)$$

전류가 음인 경우 ($i_{as} < 0$)에 살펴보면, t_4 와 t_6 에서는 소자 S_{a4} 에서는 IGBT가, S_{a2} 에서는 다이오드를 통해서 전류가 흐르게 된다. t_5 동안에는 소자 S_{a3} 에서는 IGBT를 통해서, S_{a2} 에서는 역방향 다이오드 (Diode) 를 통해서 전류가 흐르게 된다. 이때 실제 출력되는 극 전압은 아래와 같다.

$$V_{an_avg} = \left\{ \left(-\frac{V_{dc}}{2} + V_{S_{a4}IGBT} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \right. \\ \left. + \left(V_{S_{a3}IGBT} + V_{S_{a2}Diode} \right) \times \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} T_{sw} \right) \right. \\ \left. + \left(-\frac{V_{dc}}{2} + V_{S_{a4}Diode} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \right\} / T_{sw} \quad (3.13)$$

$$V_{an_avg} = V_{an}^* + (V_{S_{a3}IGBT} + V_{S_{a2}Diode}) \\ + (V_{S_{a3}IGBT} + V_{S_{a2}Diode} - V_{S_{a4}IGBT}) \frac{V_{an}^*}{V_{dc}/2} \quad (3.14)$$

식 (3.8), (3.10), (3.12), (3.14)와 같이 소자의 전압 강하로 인해 실제 극 전압은 지령 극 전압과 다르게 왜곡이 생기게 된다. 실제 실험에 사용하는 전력 반도체 소자의 전압/전류 곡선은 그림 3.3과 같다.

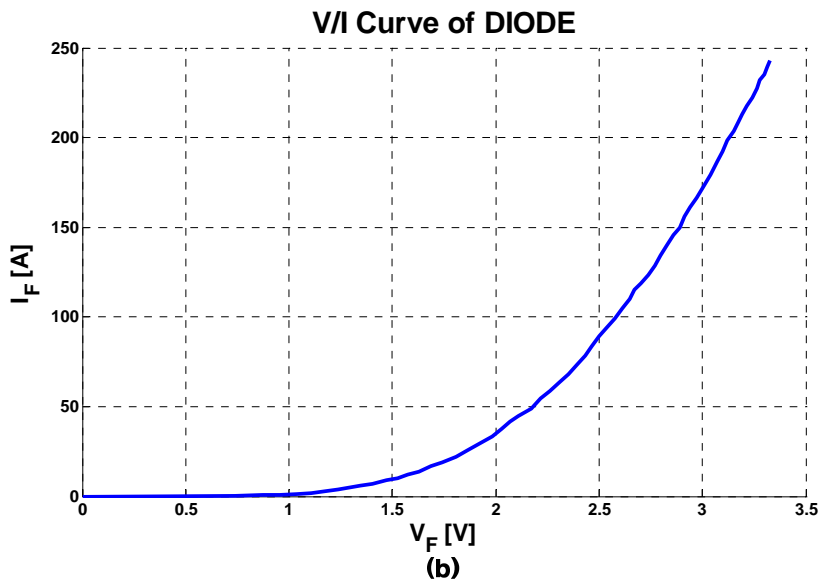
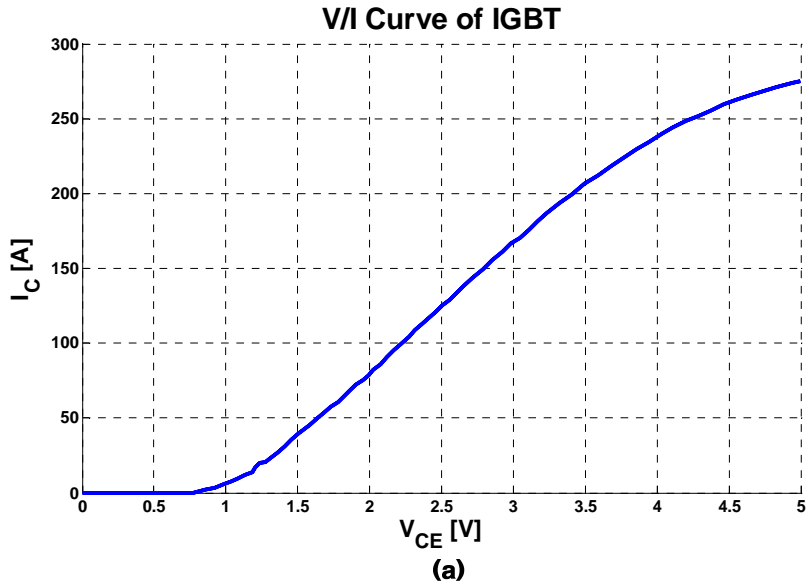


그림 3.3 전압/전류 곡선 (a) IGBT, (b) 다이오드

Figure 3.3 V/I Curve (a) IGBT, and (b) Diode

앞에서 설명한 소자에 의한 전압 강하 외에 데드 타임에 의해서 출력 극 전압이 왜곡될 수 있다. 그림 3.1과 같은 3레벨 토폴로지에서는 전압 합성을 위해 스위치 동작 시 S_{a1} 과 S_{a3} 가 서로 상보적으로 동작해야 하고, S_{a2} 와 S_{a4} 또한 서로 상보적으로 동작해야 한다. 따라서 그림 3.2의 해당 스위치들 게이팅 파형을 보면 상보적으로 동작하는 것을 볼 수 있다. 하지만 실제 구현 시 게이팅 신호의 시지연 (Time delay)이 발생할 수 있고, 전력용 반도체 소자의 상승/하강 시간의 차이로 상보적으로 동작해야 하는 스위치가 동시에 켜지는 상황이 발생할 수 있다. 이 경우 직류단에 사용된 캐패시터 양단이 단락(Short) 될 수 있다.

이와 같은 현상을 피하기 위해 동작 시 S_{a1} 과 S_{a3} 그리고 S_{a2} 와 S_{a4} 사이에 짧은 시간 동안 모든 스위치가 꺼져있도록 게이팅 신호를 만들어 주는데, 이와 같이 두 개의 스위치 모두 꺼져 있도록 만든 시간을 데드 타임 (Dead-time)이라고 한다. 그림 3.4를 보면 S_{a1} 과 S_{a3} 그리고 S_{a2} 와 S_{a4} 사이에 짧은 시간 동안 두 개의 게이팅 신호가 모두 0인 구간 ($t_{d1}, t_{d2}, t_{d3}, t_{d4}$)이 데드 타임에 해당한다. 시스템 조건에 따라 다르지만 보통 데드 타임은 $2 \sim 3\mu s$ 정도로 설정하게 된다.

이러한 데드 타임 동안의 전압은 사용자에 의해 임의로 정해지는 것이 아니라 데드 타임 동안 흐르는 전류의 방향에 따라 달라지게 된다. 그림 3.4에서 먼저 지령 전압이 양인 경우를 살펴보면, t_{d1}, t_{d2} 동안에는 전류의 방향이 양일 경우는 중성단 스위치 (S_{a2}, S_{a3})로 전류가 흐르기 때문에 0전압이 합성되게 된다. 따라서 평균 극 전압은 아래와 같다.

$$\begin{aligned}
V_{an_avg} = & \{ (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} + t_{d1} \right) \\
& + \left(\frac{V_{dc}}{2} \right) \times \left(\frac{V_{an}^*}{V_{dc}/2} T_{sw} - t_{d1} \right) \\
& + (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \} / T_{sw}
\end{aligned} \quad (3.15)$$

$$V_{an_avg} = V_{an}^* - \frac{t_{d1}}{T_{sw}} \frac{V_{dc}}{2}. \quad (3.16)$$

전류의 방향이 음인 경우에는 t_{d1} , t_{d2} 동안에 상단 스위치 (S_{a1})로 전류가 흐르기 때문에 $\frac{V_{dc}}{2}$ 전압이 합성되게 된다. 따라서 평균 극 전압은 아래와 같다.

$$\begin{aligned}
V_{an_avg} = & \{ (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) \\
& + \left(\frac{V_{dc}}{2} \right) \times \left(\frac{V_{an}^*}{V_{dc}/2} T_{sw} + t_{d2} \right) \\
& + (0) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} - t_{d2} \right) \} / T_{sw}
\end{aligned} \quad (3.17)$$

$$V_{an_avg} = V_{an}^* + \frac{t_{d2}}{T_{sw}} \frac{V_{dc}}{2}. \quad (3.18)$$

지령 전압이 음인 경우를 살펴보면, t_{d3} , t_{d4} 동안에는 전류의 방향이 양일 경우는 하단 스위치(S_{a4})로 전류가 흐르기 때문에 $-\frac{V_{dc}}{2}$ 전압이 합성되게 된다. 따라서 평균 극 전압은 아래와 같다.

$$\begin{aligned}
V_{an_avg} = & \left\{ \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} + t_{d3} \right) \right. \\
& + (0) \times \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} T_{sw} - t_{d3} \right) \\
& \left. + \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \right\} / T_{sw}
\end{aligned} \quad (3.19)$$

$$V_{an_avg} = V_{an}^* - \frac{t_{d3}}{T_{sw}} \frac{V_{dc}}{2}. \quad (3.20)$$

전류의 방향이 음인 경우에는 t_{d3} , t_{d4} 동안에 중성단 스위치 (S_{a2}, S_{a3})로 전류가 흐르기 때문에 0전압이 합성되게 된다. 따라서 평균 극 전압은 아래와 같다.

$$\begin{aligned}
V_{an_avg} = & \left\{ \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} + t_{d3} \right) \right. \\
& + (0) \times \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} T_{sw} + t_{d4} \right) \\
& \left. + \left(-\frac{V_{dc}}{2} \right) \times \left(\frac{T_{sw}}{2} - \frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} - t_{d4} \right) \right\} / T_{sw}
\end{aligned} \quad (3.21)$$

$$V_{an_avg} = V_{an}^* + \frac{t_{d4}}{T_{sw}} \frac{V_{dc}}{2}. \quad (3.22)$$

식 (3.16), (3.18), (3.20), (3.22)를 종합해보면 전류가 양인 경우는 실제 극 전압이 지령 극 전압보다 작은 값이 나오게 되고, 전류가 음인 경우는 실제 극 전압이 지령 극 전압보다 큰 값이 나오게 된다.

직류단 전압(V_{dc})이 400V, 데드 타임($t_{d1}, t_{d2}, t_{d3}, t_{d4}$)이 $2\mu s$, 스위칭 주파수(f_{sw})가 20 kHz 일 때, 왜곡되는 전압의 크기는 아래와 같다.

$$V_{dead} = \frac{V_{dc}}{2} \frac{T_{dead}}{T_{sw}} = 8V . \quad (3.23)$$

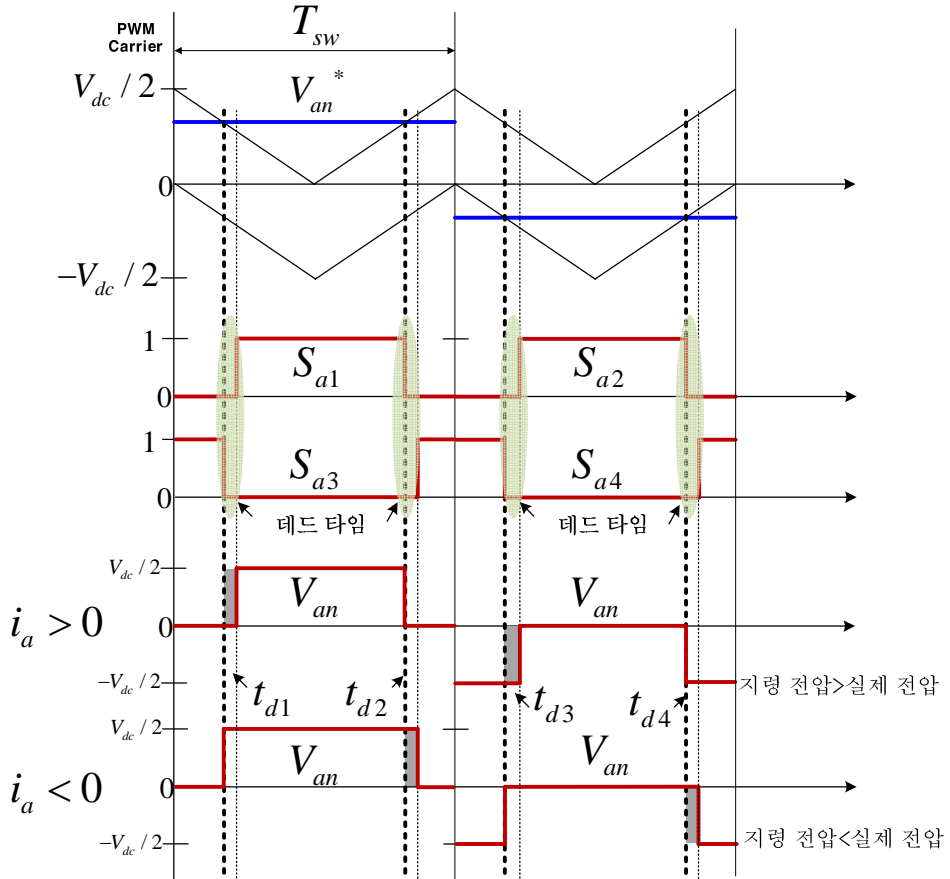


그림 3.4 데드 타임을 고려한 3레벨 토폴로지에서의 극 전압 합성 원리

Figure 3.4 Principle of pole voltage synthesise considering dead-time

앞서 살펴본 컨버터에서의 두 가지 전압 왜곡 원인 중 상대적으로 크기가 작은 소자의 전압 강하 성분은 제외하고, 데드 타임에 의한 전압 왜곡만을 상세하게 살펴보도록 한다.

3.1.1.3 3레벨 토폴로지의 데드 타임 영향 상세 분석

수식뿐만 아니라 수치적으로도 전압 합성 영역을 살펴보기 위해 직류단 전압(V_{dc}), 데드 타임(T_{dead}), 스위칭 주파수(f_{sw})를 각각 400V, $2\mu s$, 20 kHz 로 미리 설정하였다.

(1) 전압 지령이 양인 경우

(a) $16V < V_{an}^* < 184V$ (A 영역)

그림 3.5의 파형이 이 영역에 해당된다. 이 영역은 그림 3.4와 같은 형태의 파형으로 대부분의 전압 지령이 여기에 해당한다. 이 영역에서는 $T_{a_on1}, T_{a_on2}, T_{a_on3}, T_{a_off1}, T_{a_off2}, T_{a_off3}$ 모두가 0보다 큰 값을 가지는 경우이다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}}(V_{an_on2_avg} - \frac{V_{dc}}{2} + V_{an_off2_avg}). \quad (3.24)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = 0, \frac{V_{dc}}{2} > V_{an_off2_avg} \geq 0 \quad (i_a \geq 0). \quad (3.25)$$

$$\frac{V_{dc}}{2} \geq V_{an_on2_avg} > 0, V_{an_off2_avg} = \frac{V_{dc}}{2} \quad (i_a < 0). \quad (3.26)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}} \left(-\frac{V_{dc}}{2} + V_{an_off2_avg} \right) \quad (i_a \geq 0). \quad (3.27)$$

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}} (V_{an_on2_avg}) \quad (i_a < 0). \quad (3.28)$$

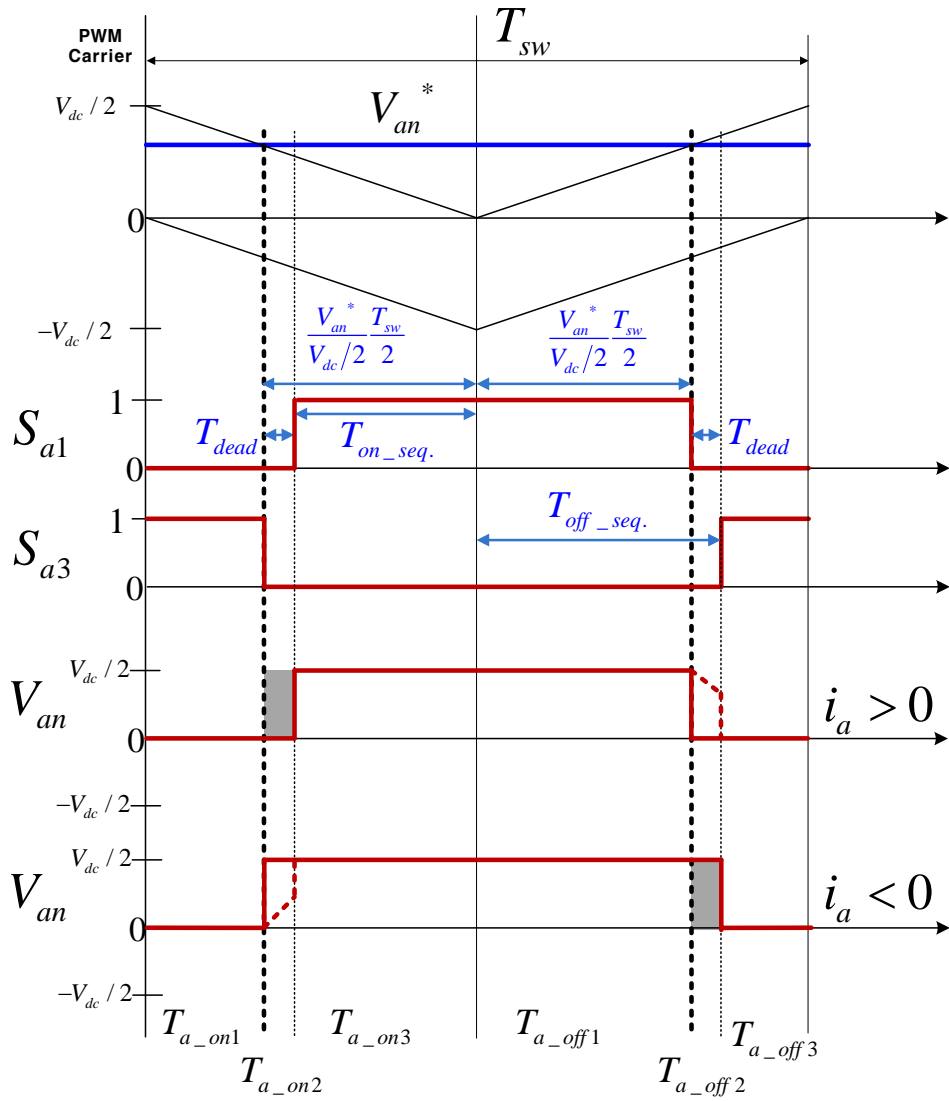


그림 3.5 3레벨 토폴로지의 영역 A에서 극 전압

Figure 3.5 Pole voltage synthesize in range 'A' in 3 level topology

(b) $8V < V_{an}^* < 16V$ (B 영역)

그림 3.6의 파형이 이 영역에 해당된다. 이 영역에서는 A영역과 다르게 T_{a_on3} 에 해당하는 영역이 존재하지 않는다. 그리고 데드 타임에 해당하는 영역 T_{a_on2} 가 오프 시퀀스 (Off-sequence)로 넘어가게 된다. 넘어간 데드 타임만큼 T_{a_off0} 이 새로 생겨나게 된다.

$$T_{a_on2} + T_{a_off0} = T_{dead} \quad (3.29)$$

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} - V_{an_off0_avg}) \left(\frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2} \right) + (V_{an_off0_avg} + V_{an_off2_avg} - \frac{V_{dc}}{2}) T_{dead} \} \quad (3.30)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = 0, V_{an_off0_avg} = 0, \frac{V_{dc}}{2} > V_{an_off2_avg} \geq 0 \quad (i_a \geq 0). \quad (3.31)$$

$$\frac{V_{dc}}{2} \geq V_{an_off0_avg} \geq V_{an_on2_avg} > 0, V_{an_off2_avg} = \frac{V_{dc}}{2} \quad (i_a < 0). \quad (3.32)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}} \left(-\frac{V_{dc}}{2} + V_{an_off2_avg} \right) \quad (i_a \geq 0). \quad (3.33)$$

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ V_{an_on2_avg} \left(\frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2} \right) + V_{an_off0_avg} \left(T_{dead} - \frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2} \right) \} \quad (i_a < 0). \quad (3.34)$$

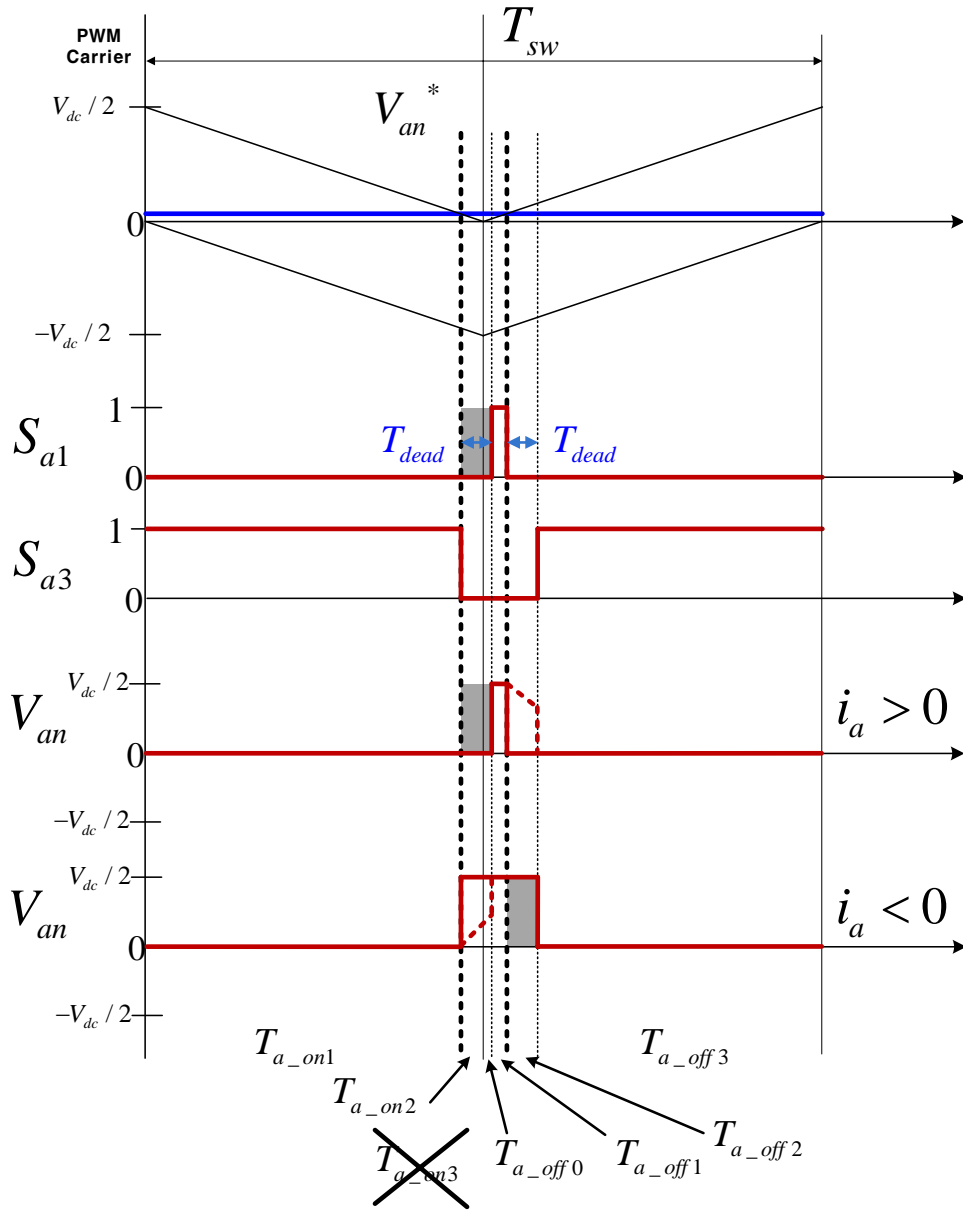


그림 3.6 3레벨 토폴로지의 영역 B에서 극 전압

Figure 3.6 Pole voltage synthesize in range 'B' in 3 level topology

(c) $0 < V_{an}^* < 8V$ (C 영역)

그림 3.7의 파형이 이 영역에 해당된다. 이 영역에서는 B영역과 다르게 T_{a_off1} 에 해당하는 영역이 존재하지 않는다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = \frac{1}{T_{sw}} (V_{an_on2_avg} (\frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2}) + V_{an_off0_avg} (\frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2}) + V_{an_off2_avg} T_{dead}) \quad (3.35)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = 0, V_{an_off0_avg} = 0, V_{an_off2_avg} = 0 \quad (i_a \geq 0). \quad (3.36)$$

$$\frac{V_{dc}}{2} \geq V_{an_off2_avg} \geq V_{an_off0_avg} \geq V_{an_on2_avg} > 0 \quad (i_a < 0). \quad (3.37)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = 0 \quad (i_a \geq 0). \quad (3.38)$$

$$V_{an_avg} = \frac{1}{T_{sw}} \{ V_{an_on2_avg} (\frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2}) + V_{an_off0_avg} (\frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2}) + V_{an_off2_avg} T_{dead} \} \quad (i_a < 0). \quad (3.39)$$

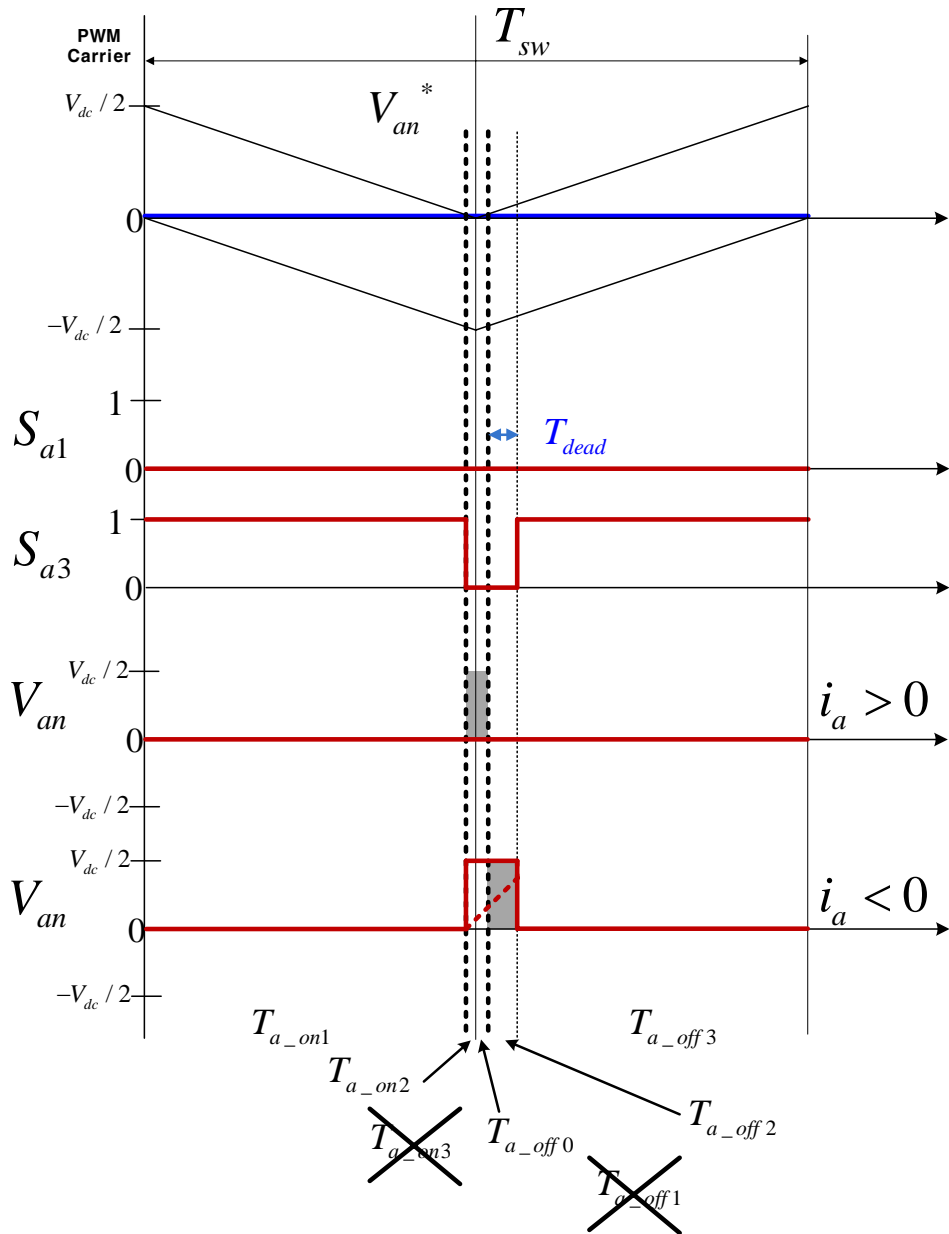


그림 3.7 3레벨 토폴로지의 영역 C에서 극 전압

Figure 3.7 Pole voltage synthesize in range 'C' in 3 level topology

(d) $184V < V_{an}^* < 192V$ (D 영역)

그림 3.8의 파형이 이 영역에 해당된다. 이 영역에서는 A영역과 다르게 T_{a_off3} 에 해당하는 영역이 존재하지 않는다. 그리고 데드 타임에 해당하는 영역 T_{a_off2} 가 온 시퀀스 (On-sequence)로 넘어가게 된다. 넘어간 데드 타임만큼 T_{a_on0} 이 새로 생겨나게 된다.

$$T_{a_off2} + T_{a_on0} = T_{dead} \quad (3.40)$$

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on0_avg} + V_{an_on2_avg} - \frac{V_{dc}}{2}) T_{dead} + (-V_{an_on0_avg} + V_{an_off2_avg}) (\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2}) \right\} \quad (3.41)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$\frac{V_{dc}}{2} > V_{an_off2_avg} > V_{an_on0_avg} \geq 0, V_{an_on2_avg} = 0 \quad (i_a \geq 0). \quad (3.42)$$

$$V_{an_on0_avg} = \frac{V_{dc}}{2}, \frac{V_{dc}}{2} \geq V_{an_on2_avg} > 0, V_{an_off2_avg} = \frac{V_{dc}}{2} \quad (i_a < 0). \quad (3.43)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on0_avg} - \frac{V_{dc}}{2}) T_{dead} - (V_{an_on0_avg} - V_{an_off2_avg}) (\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2}) \right\} \quad (i_a \geq 0). \quad (3.44)$$

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} ((V_{an_on2_avg}) T_{dead}) \quad (i_a < 0). \quad (3.45)$$

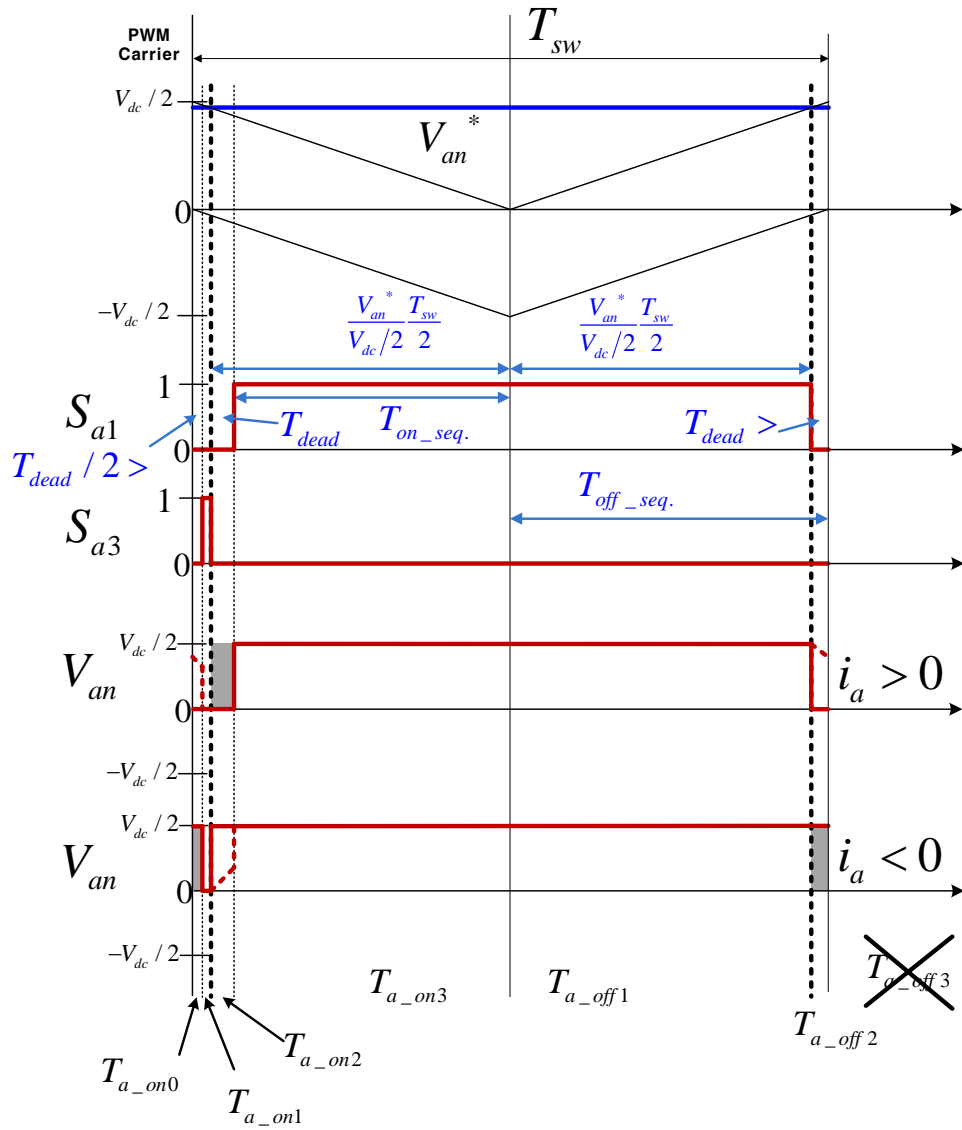


그림 3.8 3레벨 토폴로지의 영역 D에서 극 전압

Figure 3.8 Pole voltage synthesize in range 'D' in 3 level topology

(e) $192V < V_{an}^* < 200V$ (E 영역)

그림 3.9의 파형이 이 영역에 해당된다. 이 영역에서는 D영역과 다르게 T_{a_on1} 에 해당하는 영역이 존재하지 않는다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on2_avg} - \frac{V_{dc}}{2}) T_{dead} + (V_{an_on0_avg} + V_{an_off2_avg}) \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2} \right) \right\} \quad (3.46)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$\frac{V_{dc}}{2} > V_{an_off2_avg} \geq V_{an_on0_avg} \geq V_{an_on2_avg} \geq 0 \quad (i_a \geq 0). \quad (3.47)$$

$$V_{an_on0_avg} = V_{an_on2_avg} = V_{an_off2_avg} = \frac{V_{dc}}{2} \quad (i_a < 0). \quad (3.48)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on2_avg} - \frac{V_{dc}}{2}) T_{dead} + (V_{an_on0_avg} + V_{an_off2_avg}) \left(\frac{T_{sw}}{2} - \frac{V_{an}^*}{V_{dc}} \frac{T_{sw}}{2} \right) \right\} \quad (i_a \geq 0) \quad (3.49)$$

$$V_{an_avg} = + \frac{V_{dc}}{2} \quad (i_a < 0). \quad (3.50)$$

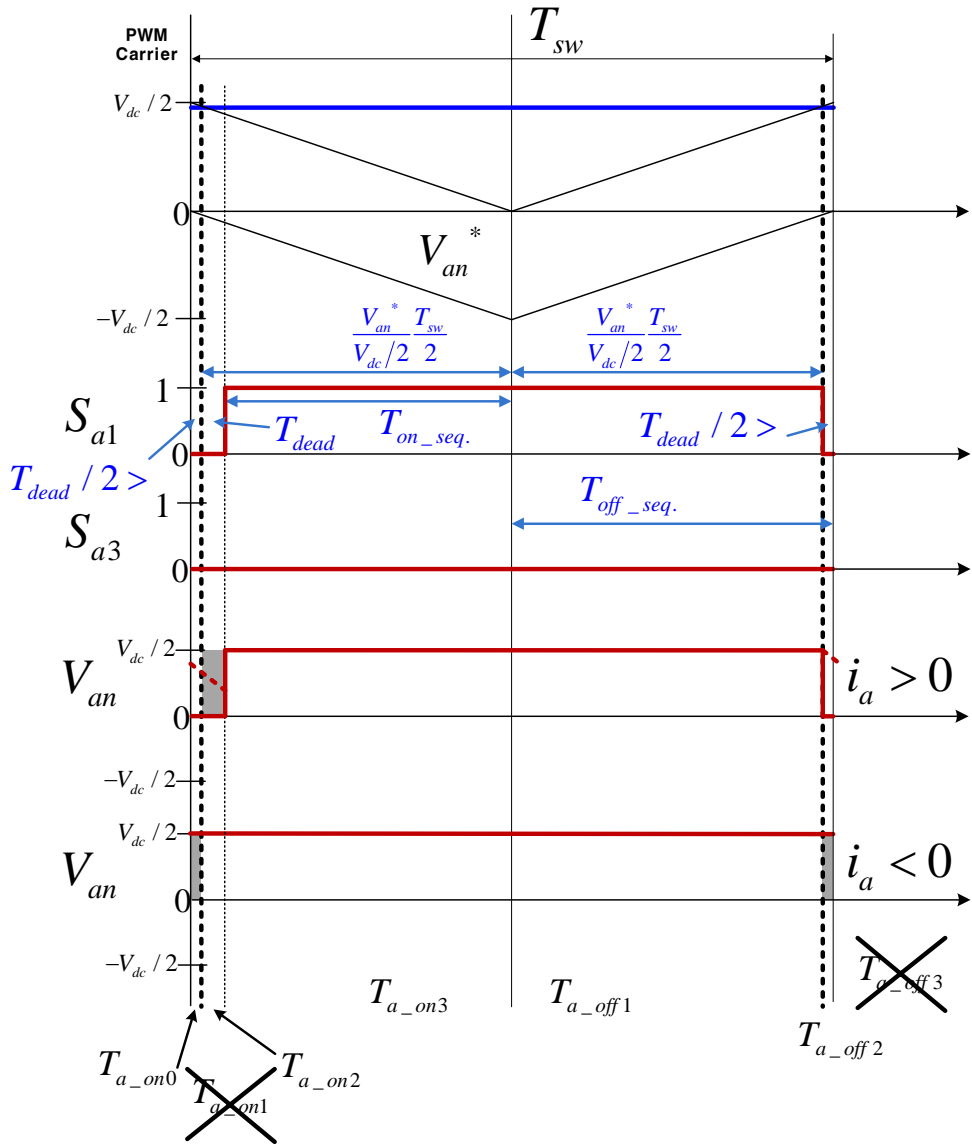


그림 3.9 3레벨 토폴로지의 영역 E에서 극 전압

Figure 3.9 Pole voltage synthesize in range 'E' in 3 level topology

(2) 전압 지령이 음인 경우

(a) $-184V < V_{an}^* < -16V$ (F 영역)

그림 3.10의 파형이 이 영역에 해당된다. 이 영역은 그림 3.4와 같은 형태의 파형으로 대부분의 전압 지령이 여기에 해당한다. 이 영역에서는 $T_{a_on1}, T_{a_on2}, T_{a_on3}, T_{a_off1}, T_{a_off2}, T_{a_off3}$ 모두가 0보다 큰 값을 가지는 경우이다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}}(V_{an_on2_avg} + V_{an_off2_avg} + \frac{V_{dc}}{2}). \quad (3.51)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = -\frac{V_{dc}}{2}, -\frac{V_{dc}}{2} \leq V_{an_off2_avg} < 0 \quad (i_a \geq 0). \quad (3.52)$$

$$-\frac{V_{dc}}{2} < V_{an_on2_avg} \leq 0, V_{an_off2_avg} = 0 \quad (i_a < 0). \quad (3.53)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}}(V_{an_off2_avg}) \quad (i_a \geq 0). \quad (3.54)$$

$$V_{an_avg} = V_{an}^* + \frac{T_{dead}}{T_{sw}}(V_{an_on2_avg} + \frac{V_{dc}}{2}) \quad (i_a < 0). \quad (3.55)$$

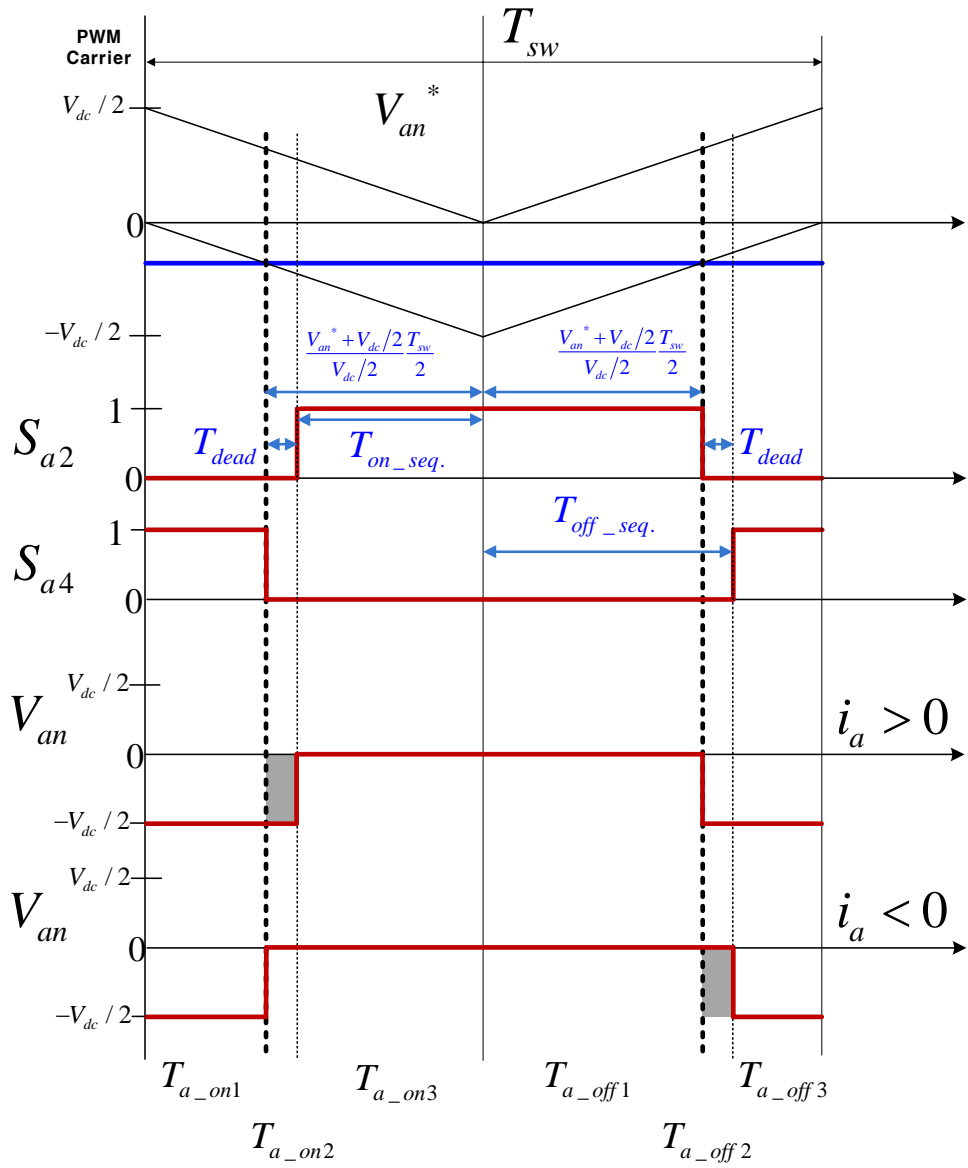


그림 3.10 3레벨 토폴로지의 영역 F에서 극 전압

Figure 3.10 Pole voltage synthesize in range 'F' in 3 level topology

(b) $-192V < V_{an}^* < -184V$ (G 영역)

그림 3.11의 파형이 이 영역에 해당된다. 이 영역에서는 F영역과 다르게 T_{a_on3} 에 해당하는 영역이 존재하지 않는다. 그리고 데드 타임에 해당하는 영역 T_{a_on2} 가 오프 시퀀스 (Off-sequence)로 넘어가게 된다. 넘어간 데드 타임만큼 T_{a_off0} 이 새로 생겨나게 된다.

$$T_{a_on2} + T_{a_off0} = T_{dead} \quad (3.56)$$

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} - V_{an_off0_avg}) \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) + (V_{an_off0_avg} + V_{an_off2_avg} + \frac{V_{dc}}{2}) T_{dead} \} \quad (3.57)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = -\frac{V_{dc}}{2}, V_{an_off0_avg} = -\frac{V_{dc}}{2}, -\frac{V_{dc}}{2} \leq V_{an_off2_avg} < 0 \quad (i_a \geq 0). \quad (3.58)$$

$$-\frac{V_{dc}}{2} < V_{an_on2_avg} \leq V_{an_off0_avg} \leq 0, V_{an_off2_avg} = 0 \quad (i_a < 0). \quad (3.59)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_off2_avg}) T_{dead} \} \quad (i_a \geq 0). \quad (3.60)$$

$$\begin{aligned}
V_{an_avg} = & V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} - V_{an_off0_avg}) \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) \\
& + (V_{an_off0_avg} + \frac{V_{dc}}{2}) T_{dead} \} \quad (i_a < 0).
\end{aligned}
\tag{3.61}$$

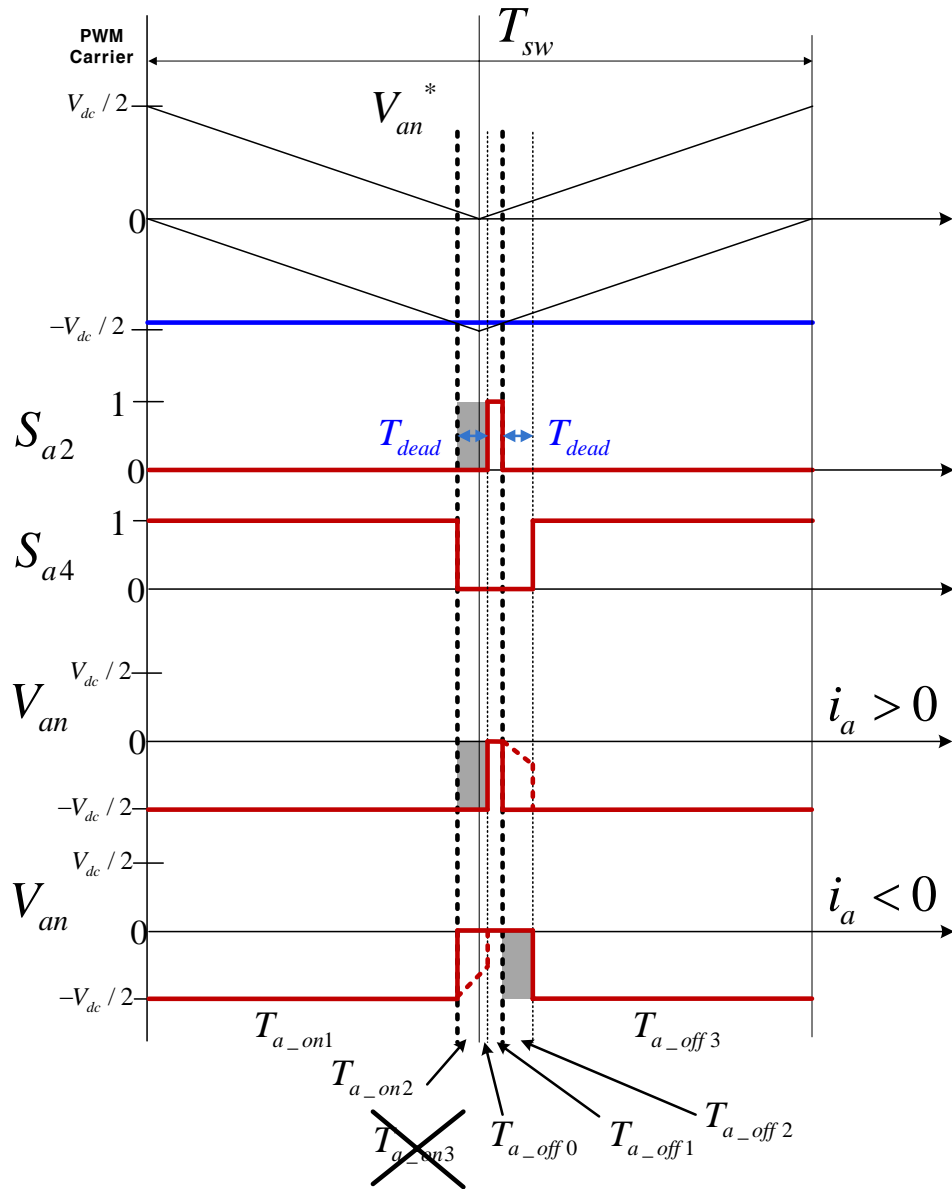


그림 3.11 3레벨 토폴로지의 영역 G에서 극 전압

Figure 3.11 Pole voltage synthesize in range 'G' in 3 level topology

(c) $-200V < V_{an}^* < -192V$ (H 영역)

그림 3.12의 파형이 이 영역에 해당된다. 이 영역에서는 G영역과 다르게 T_{a_off1} 에 해당하는 영역이 존재하지 않는다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} + V_{an_off0_avg}) \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) + (V_{an_off2_avg} + \frac{V_{dc}}{2}) T_{dead} \} \quad (3.62)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$V_{an_on2_avg} = -\frac{V_{dc}}{2}, V_{an_off0_avg} = -\frac{V_{dc}}{2}, V_{an_off2_avg} = -\frac{V_{dc}}{2} \quad (i_a \geq 0). \quad (3.63)$$

$$-\frac{V_{dc}}{2} < V_{an_on2_avg} \leq 0, -\frac{V_{dc}}{2} < V_{an_off0_avg} \leq 0, -\frac{V_{dc}}{2} < V_{an_off2_avg} \leq 0 \quad (i_a < 0). \quad (3.64)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = -\frac{V_{dc}}{2} \quad (i_a \geq 0). \quad (3.65)$$

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} + V_{an_off0_avg}) \left(\frac{V_{an}^* + V_{dc}/2}{V_{dc}/2} \frac{T_{sw}}{2} \right) + (V_{an_off2_avg} + \frac{V_{dc}}{2}) T_{dead} \} \quad (i_a < 0). \quad (3.66)$$

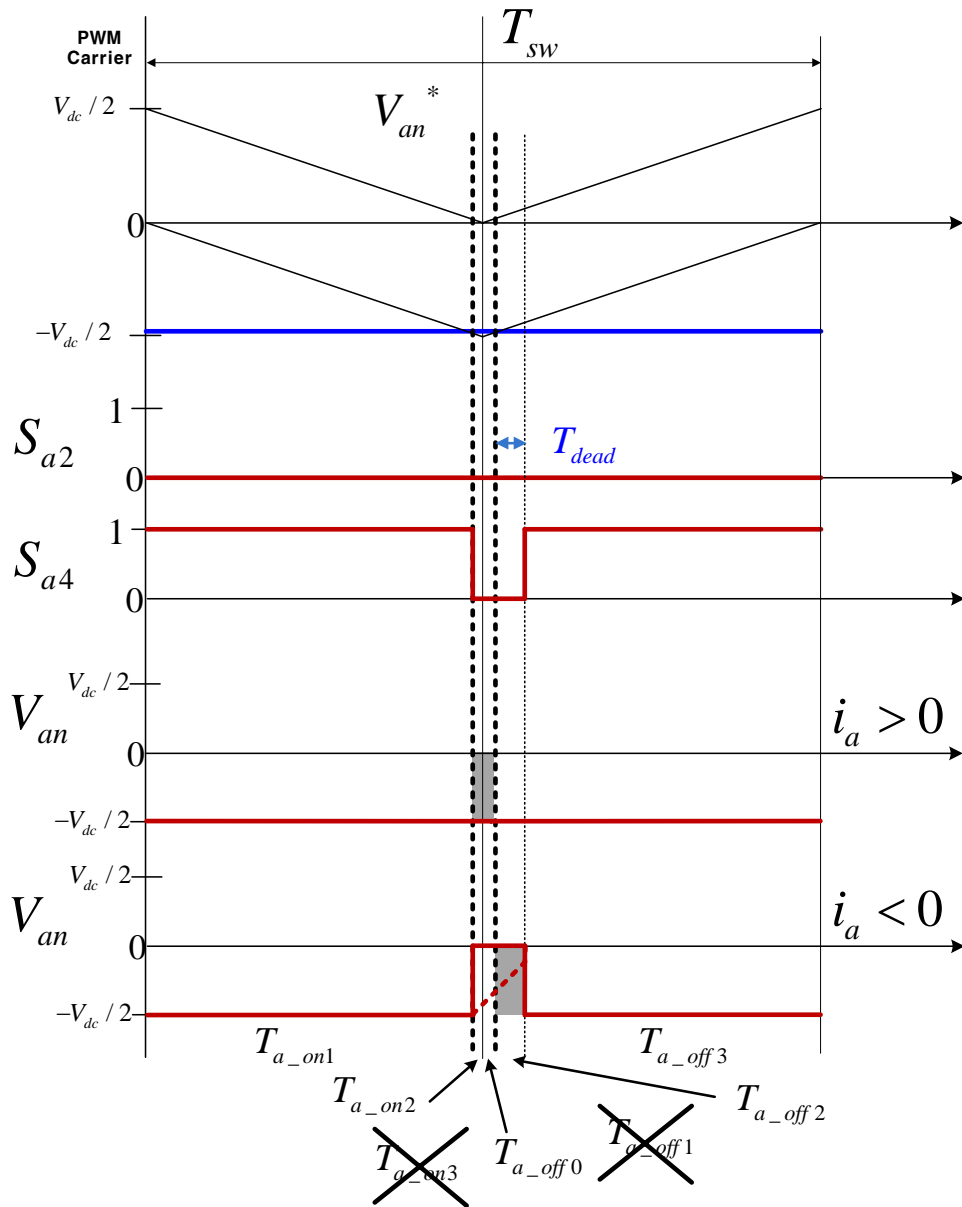


그림 3.12 3레벨 토폴로지의 영역 H에서 극 전압

Figure 3.12 Pole voltage synthesize in range 'H' in 3 level topology

(d) $-16V < V_{an}^* < -8V$ (I 영역)

그림 3.13의 파형이 이 영역에 해당된다. 이 영역에서는 F영역과 다르게 T_{a_off3} 에 해당하는 영역이 존재하지 않는다. 그리고 데드 타임에 해당하는 영역 T_{a_off2} 가 온 시퀀스 (On-sequence)로 넘어가게 된다. 남은 데드 타임만큼 T_{a_on0} 이 새로 생겨나게 된다.

$$T_{a_off2} + T_{a_on0} = T_{dead} \quad (3.67)$$

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on0_avg} + V_{an_on2_avg} + \frac{V_{dc}}{2}) T_{dead} + (V_{an_on0_avg} - V_{an_off2_avg}) \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right\} \quad (3.68)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$-\frac{V_{dc}}{2} \leq V_{an_on0_avg} \leq V_{an_off2_avg} < 0, \quad V_{an_on2_avg} = -\frac{V_{dc}}{2} \quad (i_a \geq 0). \quad (3.69)$$

$$V_{an_on0_avg} = 0, \quad -\frac{V_{dc}}{2} < V_{an_on2_avg} \leq 0, \quad V_{an_off2_avg} = 0 \quad (i_a < 0). \quad (3.70)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \left\{ (V_{an_on0_avg}) T_{dead} + (V_{an_on0_avg} - V_{an_off2_avg}) \frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right\} \quad (i_a \geq 0). \quad (3.71)$$

$$V_{an_avg} = V_{an}^* + \frac{1}{T_{sw}} \{ (V_{an_on2_avg} + \frac{V_{dc}}{2}) T_{dead} \} \quad (i_a < 0). \quad (3.72)$$

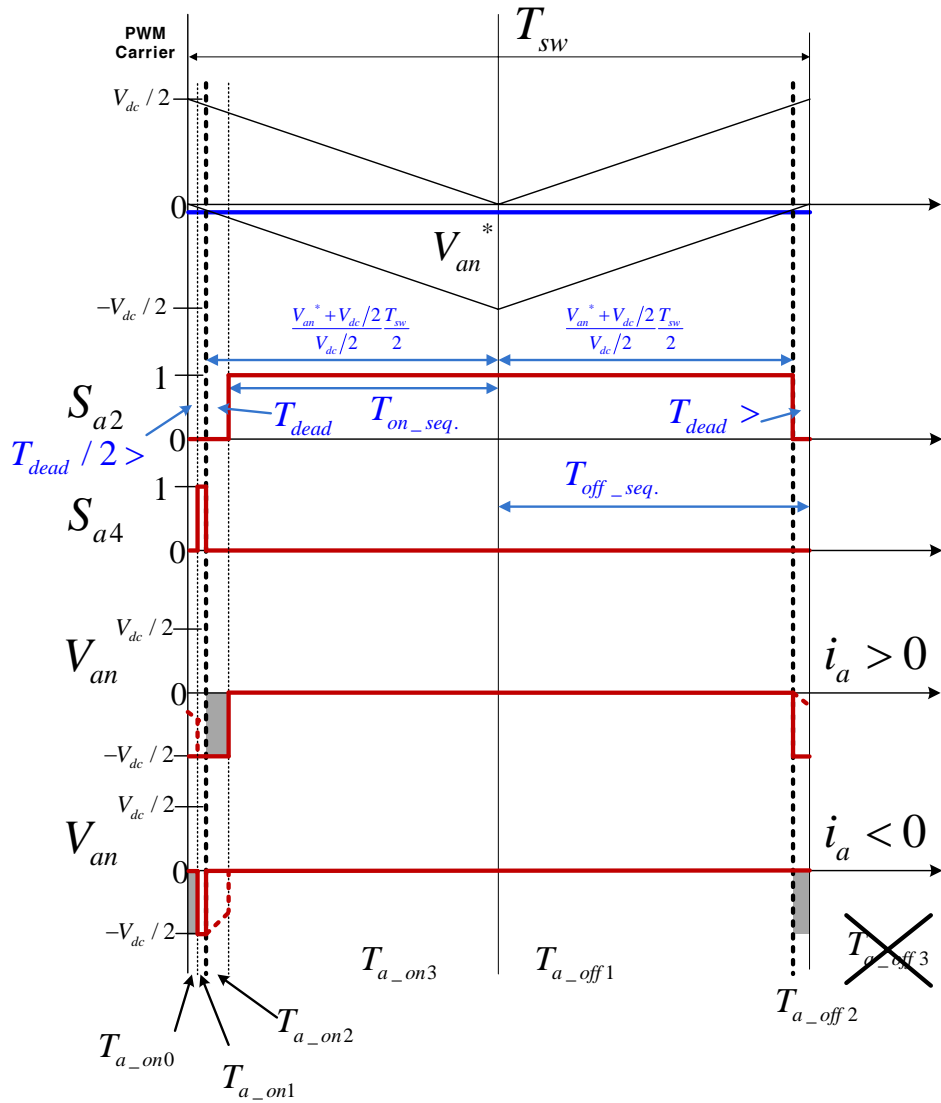


그림 3.13 3레벨 토폴로지의 영역 I에서 극 전압

Figure 3.13 Pole voltage synthesize in range 'I' in 3 level topology

(e) $-8V < V_{an}^* < 0V$ (J 영역)

그림 3.14의 파형이 이 영역에 해당된다. 이 영역에서는 I영역과 다르게 T_{a_on1} 에 해당하는 영역이 존재하지 않는다.

이때의 평균 극 전압은 아래와 같다.

$$V_{an_avg} = \frac{1}{T_{sw}} \{ (V_{an_on0_avg} + V_{an_off2_avg}) \left(-\frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) + V_{an_on2_avg} (T_{dead}) \} \quad (3.73)$$

여기서 전류의 극성에 따라서 데드 타임 동안의 전압은 아래와 같은 범위의 값을 가지게 된다.

$$-\frac{V_{dc}}{2} \leq V_{an_off2_avg} \leq V_{an_on0_avg} \leq V_{an_on2_avg} < 0 \quad (i_a \geq 0). \quad (3.74)$$

$$V_{an_on0_avg} = V_{an_on2_avg} = V_{an_off2_avg} = 0 \quad (i_a < 0). \quad (3.75)$$

따라서 평균 극 전압은 아래와 같이 정리된다.

$$V_{an_avg} = \frac{1}{T_{sw}} \{ (V_{an_on0_avg} + V_{an_off2_avg}) \left(-\frac{V_{an}^*}{V_{dc}/2} \frac{T_{sw}}{2} \right) + V_{an_on2_avg} (T_{dead}) \} \quad (i_a \geq 0). \quad (3.76)$$

$$V_{an_avg} = 0 \quad (i_a < 0). \quad (3.77)$$

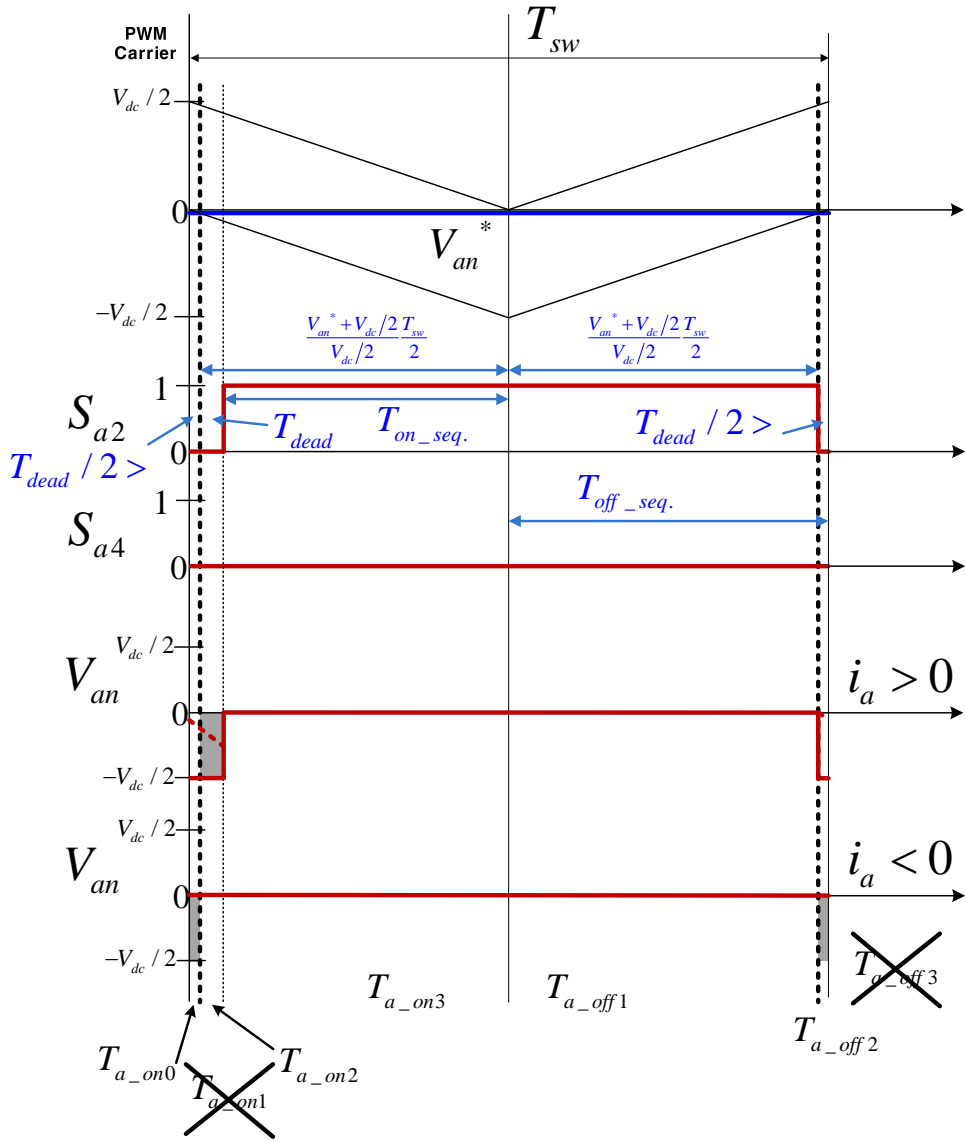


그림 3.14 3레벨 토폴로지의 영역 J에서 극 전압

Figure 3.14 Pole voltage synthesise in range 'J' in 3 level topology

위에서 살펴본 영역별 분석을 기반으로 지령 극 전압과 출력 극 전압의 관계를 살펴보면 그림 3.15와 같다.

그림 3.15를 보면, 지령 극 전압이 $V_{dead} < V_{xn}^* < (\frac{V_{dc}}{2} - V_{dead})$,
 $(-\frac{V_{dc}}{2} + V_{dead}) < V_{xn}^* < -V_{dead}$ 의 조건 일 때는 전류가 양일 때는 출력 극 전압이 항상 지령 극 전압보다 작고, 전류가 음일 때는 출력 극 전압이 항상 지령 극 전압보다 크다. $-\frac{V_{dc}}{2} < V_{xn}^* < (-\frac{V_{dc}}{2} + V_{dead})$ 에서는 전류가 양일 때는 항상 출력 극 전압이 $-\frac{V_{dc}}{2}$ 이지만, 전류가 음일 때는 전류의 크기에 따라 출력 극 전압의 크기가 지령 극 전압의 크기보다 크기도 하고, 작기도 하다. $-V_{dead} < V_{xn}^* < 0$ 에서는 전류가 음일 때는 0V이지만, 양일 때는 전류의 크기에 따라 출력 극 전압의 크기가 지령 전압보다 크기도 하고, 작기도 하다. $0 < V_{xn}^* < V_{dead}$ 에서는 전류가 양 일 때 0V이지만, 전류가 음일 때는 전류의 크기에 따라 출력 극 전압의 크기가 지령 전압보다 크기도 하고, 작기도 하다. 마지막으로 $(\frac{V_{dc}}{2} - V_{dead}) < V_{xn}^* < \frac{V_{dc}}{2}$ 에서 전류가 음일 때는 항상 $\frac{V_{dc}}{2}$ 이지만, 전류가 양일 때는 전류의 크기에 따라 출력 극 전압의 크기가 지령 전압보다 크기도 하고, 작기도 하다.

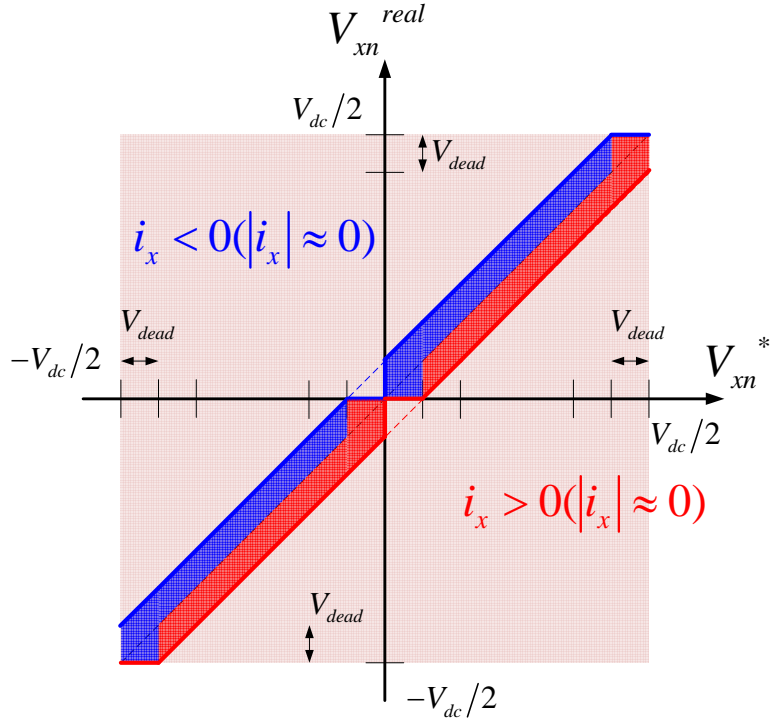


그림 3.15 지령 극 전압 vs. 출력 극 전압 ($|i_x| \approx 0$)

Figure 3.15 Pole voltage reference vs. output pole voltage
($|i_x| \approx 0$)

그림 3.16은 전류의 절대 값의 크기가 클 때의 지령 극 전압과 출력 극 전압의 관계를 보여주고 있다. 이 그림을 보면, 전류가 음일 때는 지령 극 전압이 어떤 값을 가지더라도 아래와 같은 전압은 만들어 줄 수 없음을 알 수 있다.

$$0 < V_{xn}^{real} < V_{dead}, \quad -\frac{V_{dc}}{2} < V_{xn}^{real} < \left(-\frac{V_{dc}}{2} + V_{dead}\right). \quad (3.78)$$

또한 전류가 음일 때는 지령 극 전압이 어떠한 값을 가지더라도

아래와 같은 전압은 만들어줄 수 없음을 알 수 있다.

$$-V_{dead} < V_{xn}^{real} < 0, \left(\frac{V_{dc}}{2} - V_{dead}\right) < V_{xn}^{real} < \frac{V_{dc}}{2}. \quad (3.79)$$

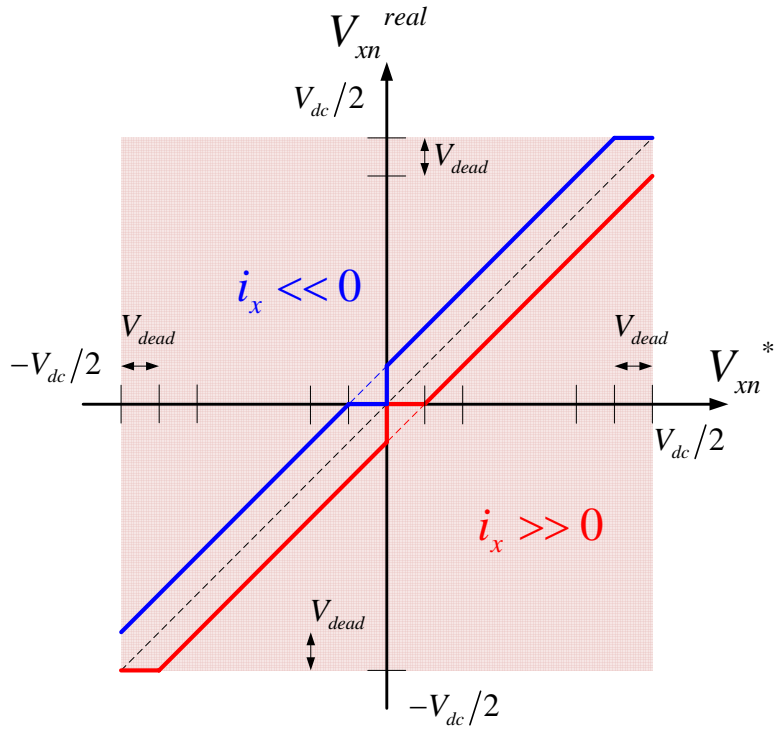


그림 3.16 지령 극 전압 vs. 출력 극 전압 ($|i_x| \gg 0$)

Figure 3.16 Pole voltage reference vs. output pole voltage
($|i_x| \gg 0$)

3.1.2 3레벨 토폴로지의 데드 타임 보상

식 (3.78), (3.79)를 보면 합성하지 못하는 출력 극 전압은 2레벨 토폴로지와 마찬가지로 극 전압 지령 전압이 $\pm \frac{V_{dc}}{2}$ 에 가까운 경우 [65, 66]가 있고, 3레벨 토폴로지에서는 추가적으로 0V 전압 부근의 전압도 존재함을 알 수 있다.

그림 3.17은 극 전압 지령 전압의 크기가 작고, 데드 타임 보상을 하지 않았을 때의 지령 극 전압과 평균 출력 극 전압 파형이다. 전류가 음일 때 극 전압 지령 보다 V_{dead} 만큼 큰 출력 극 전압이 보이고, 전류가 양으로 바뀌면서 V_{dead} 만큼 작은 출력 극 전압이 보이게 된다.

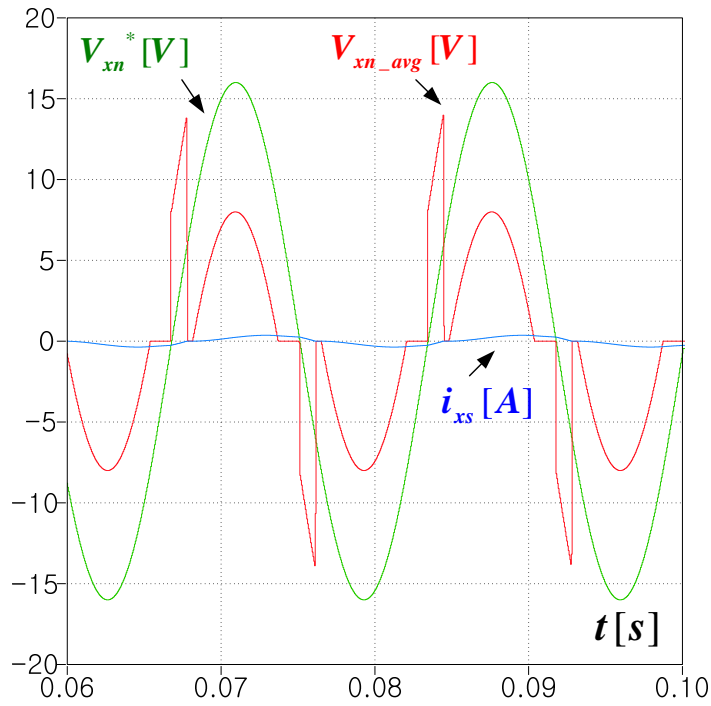


그림 3.17 데드 타임 보상 전 지령 극 전압, 평균 출력 극 전압, 상 전류

Figure 3.17 Pole voltage reference, average output pole voltage, phase current without dead-time compensation method

그림 3.18은 그림 3.17의 FFT 결과이다. 평균 출력 전압의 FFT 결과를 보면 기본파 성분의 크기도 지령보다 많이 작아진 것을 볼 수 있고, 고조파 성분도 많이 포함된 것을 볼 수 있다.

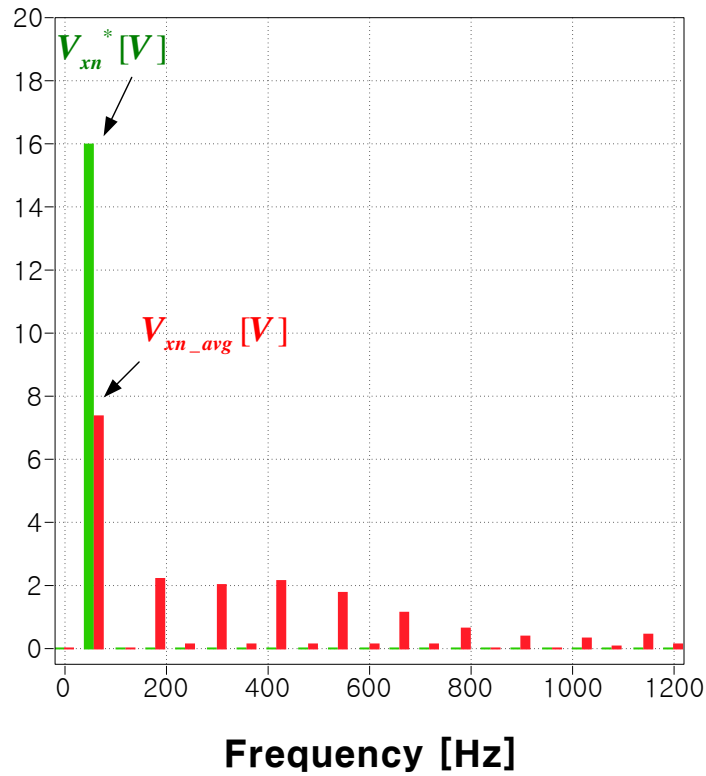


그림 3.18 그림 3.17의 FFT 결과

Figure 3.18 FFT of waveforms in Figure 3.17

그림 3.16의 파형을 온 시퀀스 (On-sequence)와 오프 시퀀스 (Off-sequence)로 나누어 살펴볼 수 있다. 여기서 온 시퀀스, 오프 시퀀스는 시간상 스위칭 주기의 반에 해당하는 시간 동안을 의미한다. 온 시퀀스는 스위치가 꺼져 있는 상태에서 켜지는 상태로 변하는 시기를 의미하고, 오프 시퀀스는 스위치가 켜져 있다가 꺼지는 상태로 변하는 시기를 의미한다. 편의상 온 시퀀스는 PWM 삼각파가 하강하는 시기, 오프 시퀀스는 PWM 삼각파가 상승하는 시기라 생각할 수 있다.

먼저 전류가 양일 때를 살펴보면 그림 3.19와 같다.

지령 전압이 양인 경우에 온 시퀀스에서는 지령 극 전압의 크기가 어떤 크기 ($2V_{dead}$) 이상의 전압부터는 출력 극 전압을 0V부터 합성이 가능하다. 지령 극 전압이 음인 경우에는 오프 시퀀스에서 지령 극 전압 그대로 출력 극 전압을 0V부터 합성이 가능하다.

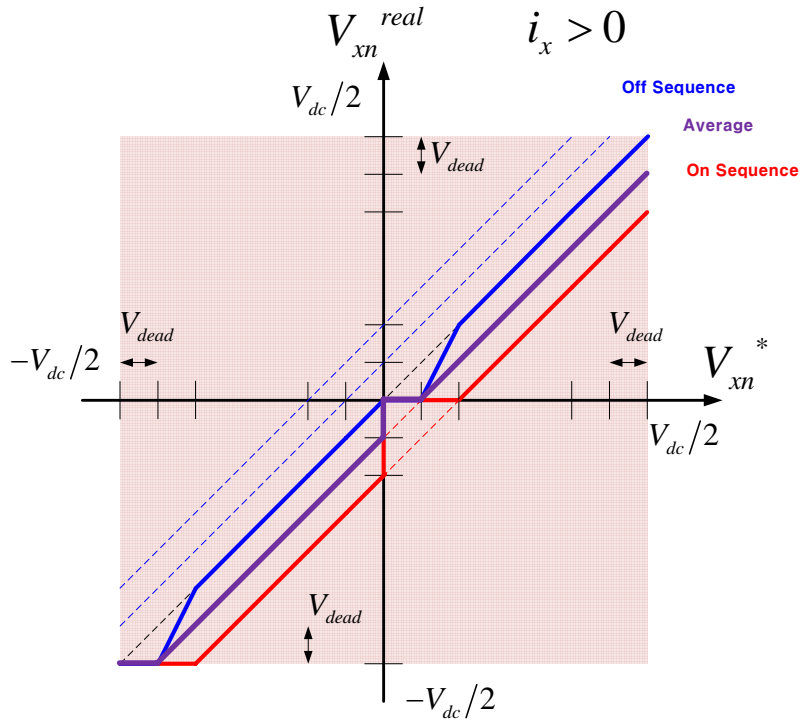


그림 3.19 지령 극 전압 vs. 출력 극 전압 ($i_x \gg 0$)

Figure 3.19 Pole voltage reference vs. output pole voltage
($i_x \gg 0$)

다음으로 전류가 음일 때를 살펴보면 그림 3.20과 같다. 지령 전압이 양인 경우에 온 시퀀스에서 지령 극 전압 그대로 0V부터 출력 극 전압을 출력 할 수 있다. 지령 전압이 음인 경우에는 지령 극 전압의 크기가 어떤 크기 이하의 전압 ($-2V_{dead}$)에서는 일정한 기울기를 가지고 출력 극 전압을 0V부터 합성이 가능하다.

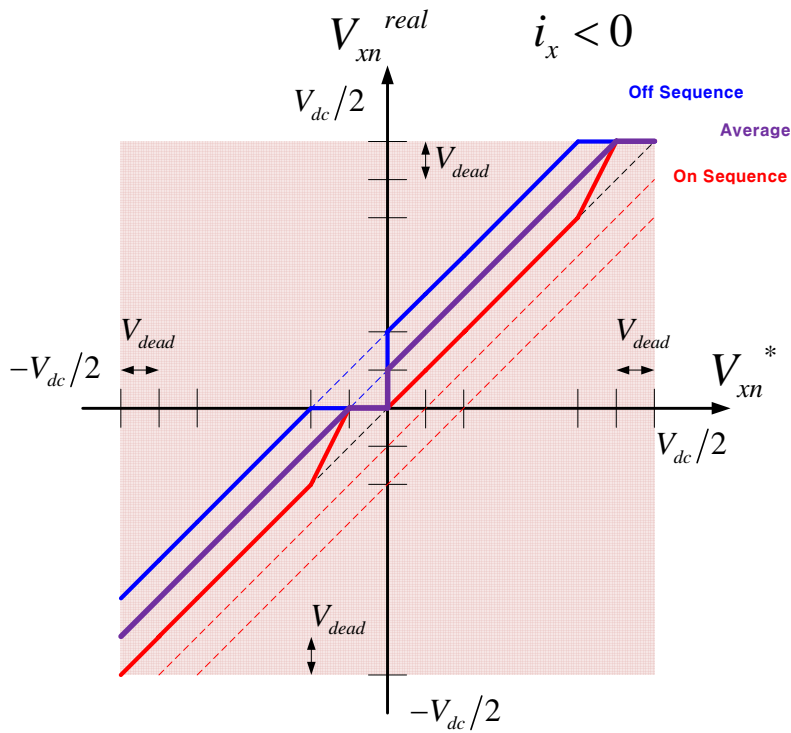


그림 3.20 지령 극 전압 vs. 출력 극 전압 ($i_x \ll 0$)

Figure 3.20 Pole voltage reference vs. output pole voltage
($i_x \ll 0$)

그림 3.19, 그림 3.20의 분석을 통해서 제어기의 출력인 초기 극 전압 지령은 싱글 샘플링 (Single sampling) 주기에 맞춰 업데이트 (Update)를 해주고, 실제 스위칭에 사용된 최종 극 전압 지령의 업데이트는 더블 샘플링 (Double sampling)에 맞춰 적절하게 변경하여 업데이트를 해주면 저 전압에서의 왜곡을 줄이면서 스위칭 한 주기 동안 초기 극 전압 지령과 같은 전압을 합성해줄 수 있다.

만약 싱글 샘플링에 맞춰 생성된 극 전압 지령이 V_{an}^* 이라고 하면, 일반적인 경우에는 더블 샘플링에 맞춰 생성된 온 시퀀스, 오프 시퀀스 최종 극 전압 지령은 각각 아래와 같다고 할 수 있다.

$$\begin{cases} V_{an_on}^* = V_{an}^* \\ V_{an_off}^* = V_{an}^* \end{cases} \quad (3.80)$$

하지만, 그림 3.19, 그림 3.20을 보면 0V 전압 근처에서 온 시퀀스나 오프 시퀀스에서 전압 왜곡이 발생하게 된다. 이와 같이 왜곡된 전압을 보상하기 위해서 지령을 아래 표 3.1과 같이 보정해줄 수 있다. 이와 같은 보상 방법을 데드 타임 보상 법1 (Dead-Time Compensation Method1, DTCM1)이라고 부르기로 한다.

표 3.1 저 전압 조건에서의 데드 타임 영향을 억제하기 위한 보정된
극 전압 지령 (DTCM1)

Table 3.1 Modified pole voltage references for dead-time
compensation in low voltage condition (DTCM1)

전류	$i_a >> 0$		$i_a << 0$	
전압	$V_{an}^* \geq 0$	$V_{an}^* < 0$	$V_{an}^* \geq 0$	$V_{an}^* < 0$
영역	A	B	C	D
$V_{an_on}^*$	$2V_{an}^* + 2V_{dead}$	0	$2V_{an}^*$	0
$V_{an_off}^*$	0	$2V_{an}^*$	0	$2V_{an}^* - 2V_{dead}$
$V_{an_on_avg}$	$2V_{an}^*$	0	$2V_{an}^*$	0
$V_{an_off_avg}$	0	$2V_{an}^*$	0	$2V_{an}^*$

이 방법은 스위칭 주기 동안 극 전압 지령이 V_{an}^* 이라고 할 때, 온 시퀀스, 오프 시퀀스 중 전압을 합성할 수 없는 영역에서는 0V 전압이 나가도록 하고, 나머지 영역에서는 $2V_{an}^*$ 를 합성할 수 있도록 해서 전체 스위칭 주기 동안 평균적으로 V_{an}^* 이 출력되도록 하는 것이다.

전류와 극 전압 지령의 극성에 따라 크게 4가지 영역으로 나눌 수 있는데, 먼저 극 전압 지령도 양이고, 전류도 양일 경우 (A영역)에 오프 시퀀스에서 출력 전압이 제대로 합성되지 않기 때문에 오프 시퀀스에서는 0V 전압($V_{an_off_avg}$)을 합성하도록 하고, 온 시퀀스에서 $2V_{an}^*$ 만큼의

전압 ($V_{an_on_avg}$)을 합성하도록 한다. 따라서 오프 시퀀스의 지령 전압 ($V_{an_off}^*$)은 0V가 되고, 온 시퀀스의 전압 지령 ($V_{an_on}^*$)은 $2V_{an}^* + 2V_{dead}$ 가 되면 된다.

다음으로 극 전압 지령은 음이고, 전류는 양일 경우 (B영역)에 온 시퀀스에서 출력 전압이 제대로 합성되지 않기 때문에 온 시퀀스에서는 0V 전압($V_{an_on_avg}$)을 합성하도록 하고, 오프 시퀀스에서 $2V_{an}^*$ 만큼의 전압 ($V_{an_off_avg}$)을 합성하도록 한다. 따라서 온 시퀀스의 지령 전압 ($V_{an_on}^*$)은 0V가 되고, 온 시퀀스의 전압 지령 ($V_{an_off}^*$)은 $2V_{an}^*$ 가 되면 된다.

다음으로 극 전압 지령은 양이고, 전류는 음일 경우 (C영역)에 오프 시퀀스에서 출력 전압이 제대로 합성되지 않기 때문에 오프 시퀀스에서는 0V 전압($V_{an_off_avg}$)을 합성하도록 하고, 온 시퀀스에서 $2V_{an}^*$ 만큼의 전압 ($V_{an_on_avg}$)을 합성하도록 한다. 따라서 오프 시퀀스의 지령 전압 ($V_{an_off}^*$)은 0V가 되고, 온 시퀀스의 전압 지령 ($V_{an_on}^*$)은 $2V_{an}^*$ 가 되면 된다.

마지막으로 극 전압 지령도 음이고, 전류도 음일 경우 (D영역)에 오프 시퀀스에서 출력 전압이 제대로 합성되지 않기 때문에 온 시퀀스에서는 0V 전압($V_{an_on_avg}$)을 합성하도록 하고, 오프 시퀀스에서 $2V_{an}^*$ 만큼의 전압 ($V_{an_off_avg}$)을 합성하도록 한다. 따라서 온 시퀀스의 지령 전압 ($V_{an_on}^*$)은 0V가 되고, 오프 시퀀스의 전압 지령 ($V_{an_off}^*$)은 $2V_{an}^* - 2V_{dead}$ 가 되면 된다.

그림 3.21은 표 3.1과 같은 DTCM1 방법을 적용 했을 때의 지령 극 전압과 평균 출력 극 전압의 파형이다. 이때, A, D 영역에서는 제대로 보상이 되었으나, B, C 영역에서는 여전히 보상이 제대로 되지 않은 것을 볼 수 있다.

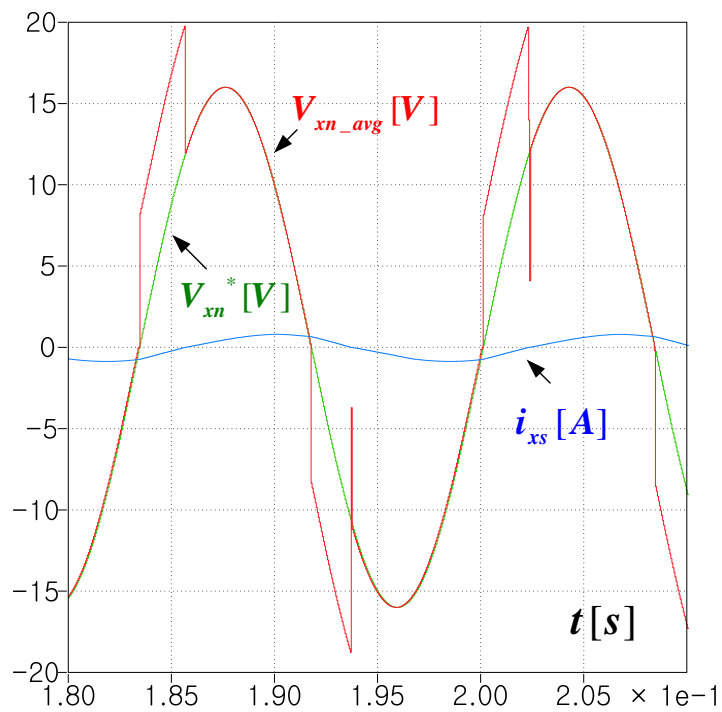


그림 3.21 DTCM1 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류

Figure 3.21 Pole voltage reference, average output pole voltage, phase current with DTCM1

그림 3.22는 그림 3.21의 지령 극 전압과 평균 출력 극 전압의 FFT 결과이다. DTCM1을 적용 했음에도 B, C영역에서의 보상 오류로 그림 3.18의 결과에 비해 고조파 성분은 줄어들었지만, 아직 많은 저차 고조파가 함유된 것을 볼 수 있다.

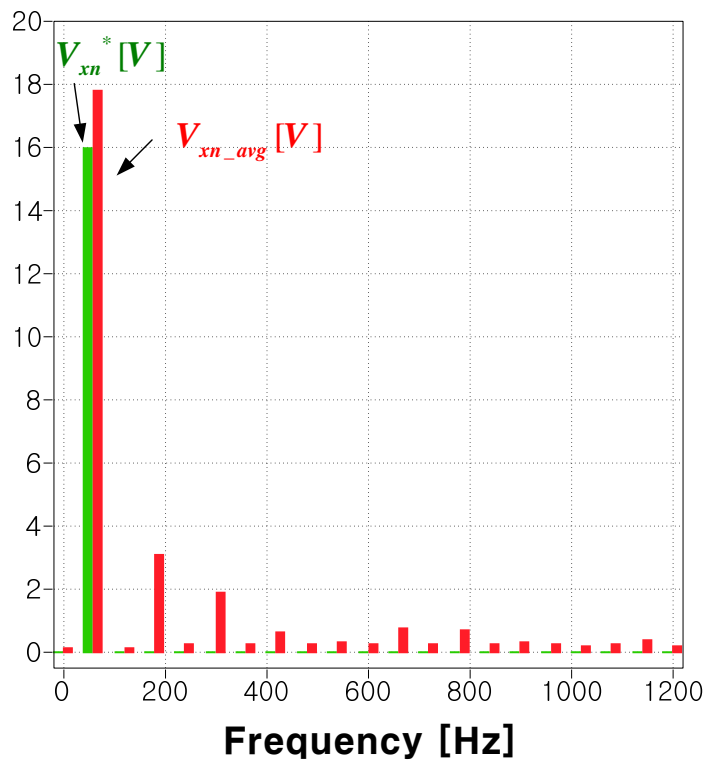


그림 3.22 DTCM1 적용 시 지령 극 전압, 평균 출력 극 전압의 FFT

Figure 3.22 FFT of pole voltage reference, average output pole voltage with DTCM1

그림 3.23과 그림 3.24는 DTCM1을 적용 했을 때, 각각 A영역과 D영역에서의 스위칭 패턴과 극 전압을 보여주고 있다. 온 시퀀스, 오프 시퀀스에서 각각 의도한대로 전압이 합성 되는 것을 볼 수 있다.

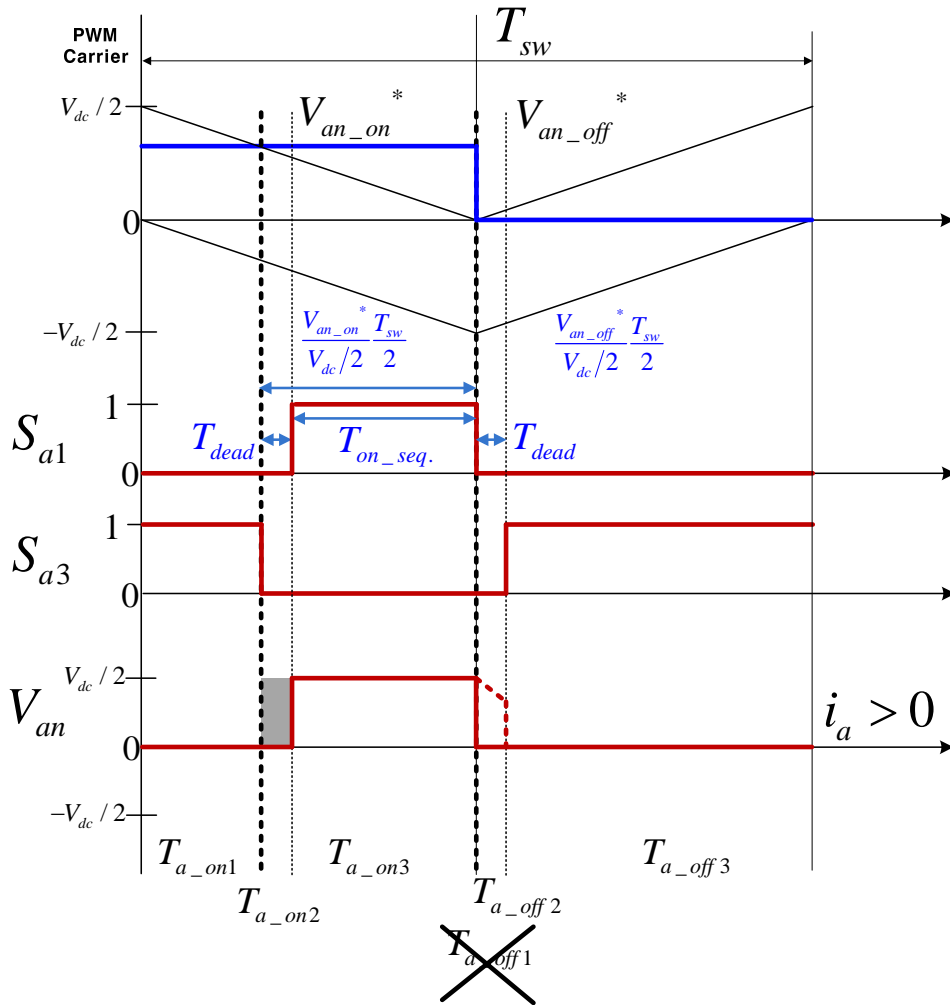


그림 3.23 DTCM1 의 영역 A에서 전압 합성

Figure 3.23 3 Pole voltage synthesize in range 'A' in DTCM1

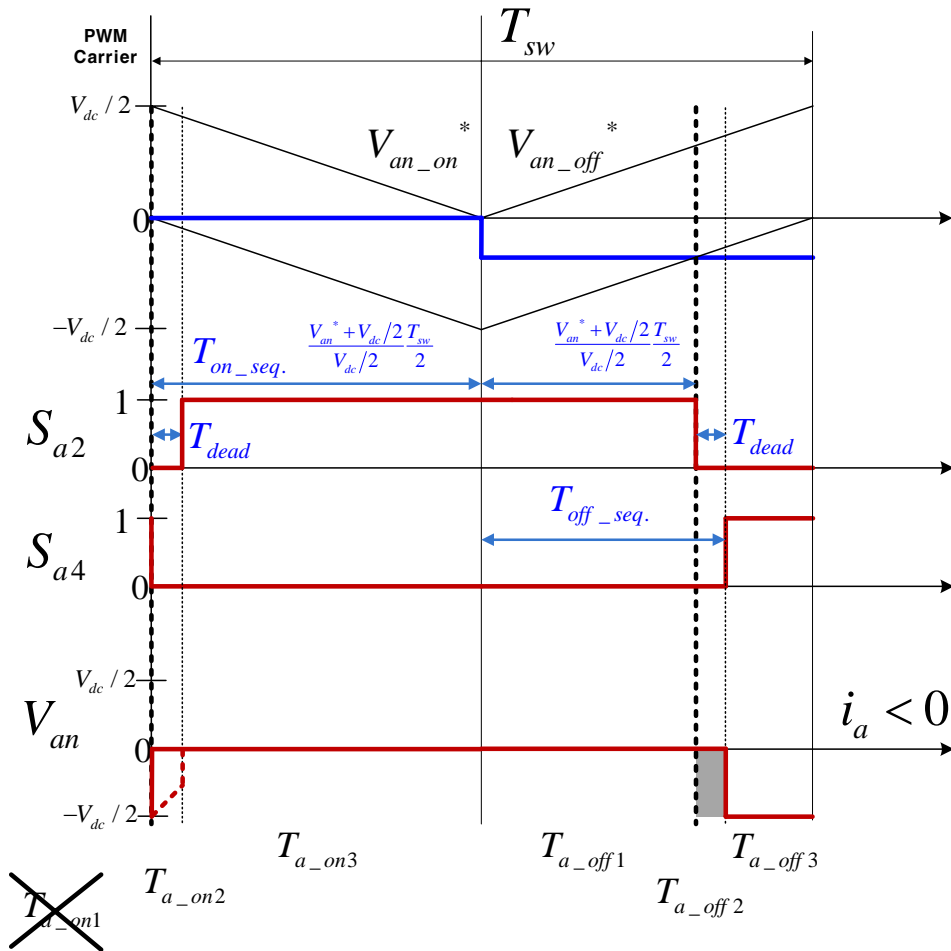


그림 3.24 DTCM1의 영역 D에서 전압 합성

Figure 3.24 Pole voltage synthesize in range 'D' in DTCM1

그림 3.25는 DTCM1의 영역 B일 때의 파형이다. 오프 시퀀스에서는 원하는 전압이 합성이 되나, 온 시퀀스에서 원하는 전압이 0V임에도 불구하고, 데드 타임의 영향으로 불가피하게 $-2V_{dead}$ 전압이 합성되는 것을 볼 수 있다.

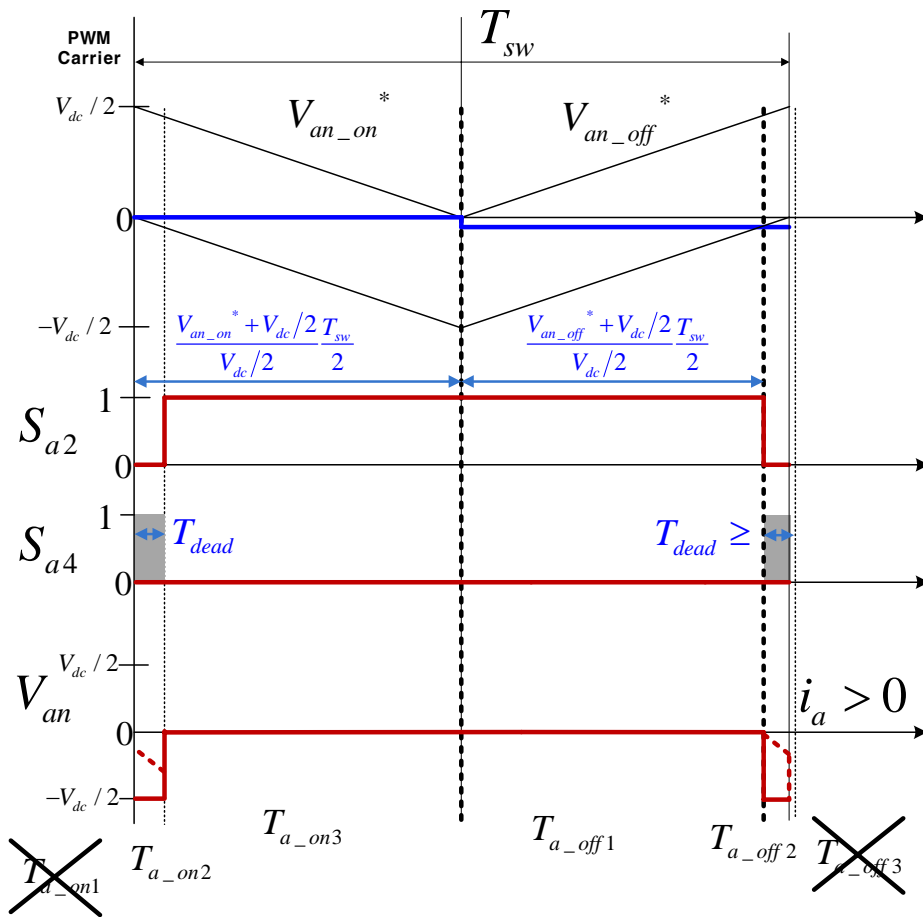


그림 3.25 DTCM1의 영역 B에서 전압 합성

Figure 3.25 Pole voltage synthesise in range 'B' in DTCM1

그림 3.26은 DTCM1 의 영역 C 일 때의 파형이다. 온 시퀀스에서는 원하는 전압이 합성이 되나, 오프 시퀀스에서 원하는 전압이 0V이지만 데드 타임의 영향으로 $2V_{dead}$ 전압이 불가피하게 합성되는 것을 볼 수 있다.

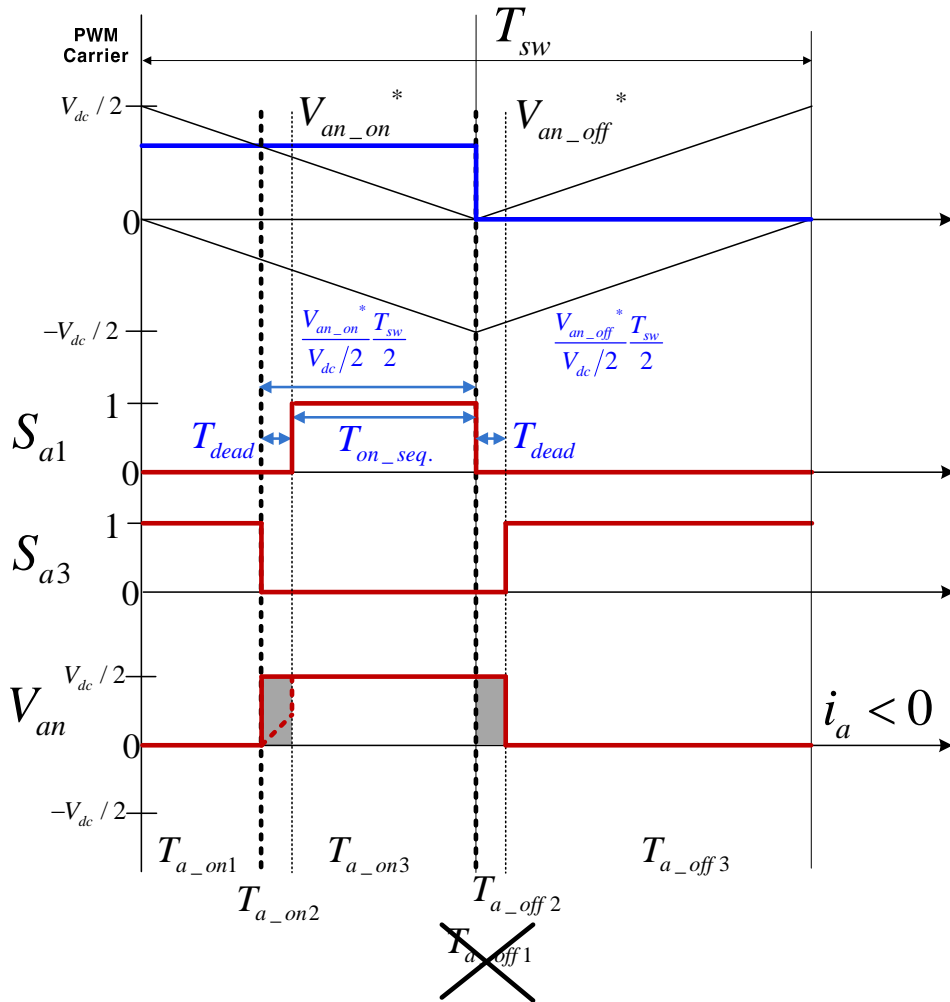


그림 3.26 DTCM1 의 영역 C에서 전압 합성

Figure 3.26 Pole voltage synthesize in range 'C' in DTCM1

그림 3.25, 그림 3.26의 과형에서 볼 수 있듯이 B, C영역에서는 표 3.1에서의 최종 극 전압 지령으로는 데드 타임 보상이 되지 않는다. 따라서 표 3.2와 같은 보상 방법으로 지령 전압을 변경해준다. 이러한 보상 방법을 데드 타임 보상 방법 2 (Dead-Time Compensation Method2, DTCM2)라고 부르기로 한다.

표 3.2 저 전압 조건에서의 데드 타임 영향을 억제하기 위한 최종 극 전압 지령 (DTCM2)

Table 3.2 Modified pole voltage references for dead-time compensation in low voltage condition (DTCM2)

전류	$i_a \gg 0$		$i_a \ll 0$	
전압	$V_{an}^* \geq 0$	$V_{an}^* < 0$	$V_{an}^* \geq 0$	$V_{an}^* < 0$
영역	A	B	C	D
$V_{an_on}^*$	$2V_{an}^* + 2V_{dead}$	$2V_{an}^*$	$-4V_{dead}$	0
$V_{an_off}^*$	0	$4V_{dead}$	$2V_{an}^*$	$2V_{an}^* - 2V_{dead}$
$V_{an_on_avg}$	$2V_{an}^*$	$2V_{an}^* - 2V_{dead}$	$-2V_{dead}$	0
$V_{an_off_avg}$	0	$2V_{dead}$	$2V_{an}^* + 2V_{dead}$	$2V_{an}^*$

B영역에서는 온 시퀀스에서 $2V_{an}^*$ 의 지령을 주더라도 $-2V_{dead}$ 의 왜곡이 발생하므로, 이 왜곡을 보상하기 위해 오프 시퀀스에서 $2V_{dead}$ 의 출력 전압이 나오도록 지령을 만들어 준다. C 영역에서는 오프 시퀀스에서 $2V_{an}^*$ 의 지령을 주더라도 $2V_{dead}$ 의 왜곡이 발생하므로, 이

왜곡을 보상하기 위해 온 시퀀스에서 $-2V_{dead}$ 의 출력 전압이 나오도록
지령을 만들어 준다. DTCM2를 적용했을 때, B 영역, C 영역에서의
파형이 각각 그림 3.27, 그림 3.28에 나와있다.

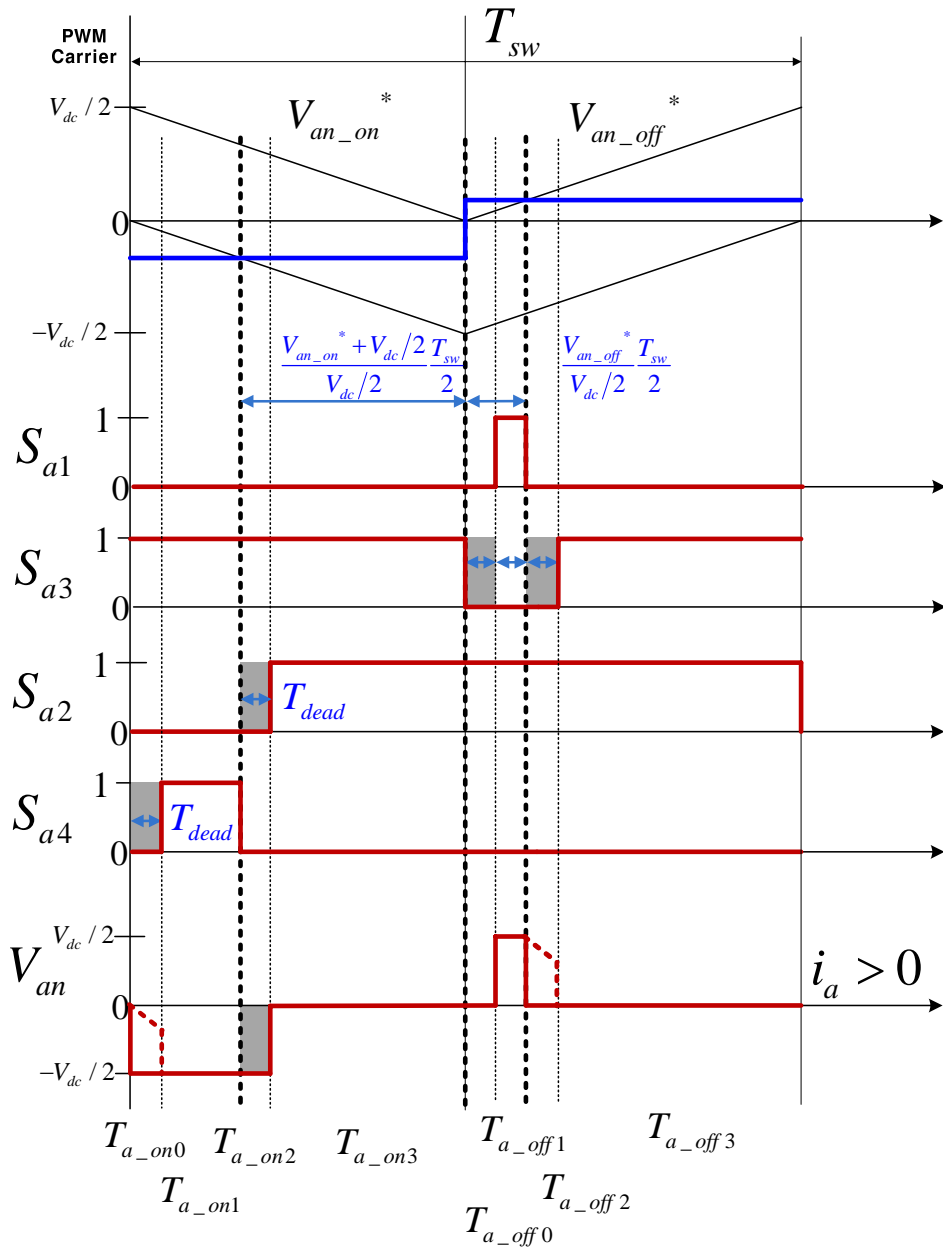


그림 3.27 DTCM2의 영역 B에서 전압 합성

Figure 3.27 Pole voltage synthesize in range 'B' in DTCM2

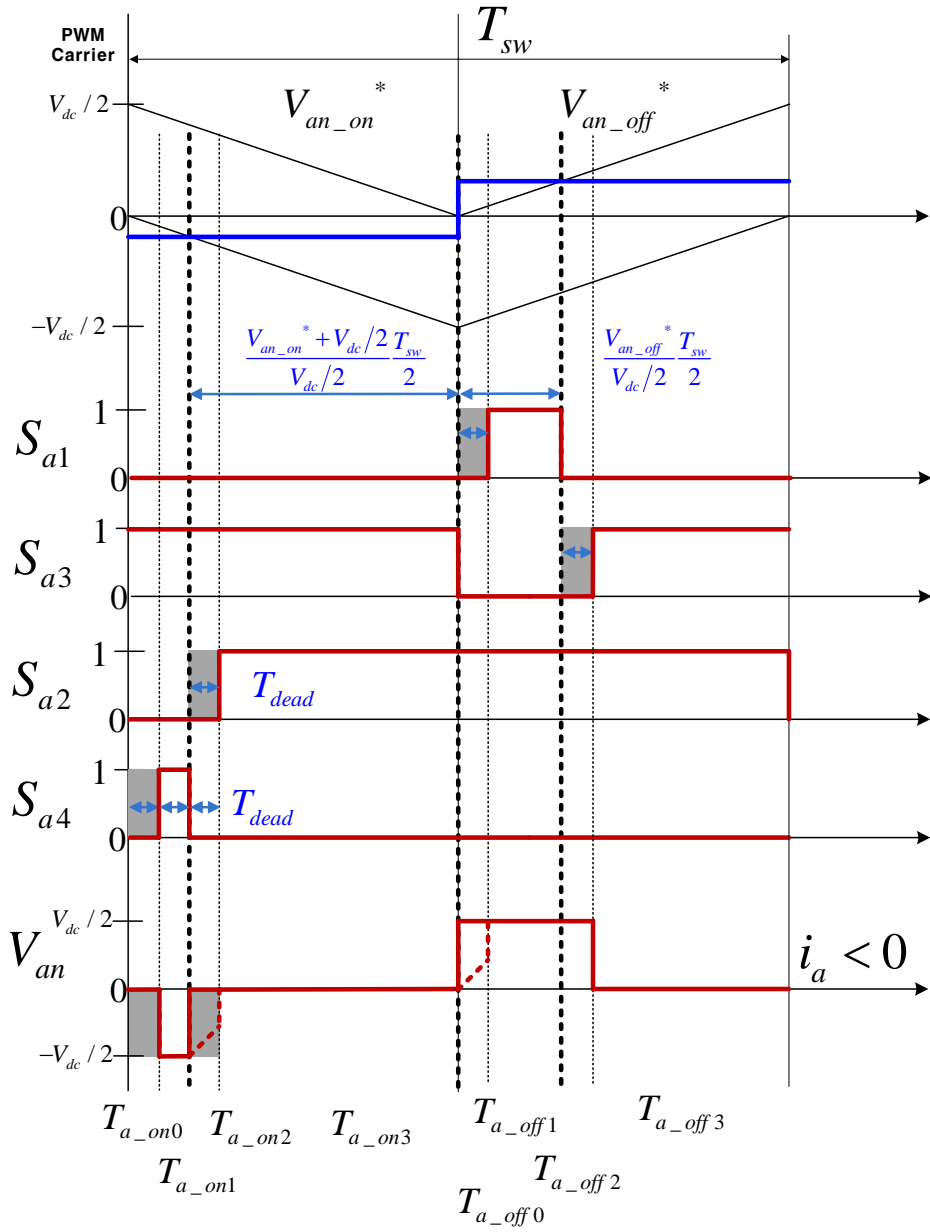


그림 3.28 DTCM2의 영역 C에서 전압 합성

Figure 3.28 Pole voltage synthesise in range 'C' in DTCM2

그림 3.29는 DTCM2를 적용 했을 때의 지령 극 전압과 평균 출력 극 전압의 파형이다. 그림 3.21에서 B, C영역에서는 보상이 제대로 되지 않았으나, 그림 3.29에서는 B, C영역에서도 제대로 보상이 된 것을 볼 수 있다.

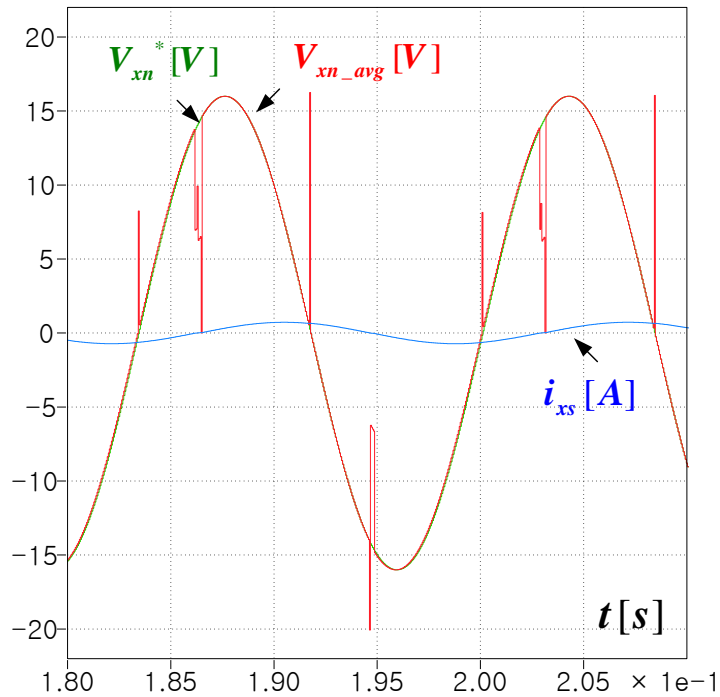


그림 3.29 DTCM2 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류

Figure 3.29 Pole voltage reference, average output pole voltage, phase current with DTCM2

그림 3.30은 그림 3.29의 지령 극 전압과 평균 출력 극 전압의 FFT 결과이다. DTCM2을 적용함으로써 그림 3.22의 결과에 비해 고조파 성분이 크게 줄어든 것을 볼 수 있다.

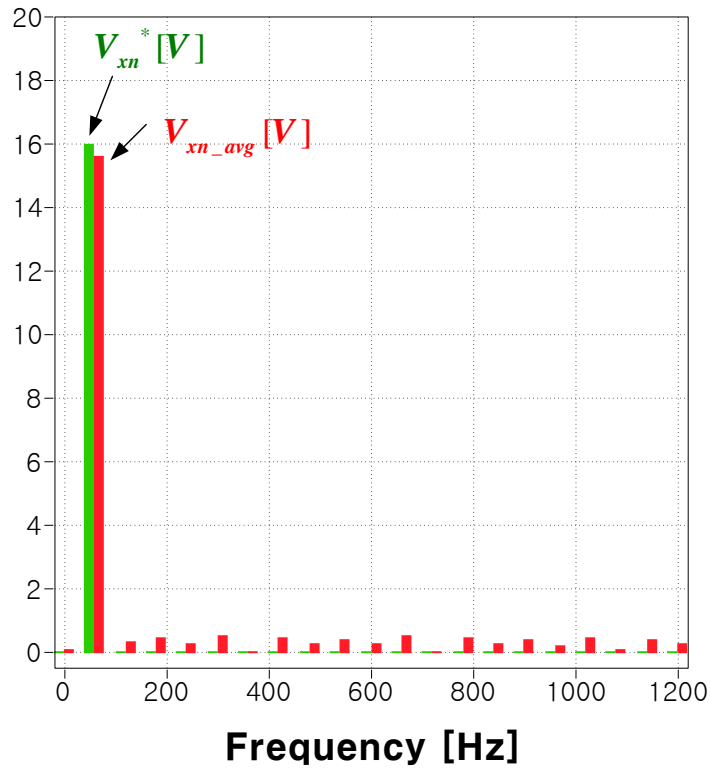


그림 3.30 DTCM2 적용 시 지령 극 전압, 평균 출력 극 전압의 FFT

Figure 3.30 FFT of Pole voltage reference, average output pole voltage with DTCM2

하지만, DTCM2방법은 보통 전류를 측정하는 시점인 삼각파의 최고점, 최저점에서 스위칭을 발생시키므로 전류를 측정하여 제어에 이용하는 시스템의 경우에 스위칭 잡음 (Noise)에 의해 잘못된 전류를 측정할 수 있어서 제대로 된 제어가 안될 수 있다. 따라서 데드 타임 보상이 용이할 수 있도록 지령 극 전압이 0V 부근의 데드 존을 회피할 수 있는 다른 PWM 방법이 필요하다.

3.1.2.1 저 전압 데드 타임의 보상 (AOVPWM, Alternative Offset Voltage PWM) [67]

상 전압의 지령의 최대 값이 작아서 최종 극 전압이 많은 시간 동안 (3.81)과 같이 데드 존 (Dead-zone)에 위치할 경우 최종 극 전압 지령을 데드 존 밖으로 위치 시키는 것이 중요하다.

$$-\frac{V_{dc}}{2} \frac{T_{dead}}{T_{sw}} = -V_{dead} \leq V_{xf}^* \leq V_{dead} = \frac{V_{dc}}{2} \frac{T_{dead}}{T_{sw}}. \quad (3.81)$$

가장 쉽게 생각할 수 있는 방법은 3상 상 전압 지령에 $+\frac{V_{dc}}{4}$ 혹은 $-\frac{V_{dc}}{4}$ 의 오프셋 전압을 추가로 인가하여 최종 극 전압 지령을 전압 왜곡이 심하게 생기는 영역을 피하도록 하는 것이다. 이 방법은 기존 SVPWM 방법과도 함께 사용할 수 있다.

그림 3.31은 상 전압 지령의 크기가 16V이고, 직류단 전압이 400V일 때의 극 전압 지령에 $+\frac{V_{dc}}{4}$ 을 더 했을 때의 최종 극 전압 지령을 보여준다. 상 전압 지령의 크기가 16V이므로 항상 데드 존 안에 존재하지만 $+\frac{V_{dc}}{4}$ 을 더함으로써 최종 극 전압 지령이 모두 데드 존 밖으로 벗어난 것을 볼 수 있다.

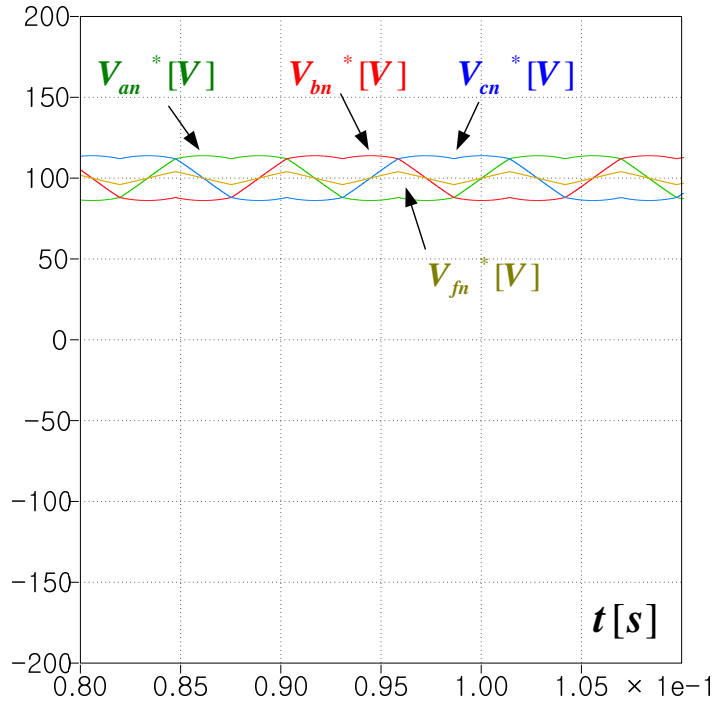


그림 3.31 SVPWM과 $+\frac{V_{dc}}{4}$ 적용 시 지령 극 전압:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

Figure 3.31 Pole voltage references with SVPWM and $+\frac{V_{dc}}{4}$:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

이와 같이 최종 극 전압 지령을 변경한 후 모의 실험에 사용된 전력용 반도체 스위치 모델에 맞도록 데드 타임 보상법을 그림 3.32와 같이 적용하였다.

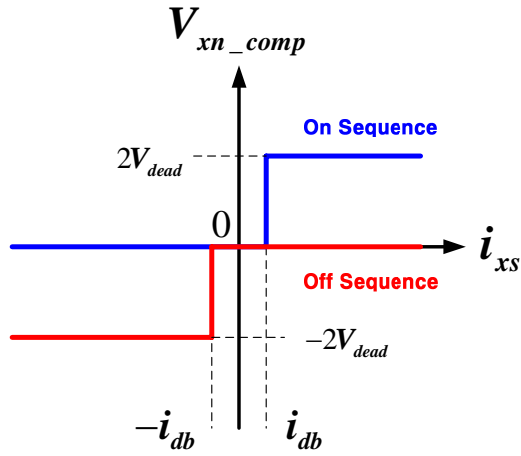


그림 3.32 모의 실험에서의 데드 타임 보상 방법

Figure 3.32 Dead-time compensation method for simulation

그림 3.31과 같은 최종 극 전압 지령에 그림 3.32와 같은 데드 타임 보상 방법을 적용했을 때의 최종 극 전압 파형과 평균 극 전압 파형은 그림 3.33과 같다. 0전류 부근에서의 왜곡만 보이고 대부분의 영역에서 실제 출력 극 전압이 지령 극 전압을 잘 따라가고 있는 것을 알 수 있다.

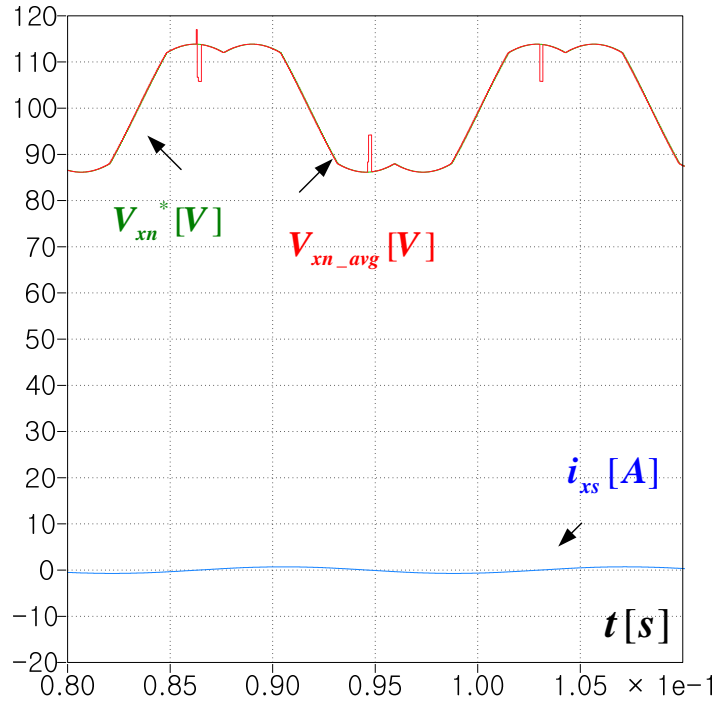


그림 3.33 SVPWM과 $+\frac{V_{dc}}{4}$ 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류

Figure 3.33 Pole voltage reference, average output pole voltage, phase current with SVPWM and $+\frac{V_{dc}}{4}$

그림 3.34는 그림 3.33의 FFT 결과로 최종 극 전압 지령에 DC 성분, 3고조파 성분 등이 포함되어 있는데, 출력 극 전압도 같은 성분을 포함하고 있는 것을 볼 수 있다.

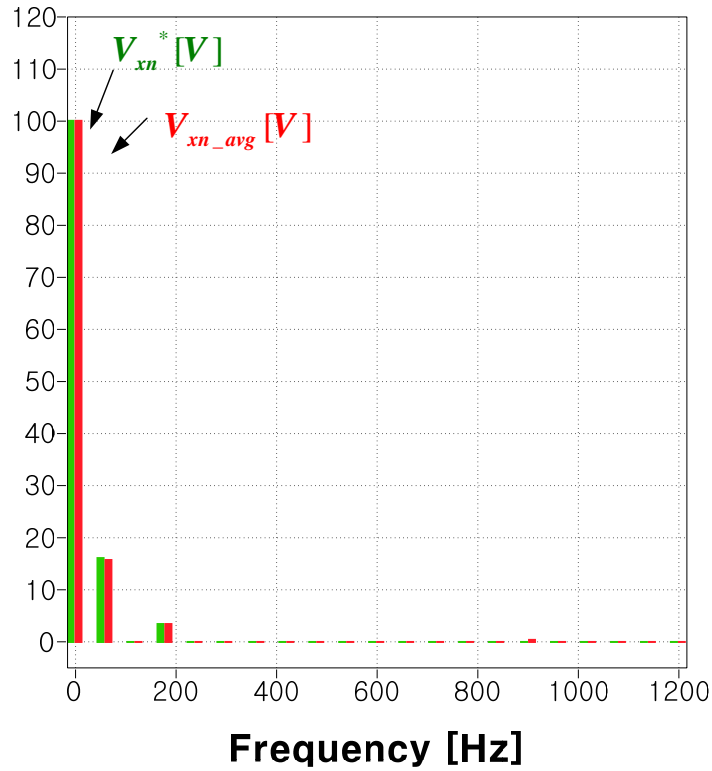


그림 3.34 그림 3.33의 FFT

Figure 3.34 FFT of waveforms in Figure 3.33

그러나 기본과 주기 동안 고정된 오프셋 전압 ($+\frac{V_{dc}}{4}$ 혹은 $-\frac{V_{dc}}{4}$)을 인가할 경우, T-type 모듈의 경우 반도체 소자 전압 강하가 중성단과 상/하단이 다르므로 실제 실험 시 2고조파 왜곡이 발생할 수 있다. 따라서 오프셋 전압을 $+\frac{V_{dc}}{4}$ 와 $-\frac{V_{dc}}{4}$ 를 번갈아 넣어주어야 한다. 즉, 홀수 차수의 고조파 형태로 오프셋 전압을 만들어 넣어주면 된다. 이와 같은 PWM 방법을 AOVPWM (Alternative Offset Voltage PWM)이라고 부르기로

한다. 이때의 최종 극 전압 지령은 그림 3.35와 같다.

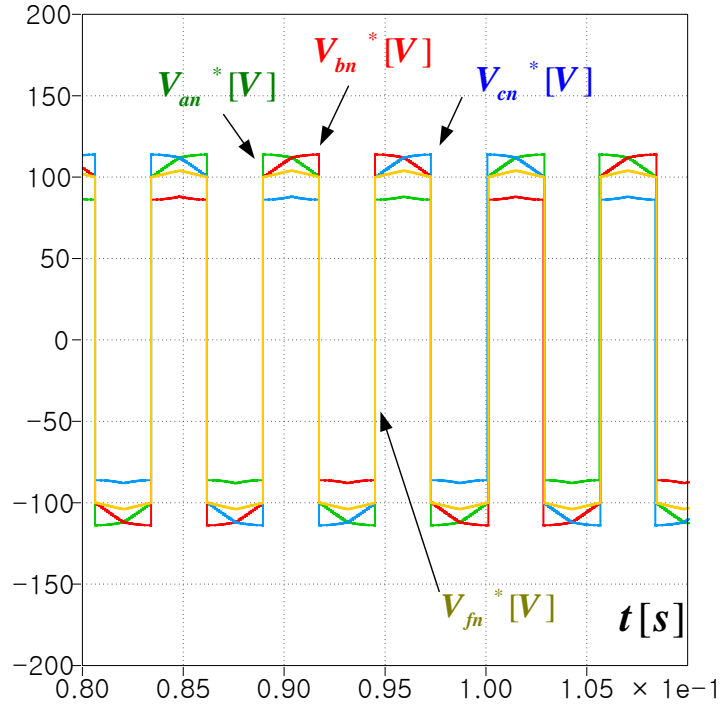


그림 3.35 AOVPWM 적용 시 지령 극 전압:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

Figure 3.35 Pole voltage references with AOVPWM:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

3.1.2.2 중, 고 전압 데드 타임의 보상 (OMVPWM, Optimal Margin Voltage PWM) [67]

어떠한 상 전압 지령이 있는데 이 전압의 크기가 데드 존에 해당하는 전압 보다 클 수 있다. 그러나 상 전압 지령은 교류이기 때문에 지령 전압의 주파수에 따라 0V 전압을 지나갈 수 밖에 없다. 따라서 상 지령 전압의 크기가 크더라도 (3.81)과 같이 반드시 데드 존에 들어가는 경우가 존재하고, 이때 전압이 왜곡되게 된다. 따라서 이 경우에도 데드 존을 회피하기 위한 전략이 필요하다.

상 전압 지령 (V_{as}^* , V_{bs}^* , V_{cs}^* , V_{fs}^*)이 그림 3.36 (a)와 같다고 하자. 이 상 전압 지령들을 (3.82)에 의해 그림 3.36 (b)와 같이 모두 동일 삼각파에 위치시킨다.

$$V_{xn}^{**} = \begin{cases} V_{xs}^* & , V_{xs}^* \geq 0 \\ V_{xs}^* + \frac{V_{dc}}{2} & , V_{xs}^* < 0 \end{cases}, x = a, b, c, f. \quad (3.82)$$

같은 삼각파에 위치한 극 전압 지령들 (V_{an}^{**} , V_{bn}^{**} , V_{cn}^{**} , V_{fn}^{**})을 이용하여 아래와 같이 여유분 값들 (V_{marU} , V_{marL})을 계산한다.

$$\begin{cases} V_{marU} = \frac{V_{dc}}{2} - V_{dead} - V_{\max}^{**} \\ V_{marL} = V_{dead} - V_{\min}^{**} \end{cases}. \quad (3.83)$$

이 값을 이용하여 옵셋 전압을 계산해준다.

$$V_{sn}^{**} = \frac{V_{marU} + V_{marL}}{2} \quad (3.84)$$

식 (3.85)를 이용하여 새로운 극 전압 지령들을 구할 수 있다.

$$\begin{cases} V_{an}^{***} = V_{an}^{**} + V_{sn}^{**} \\ V_{bn}^{***} = V_{bn}^{**} + V_{sn}^{**} \\ V_{cn}^{***} = V_{cn}^{**} + V_{sn}^{**} \\ V_{fn}^{***} = V_{fn}^{**} + V_{sn}^{**} \end{cases} \quad (3.85)$$

그림 3.36 (c)의 극 전압 지령들을 보면 데드 존과의 거리가 같아진 것을 볼 수 있다. 이 지령들을 이용하여 (3.86)과 같이 다시 최종 극 전압 지령들을 생성해주면 그림 3.36 (d)와 같다.

$$V_{xn}^{*} = \begin{cases} V_{xn}^{***}, & V_{xs}^{*} \geq 0 \\ V_{xn}^{***} - \frac{V_{dc}}{2}, & V_{xs}^{*} < 0 \end{cases}, x = a, b, c, f. \quad (3.86)$$

최종 극 전압 지령들을 살펴보면 데드 존을 모두 피한 것을 볼 수 있다. 이와 같은 PWM 방법을 OMVPWM (Optimal Margin Voltage PWM)이라 부르기로 한다.

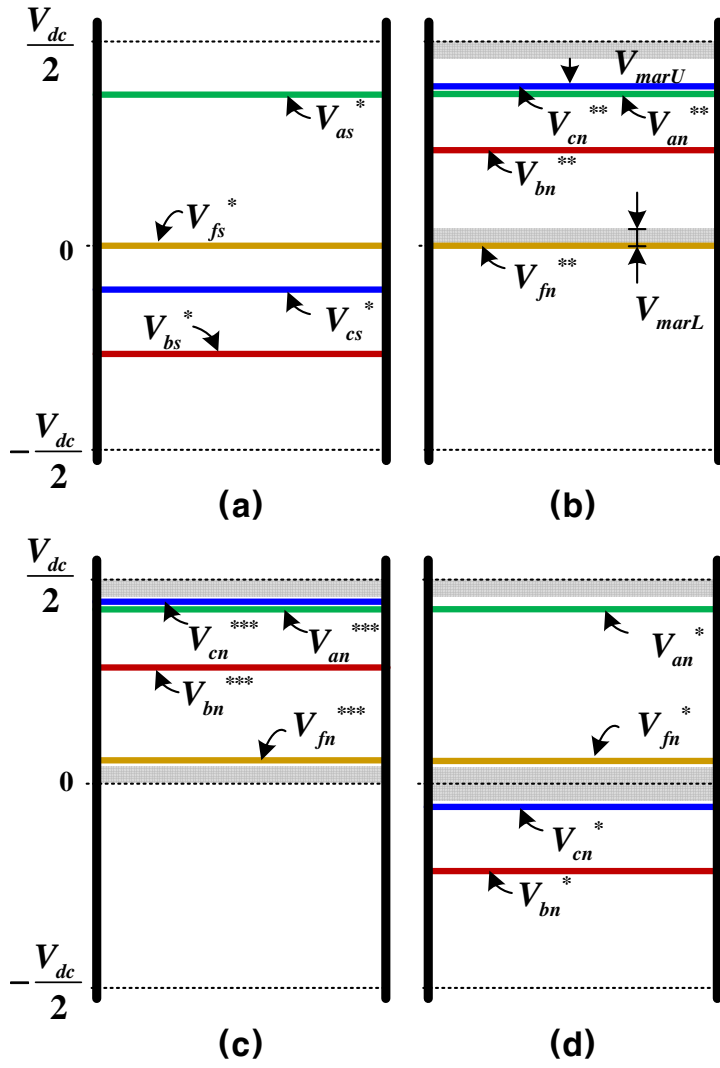


그림 3.36 OMVPWM 원리

Figure 3.36 Principle of OMVPWM

그림 3.37은 상 전압 지령의 크기가 180V일 때의 최종 극 전압 지령을 보여준다. 모든 극 전압 지령이 $-V_{dead}(-8V)$ 부터 $V_{dead}(8V)$ 까지의 데드 존을 피하고 있는 것을 볼 수 있다.

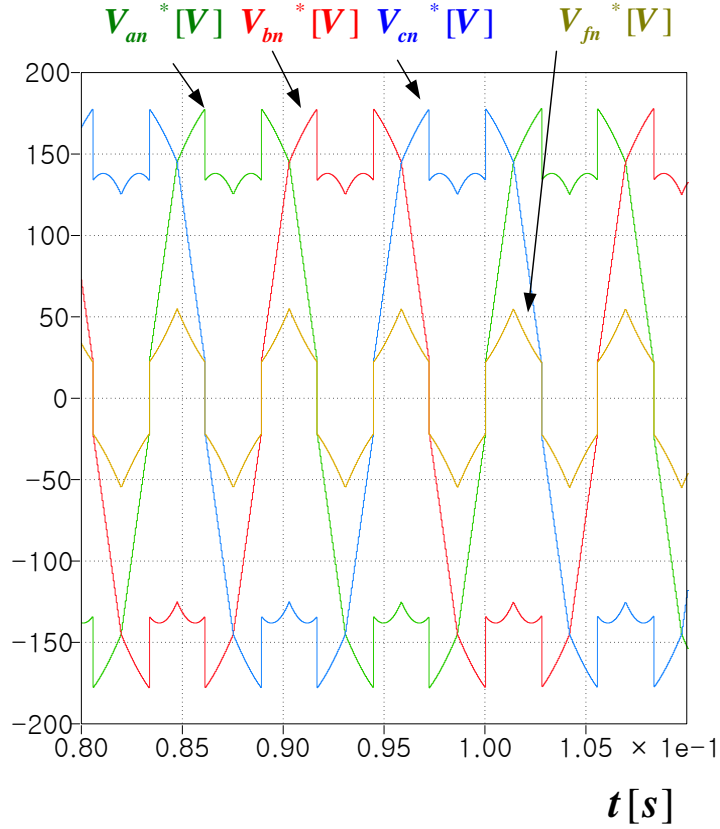


그림 3.37 OMVPWM 적용 시 극 전압 파형:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

Figure 3.37 Pole voltage references with OMVPWM:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

그림 3.38은 최종 극 전압 지령이 그림 3.37과 같고, 그림 3.32와 같은 데드 타임 보상 방법을 적용했을 때의 한 상의 최종 극 전압 지령과 평균 출력 극 전압을 보여준다. 데드 타임 보상이 제대로 되어 평균 출력 극 전압이 최종 극 전압 지령을 잘 따라가고 있는 것을 볼 수 있다.

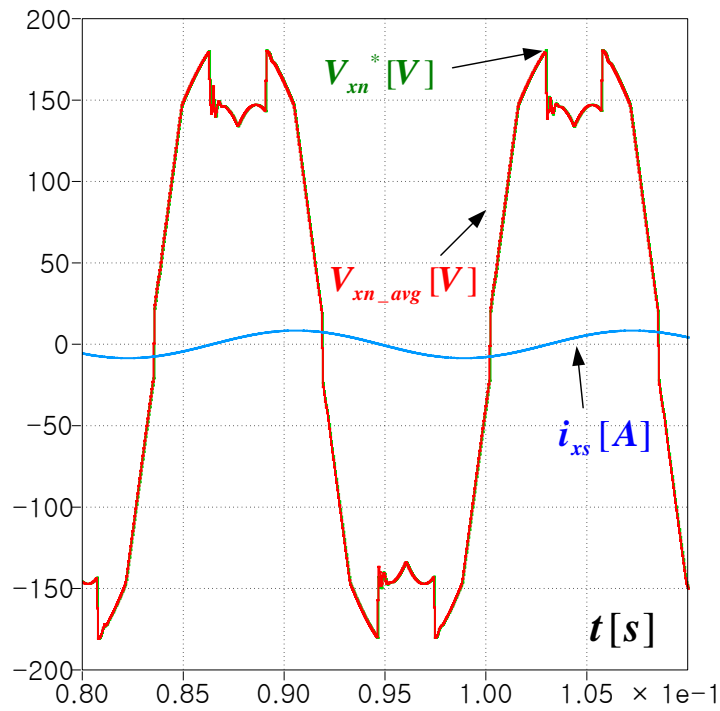


그림 3.38 OMVPWM 적용 시 지령 극 전압, 평균 출력 극 전압, 상 전류

Figure 3.38 Pole voltage reference, average output pole voltage, phase current with OMVPWM

3.1.2.3 전압 사용률

여기서 전압 변조 지수 (Modulation index)는 아래와 같이 정의한다[42].

$$Mi \triangleq \frac{V_{lm}}{V_{dc} / 2}. \quad (3.87)$$

여기서 V_{lm} 은 출력 상 전압의 기본파 성분의 크기이다.

$$\begin{cases} V_{af}^* = V_m \sin \omega t \\ V_{bf}^* = V_m \sin(\omega t - \frac{2}{3}\pi) . \\ V_{cf}^* = V_m \sin(\omega t + \frac{2}{3}\pi) \end{cases} \quad (3.88)$$

먼저 AOVPWM 적용 시, 극 전압 지령의 크기의 최대값은 (3.89)와 같다.

$$(V_{xn}^*)_{peak} = \frac{\sqrt{3}}{2}V_m + \frac{1}{4}V_{dc} . \quad (3.89)$$

극 전압의 최대 값은 (3.90)과 같이 상단 직류단 전압에서 데드 존만큼 작아야 한다.

$$(V_{xn}^*)_{peak} = \frac{\sqrt{3}}{2}V_m + \frac{1}{4}V_{dc} \leq \frac{V_{dc}}{2} - V_{dead} . \quad (3.90)$$

따라서 상 전압 지령의 최대 값은 아래와 같다.

$$V_m \leq \frac{2}{\sqrt{3}}(\frac{1}{4}V_{dc} - V_{dead}) . \quad (3.91)$$

실험에서 고려하고 있는 컨버터의 직류단 전압과 데드 타임 전압을 대입해주면 아래와 같다.

$$V_m \leq 106.2324V. \quad (3.92)$$

다음으로 OMVPWM 적용 시, 그림 3.38과 같은 극 전압 지령의 크기의 최대값은 (3.93)과 같다.

$$(V_{xn}^*)_{peak} = \frac{\sqrt{3}}{2} V_m + V_x. \quad (3.93)$$

여기서 V_x 는 극 전압 지령이 최대일 때 f 레그 극 전압이다.

V_{marU} 과 V_{marL} 의 절대값이 같으므로, 아래와 같은 관계가 성립된다.

$$\frac{V_{dc}}{2} - V_{dead} - \left(\frac{\sqrt{3}}{2} V_m + V_x\right) = V_x - V_{dead}. \quad (3.94)$$

여기서 V_x 는 아래와 같이 정리된다.

$$V_x = \frac{\frac{V_{dc}}{2} - \frac{\sqrt{3}}{2} V_m}{2}. \quad (3.95)$$

V_x 또한 V_{dead} 보다 커야 한다. 따라서 (3.96)과 같은 관계가 성립된다.

$$V_m \leq \frac{2}{\sqrt{3}} \left(\frac{V_{dc}}{2} - 2V_{dead} \right). \quad (3.96)$$

직류단 전압과 데드 타임 전압을 대입해주면 아래와 같다.

$$V_m \leq 212.4649V. \quad (3.97)$$

Mi가 작을 때 OMVPWM 적용 시 극 전압 파형은 그림 3.39와 같다.

여기서 a, b, c 레그의 가장 작은 극 전압은 아래와 같다.

$$(V_{xn}^*)_{\min} = \frac{\sqrt{3}}{2} V_m - V_x . \quad (3.98)$$

이때의 극 전압은 f 레그의 극 전압과 같다. 따라서 (3.99)와 같은 관계가 성립한다.

$$(V_{xn}^*)_{\min} = \frac{\sqrt{3}}{2} V_m - V_x = V_x . \quad (3.99)$$

이때의 V_x 는 아래와 같이 정리된다.

$$V_x = \frac{\sqrt{3}}{4} V_m . \quad (3.100)$$

V_x 또한 V_{dead} 보다 커야 한다. 따라서 (3.101)과 같은 관계가 성립된다.

$$V_m \geq \frac{4}{\sqrt{3}} V_{dead} . \quad (3.101)$$

직류단 전압과 데드 타임 전압을 대입해주면 아래와 같다.

$$V_m \geq 18.4752V . \quad (3.102)$$

식 (3.97)과 (3.102)에 의해서 OMVPWM 을 적용할 수 있는 상 전압의 크기는 아래와 같은 범위를 가진다.

$$18.4752V \leq V_m \leq 212.4649V . \quad (3.103)$$

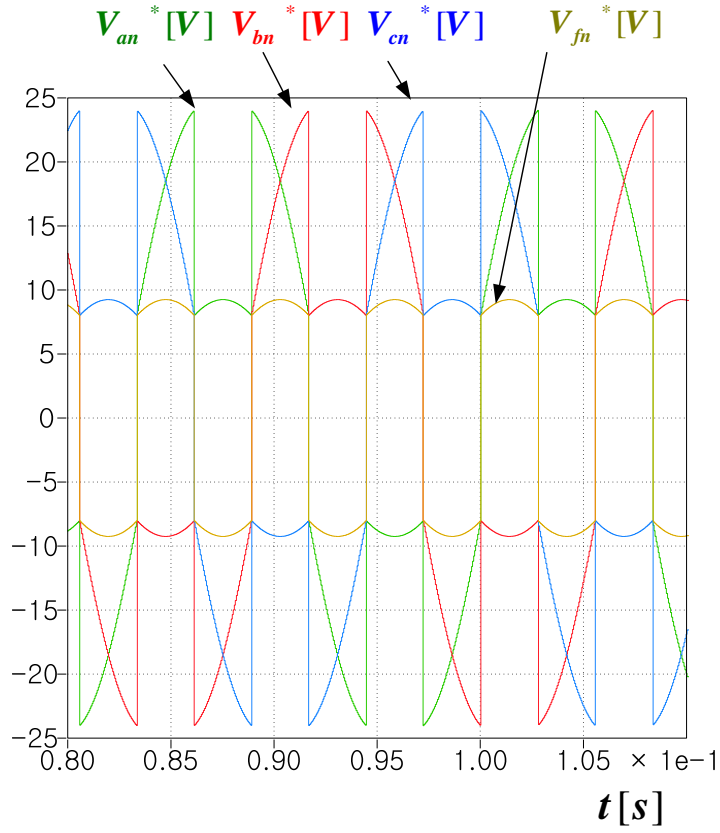


그림 3.39 OMVPWM 적용 시 극 전압 파형:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

Figure 3.39 Pole voltage references with OMVPWM:

$$V_{an}^*, V_{bn}^*, V_{cn}^*, V_{fn}^*$$

그림 3.40 은 상 전압 지령 크기에 따라 사용 가능한 데드 타임 보상을 위한 PWM 방법을 보여주고 있다. 0V 에 가까운 지령 전압일 때는 AOVPWM 방법만 적용이 가능하나, 어느 정도 지령 전압이 커지면(18.4 V 이상) OMVPWM 도 적용 가능하다. 106.2 V 이상에서는 AOVPWM 은 적용이 불가능하고 OMVPWM 만 적용이 가능하다.

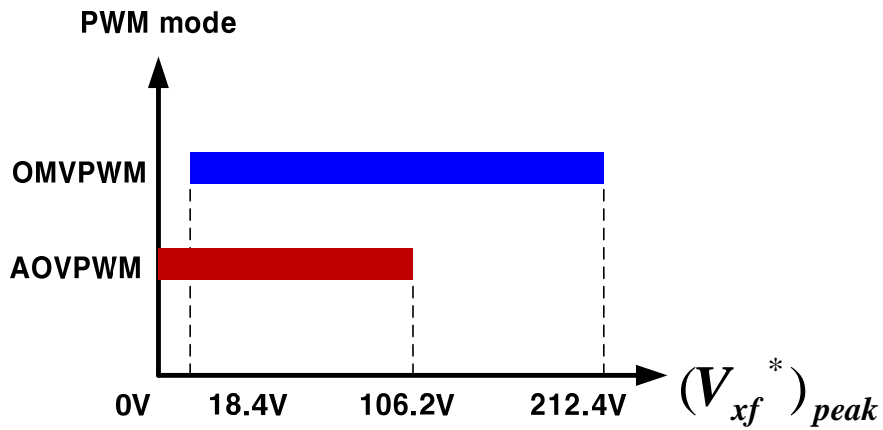


그림 3.40 상 전압 지령 크기에 따라 데드 타임 보상을 위한 PWM 방법

Figure 3.40 PWM methods for dead-time method depending on the magnitude of the phase voltage reference

3.1.3 모의 실험 결과

3 레벨 토폴로지의 데드 타임 보상 방법의 유효성 검증을 위해 모의 실험을 수행하였다. 모의 실험에 사용된 회로는 그림 3.41 과 같이 3 레벨 4 레그 컨버터이고, LC 필터의 캐피시터 단에 부하를 연결하였다.

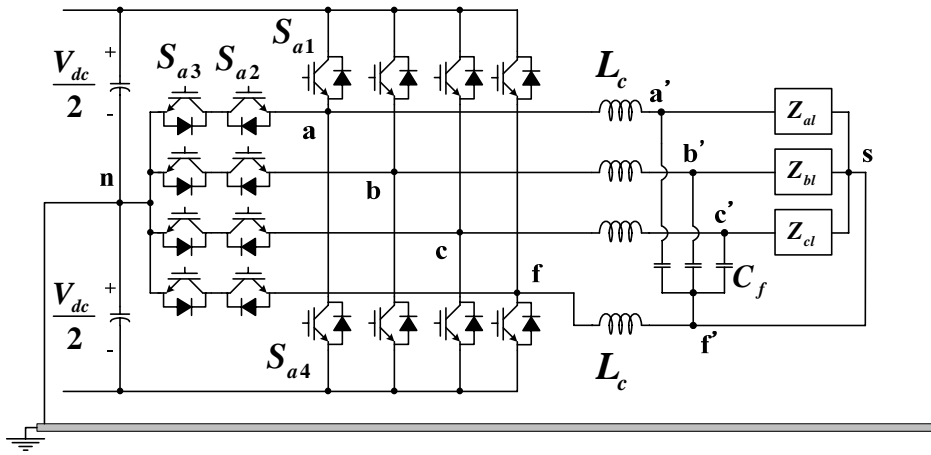


그림 3.41 모의 실험 회로

Figure 3.41 Simulation circuit diagram

데드 타임 보상용 전압은 그림 3.32 와 같이 PWM 의 온 시퀀스, 오프 시퀀스에 따라 다르게 된다. 여기서 직류단 전압 (V_{dc})은 400V, 스위칭 주파수 (f_{sw})는 20 kHz, 샘플링 주파수 (f_{samp})는 40 kHz 이다. 이때 데드 타임 (T_{dead})은 $2\mu s$ 로 설정하였다. 부하는 (3.104)와 같은 값을 가지는 3 상 평형 부하를 사용하였다.

$$L_{al} = L_{bl} = L_{cl} = 50.731mH . \quad (3.104)$$

$$R_{al} = R_{bl} = R_{cl} = 10\Omega . \quad (3.105)$$

먼저 지령 전압의 크기가 (3.106)과 같이 작을 때 모의 실험을 수행하였다. 공진 성분이 캐패시터 전압에 보이지 않게 하기 위해서 능동 댐핑 (Active damping) 방법을 적용하였다[68].

$$\begin{cases} V_{af}^* = 16 \sin 2\pi 60t \\ V_{bf}^* = 16 \sin(2\pi 60t - \frac{2}{3}\pi) . \\ V_{cf}^* = 16 \sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.106)$$

각각의 모의 실험에서의 PWM 방법과 데드 타임 보상 여부는 표 3.3과 같다.

표 3.3 저 전압에서의 모의 실험 조건

Table 3.3 Conditions for simulation in low voltage

모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
Sim1	SVPWM	보상 안함	보상 안함
Sim2	SVPWM	보상 함	보상 함
Sim3	SVPWM	보상 함	보상 안함
Sim4	SPWM	보상 안함	보상 안함
Sim5	SPWM	보상 함	보상 안함
Sim6	SVPWM+AOVPWM	보상 함	보상 함
Sim7	SVPWM+AOVPWM	보상 함	보상 안함
Sim8	SPWM+AOVPWM	보상 함	보상 함
Sim9	SPWM+AOVPWM	보상 함	보상 안함

그림 3.42, 그림 3.43, 그림 3.44 는 SVPWM 방법을 적용했을 때의 파형이다. 각각의 그림에서 (a) 는 a 상 캐패시터 지령 전압과 a 상 캐패시터 전압, (b)는 a 상 전류를 보여준다.

그림 3.42 와 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 여기서 4 개의 레그 모두 데드 타임 보상을 한 그림 3.43 을 보면 기본파 주파수 성분의 크기는 데드 타임 보상을 하지 않은 그림

3.42 와 비교해 여전히 지령 값보다는 작지만 커진 것을 볼 수 있다. 그러나 고조파 성분의 크기가 동시에 커진 것을 볼 수 있다. 오히려 f 상만 데드 타임 보상을 하지 않은 그림 3.44 와 같은 결과를 보면 그림 3.43 보다 기본파 성분의 크기는 커지고 고조파 성분의 크기는 줄어든 것을 볼 수 있다.

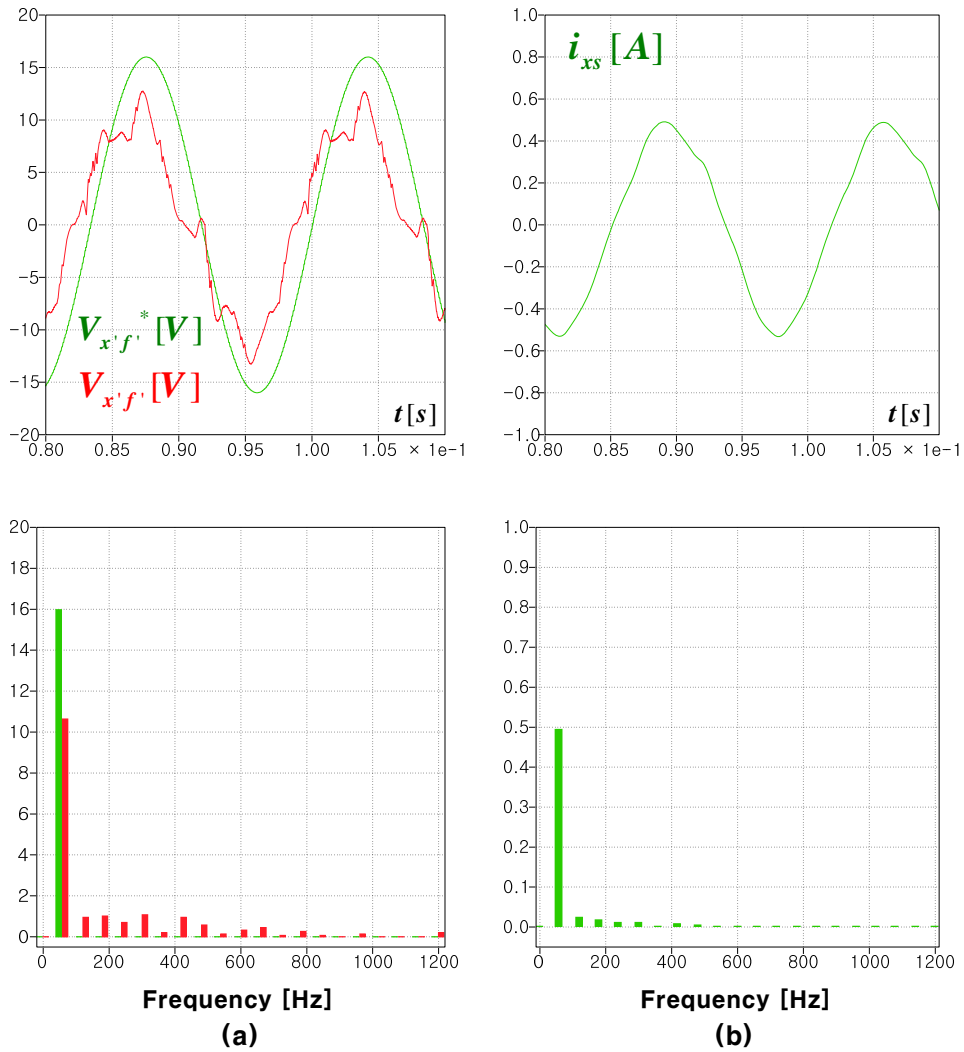


그림 3.42 모의 실험 결과 – Sim1 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)

Figure 3.42 Simulation result – Sim1 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

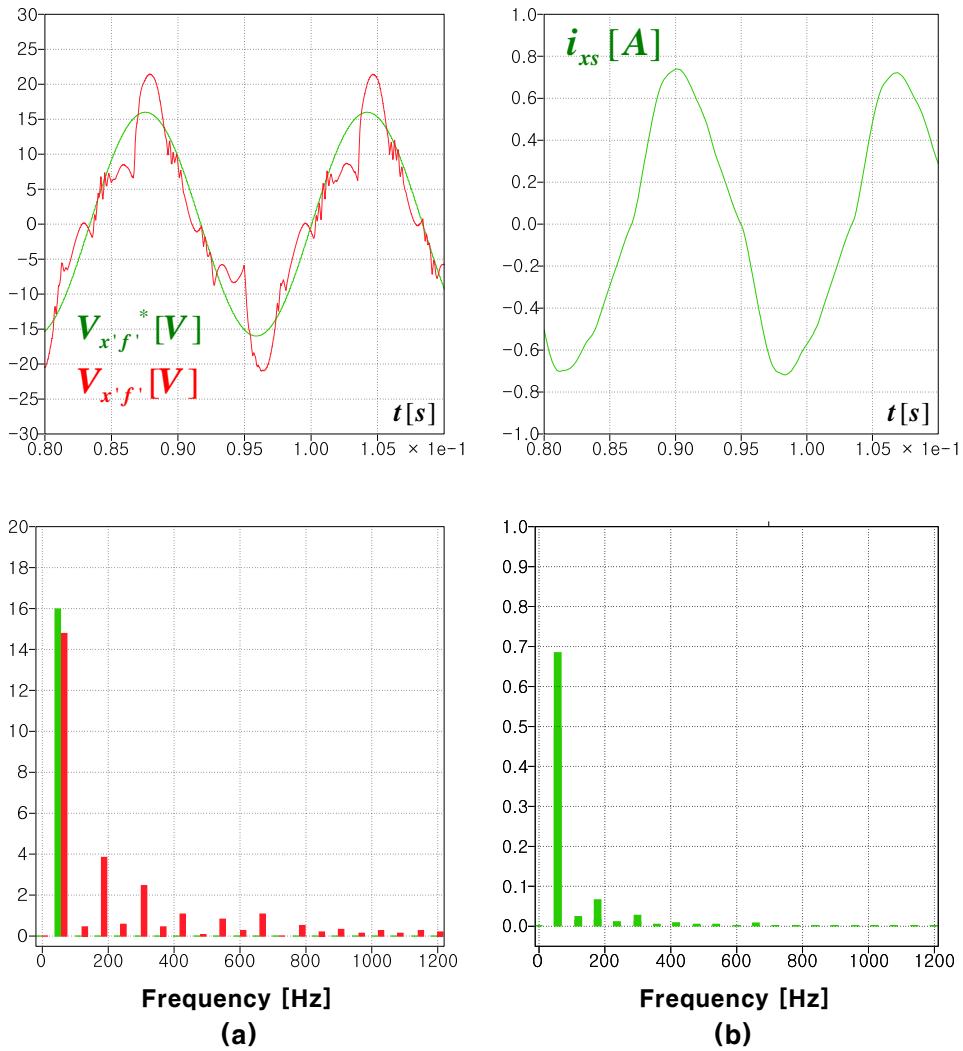


그림 3.43 모의 실험 결과 - Sim2 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.43 Simulation result - Sim2 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

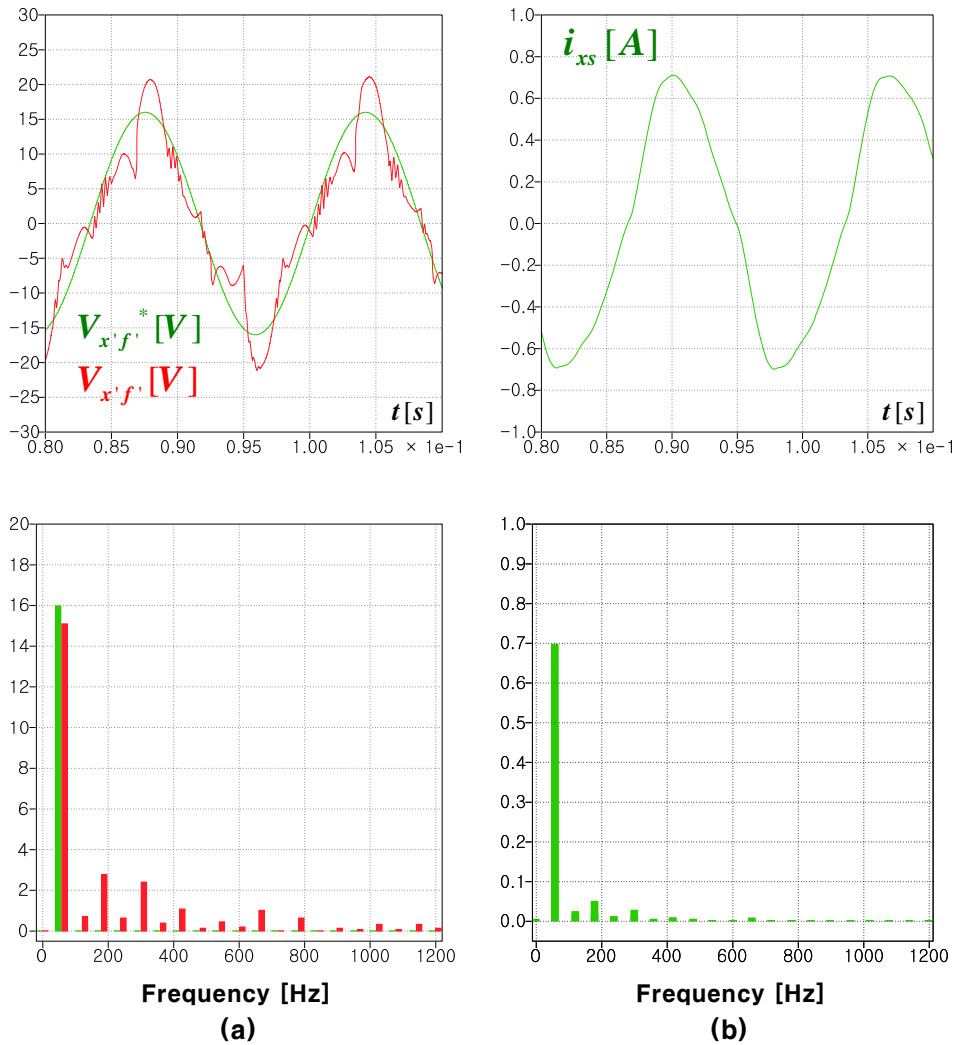


그림 3.44 모의 실험 결과 – Sim3 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.44 Simulation result – Sim3 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

그림 3.45, 그림 3.46 은 SPWM 방법을 적용했을 때의 파형이다. SPWM 방법을 4 레그 컨버터에 적용하게 되면 f 레그는 스위칭을 하지 않게 된다.

그림 3.45 와 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 여기서 a, b, c 3 개의 레그에 데드 타임 보상을 한 그림 3.46 을 보면 기본파 주파수 성분의 크기는 보상 전과 비교해 크지만, 지령 값보다는 작은 것을 볼 수 있다. 그러나 고조파 성분의 크기가 동시에 커진 것을 볼 수 있다.

SVPWM 방법 혹은 SPWM 방법을 적용해도 최종 극 전압의 지령은 데드 존 안에 들어가므로 데드 타임 보상이 제대로 이루어지지 않는다. 따라서, 캐패시터 전압은 지령 전압과 다르게 전압의 기본파 성분 크기도 작고, 고조파 성분도 커지게 된다.

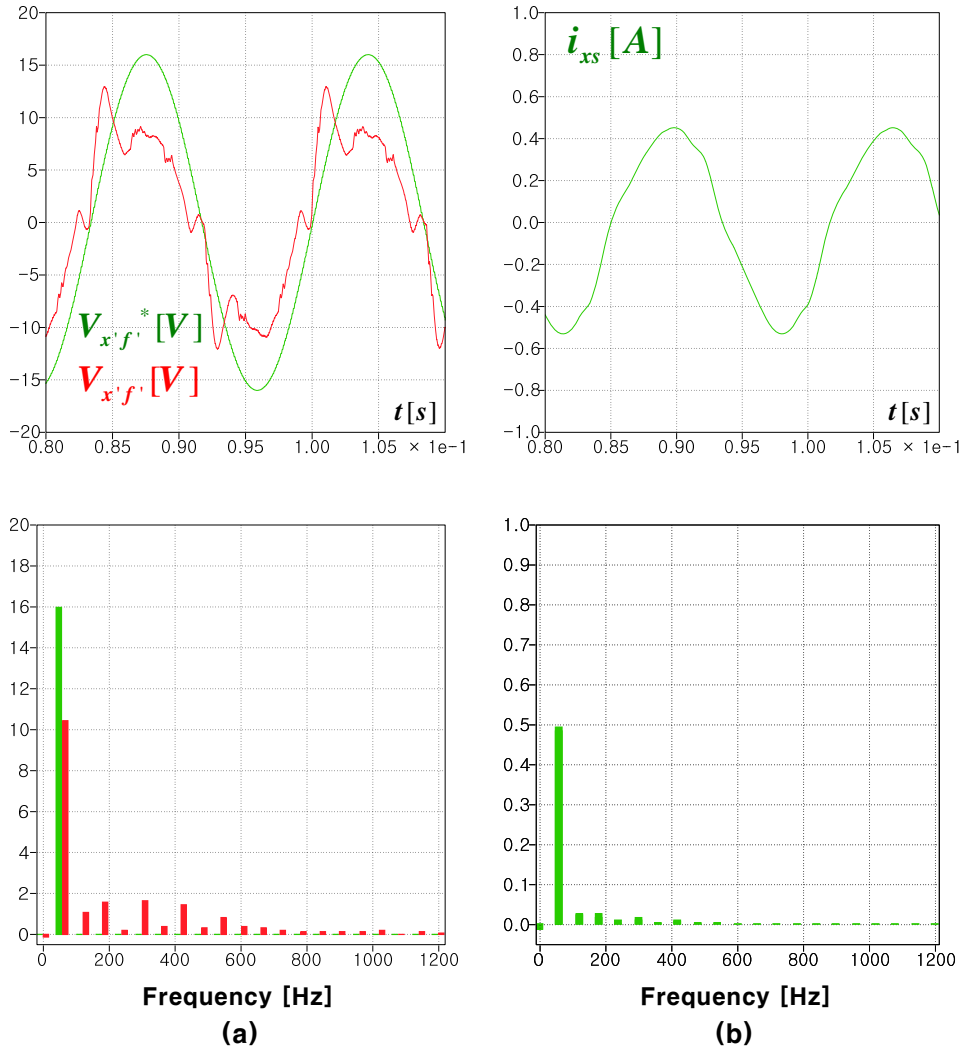


그림 3.45 모의 실험 결과 – Sim4 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.45 Simulation result – Sim4 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

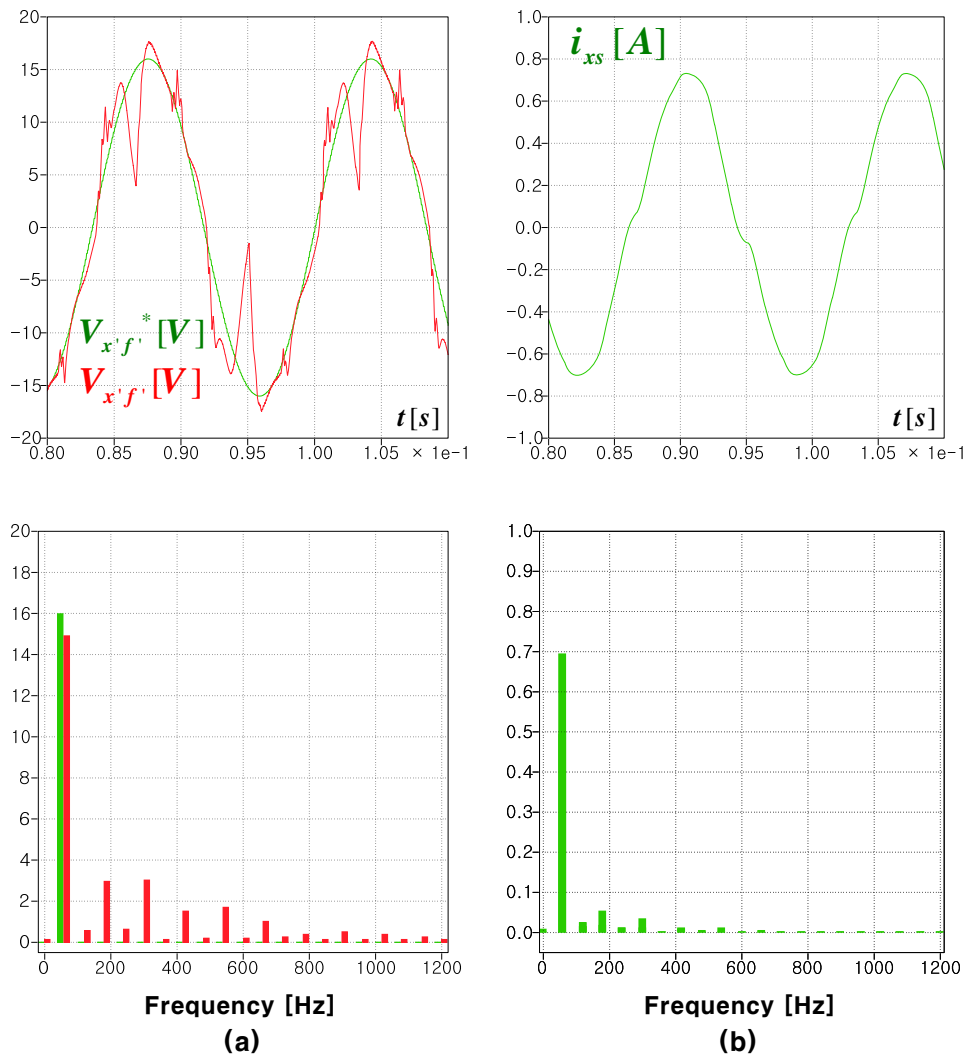


그림 3.46 모의 실험 결과 - Sim5 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.46 Simulation result - Sim5 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

AOVPWM 방법은 다른 PWM 방법과 함께 사용할 수 있다.

그림 3.47, 그림 3.48 은 AOVPWM 을 SVPWM 과 함께 사용했을 때의 결과이고, 그림 3.49, 그림 3.50 은 SPWM 과 함께 사용했을 때의 결과이다. 그림 3.47, 그림 3.48 을 보면 f 레그의 데드 타임 보상과 상관없이 비슷한 결과를 보이고, 그림 3.49, 그림 3.50 역시 f 레그의 데드 타임 보상과 상관없이 비슷한 결과를 보인다. AOVPWM 을 사용했을 때, 0 전류 부근의 보상 오차로 완벽하게 보상이 되지는 않으나 기존 PWM 을 사용했을 때의 결과에 비해서는 보상이 잘되어 지령 전압과 캐패시터 전압의 오차가 크지 않은 것을 볼 수 있다.

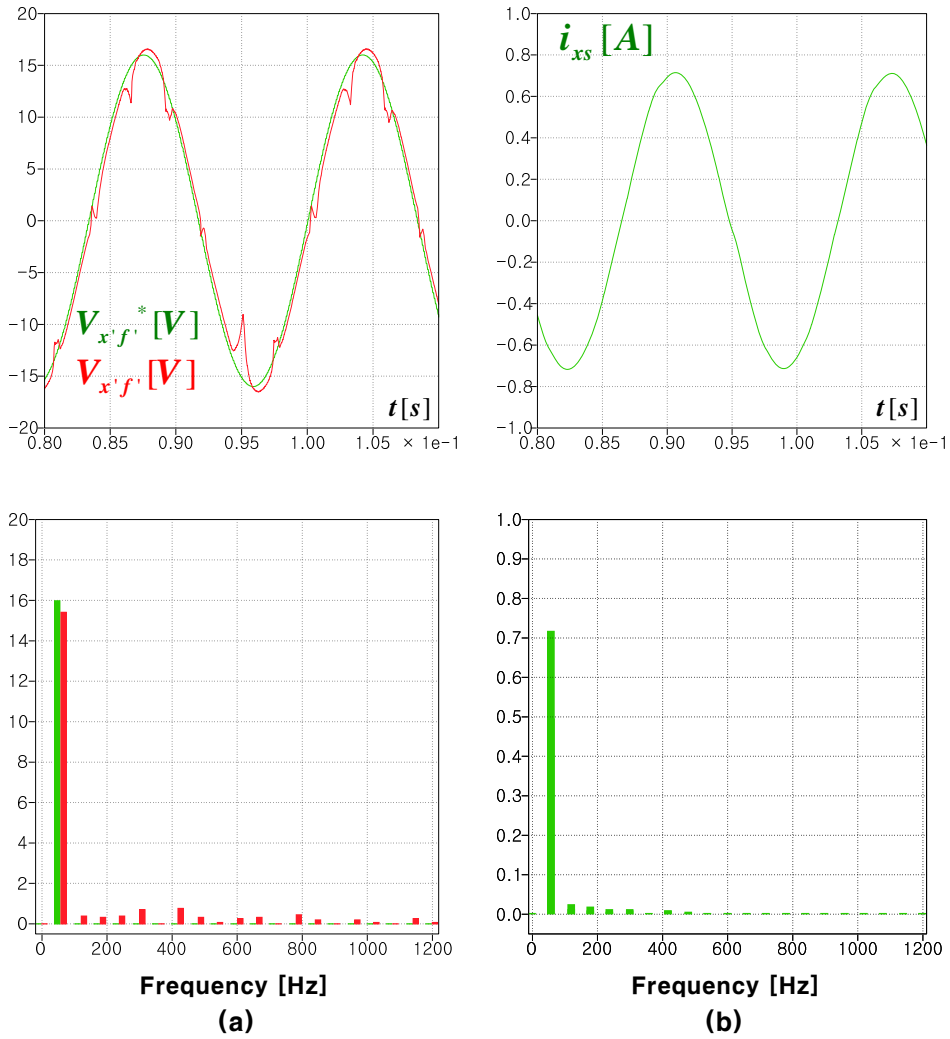


그림 3.47 모의 실험 결과 - Sim6 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)

Figure 3.47 Simulation result - Sim6 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

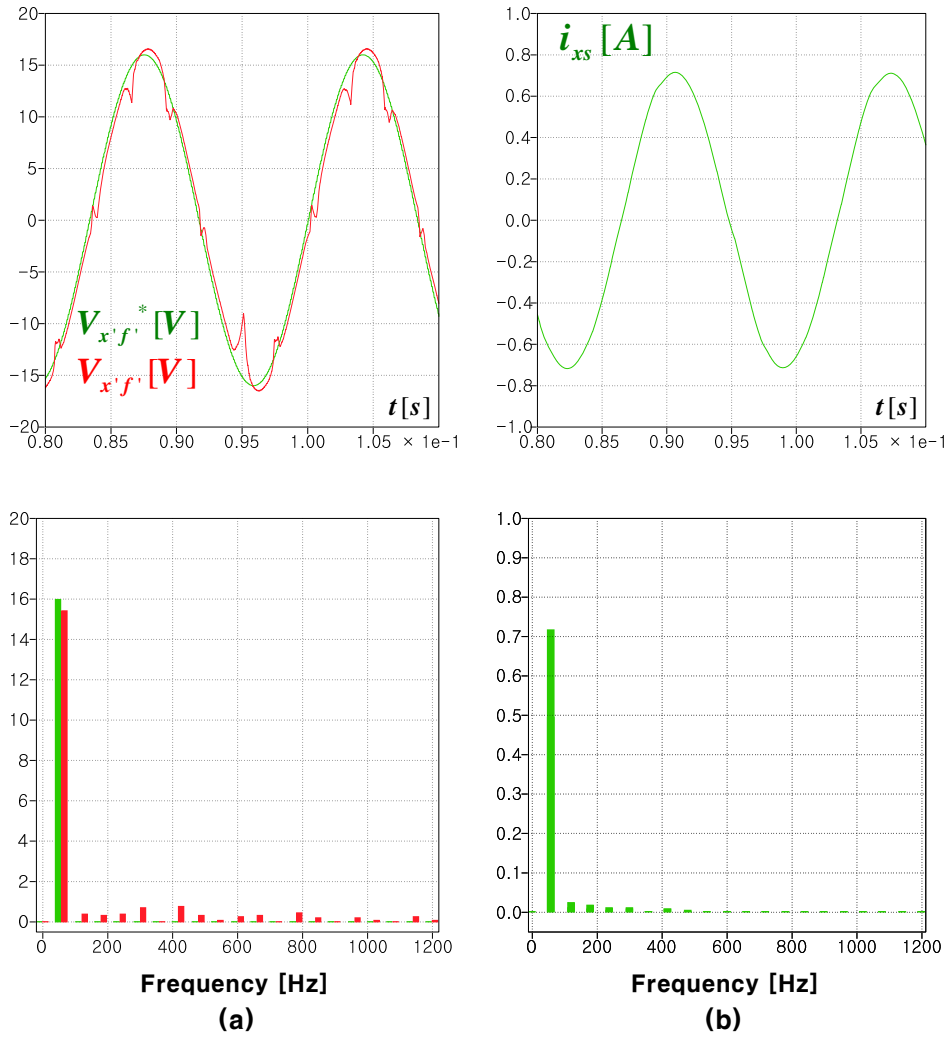


그림 3.48 모의 실험 결과 - Sim7 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.48 Simulation result - Sim7 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

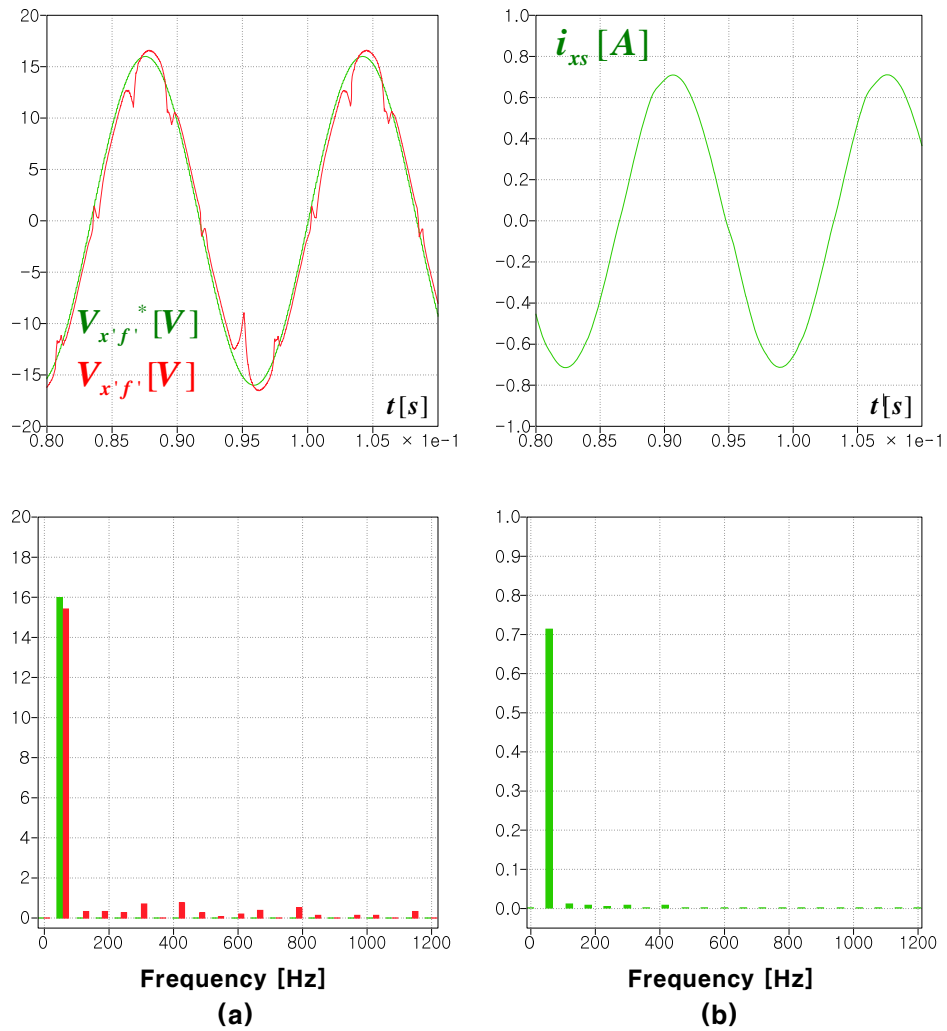


그림 3.49 모의 실험 결과 - Sim8 (a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)

Figure 3.49 Simulation result - Sim8 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

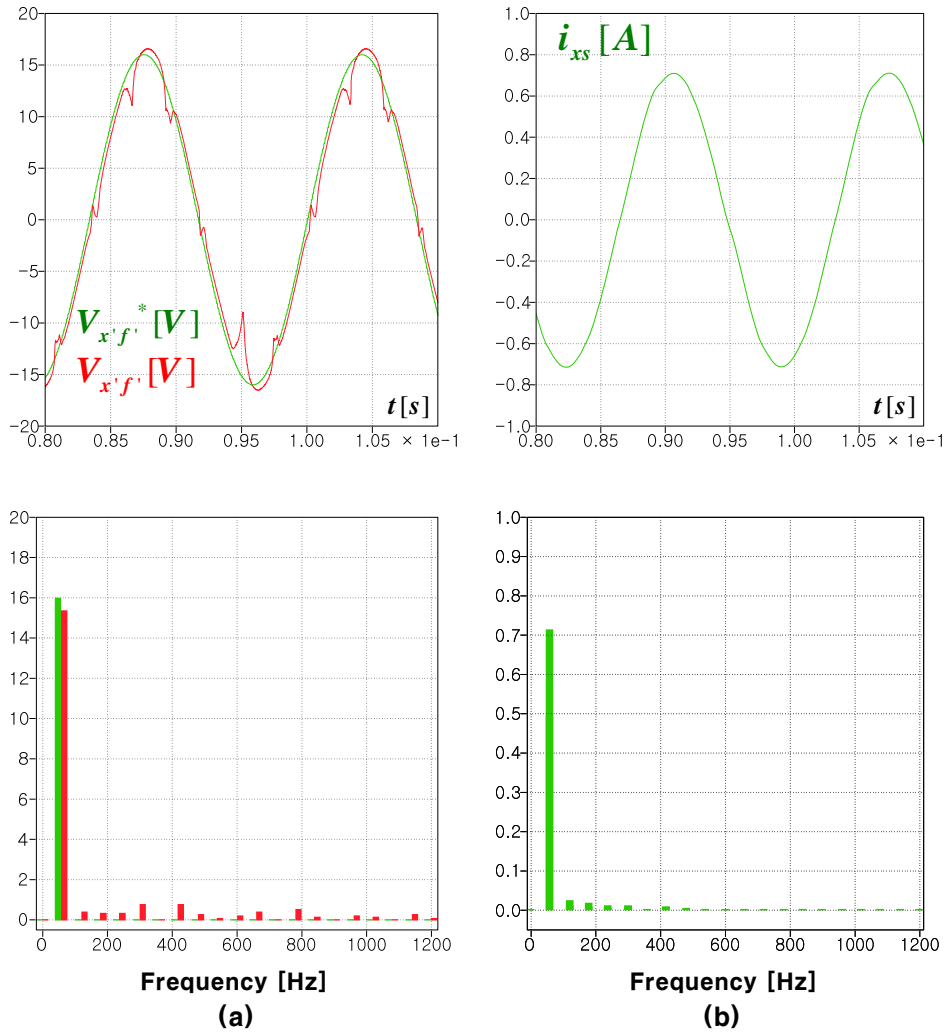


그림 3.50 모의 실험 결과 - Sim9 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.50 Simulation result - Sim9 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

다음으로 지령 전압의 크기가 (3.107)과 같이 클 때 모의 실험을 수행하였다. 공진 성분이 캐패시터 전압에 보이지 않게 하기 위해서 앞의 경우와 마찬가지로 능동 댐핑 (Active damping) 을 적용하였다.

$$\begin{cases} V_{af}^* = 180 \sin 2\pi 60t \\ V_{bf}^* = 180 \sin(2\pi 60t - \frac{2}{3}\pi) . \\ V_{cf}^* = 180 \sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.107)$$

각각의 모의 실험에서의 PWM 방법과 데드 타임 보상 여부는 표 3.4와 같다.

표 3.4 고 전압에서의 모의 실험 조건

Table 3.4 Conditions for simulation in high voltage

모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
Sim10	SVPWM	보상 안함	보상 안함
Sim11	SVPWM	보상 함	보상 함
Sim12	SVPWM	보상 함	보상 안함
Sim13	SPWM	보상 안함	보상 안함
Sim14	SPWM	보상 함	보상 안함
Sim15	SVPWM+OMVPWM	보상 함	보상 함
Sim16	SVPWM+OMVPWM	보상 함	보상 안함

그림 3.51, 그림 3.52, 그림 3.53 은 SVPWM 방법을 적용했을 때의 파형이다. 그림 3.51 과 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 조금 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 그리고 많은 고조파 성분이 보인다. 여기서 4 개의 레그 모두 데드 타임 보상을 한 그림 3.52 를 보면 기본과 주파수 성분의 크기는 지령 값보다도 오히려 약간 커진 것을 볼 수 있다. 그러나 고조파 성분의 크기는 줄어든 것을 볼 수 있다. 오히려 f 상만 데드 타임 보상을 하지 않은 그림 3.53 의 결과를 보면 기본과 성분의 전압은 그림 3.52 와 비슷하지만, 고조파 성분은 많이 줄어든 것을 볼 수 있다.

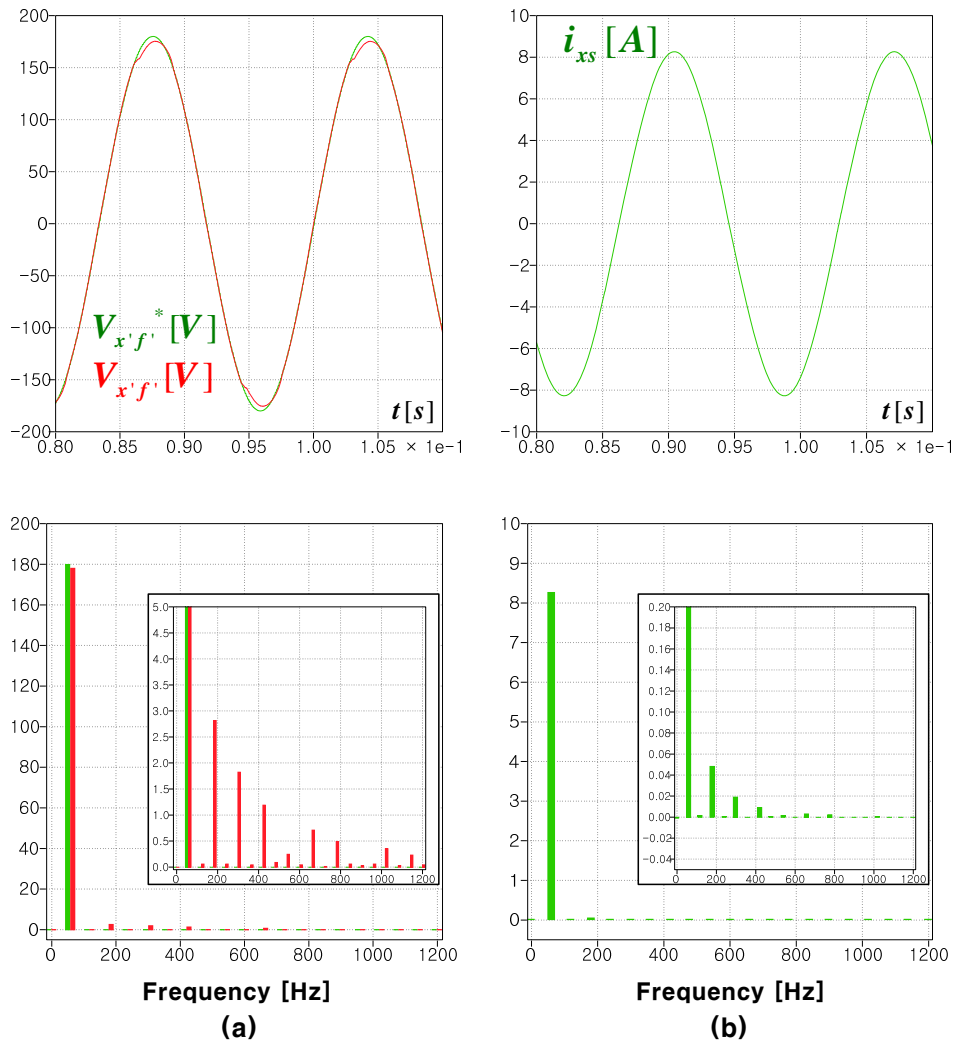


그림 3.51 모의 실험 결과 – Sim10 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.51 Simulation result – Sim10 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

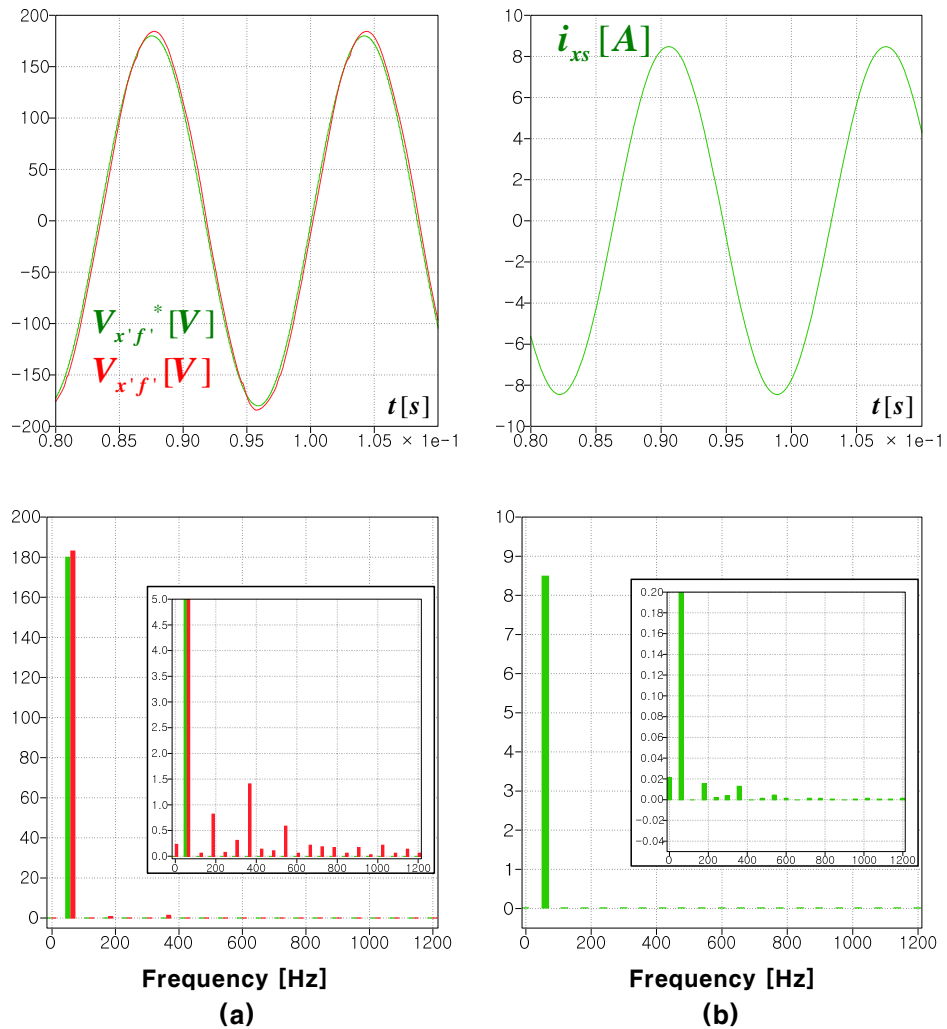


그림 3.52 모의 실험 결과 - Sim11 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.52 Simulation result - Sim11 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

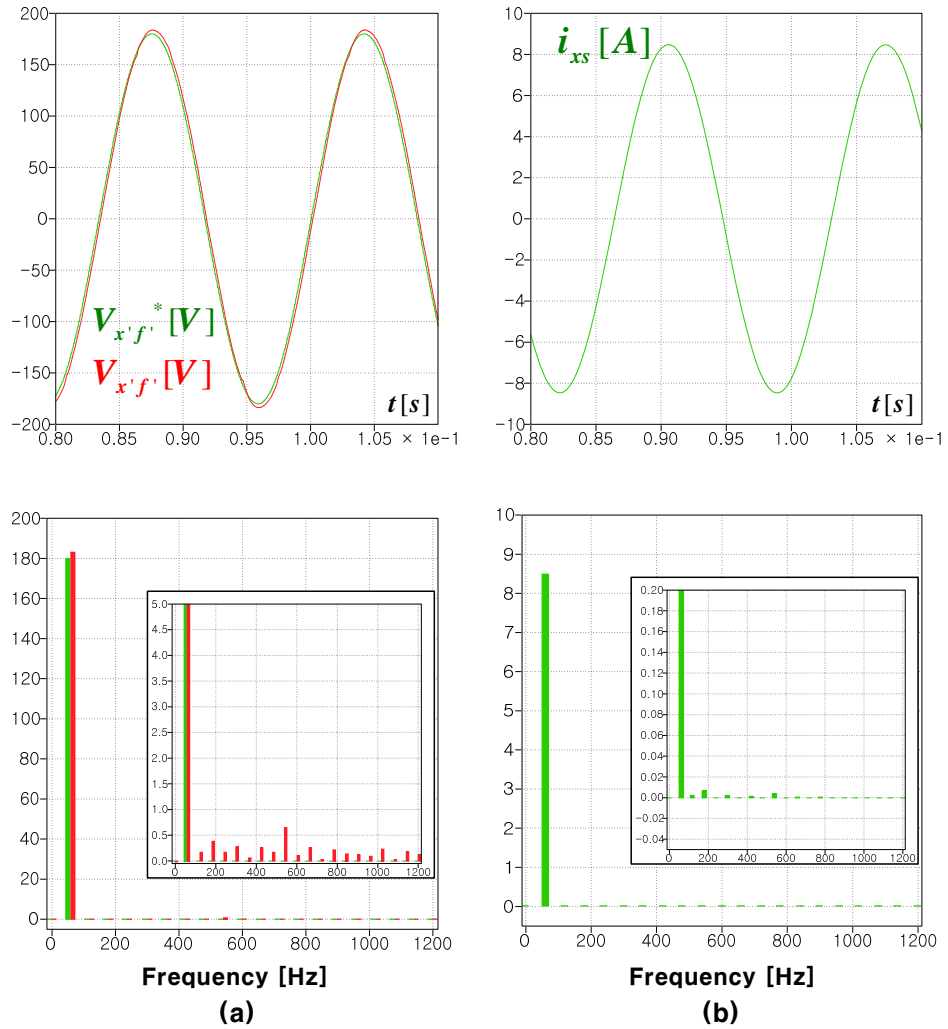


그림 3.53 모의 실험 결과 – Sim12 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.53 Simulation result – Sim12 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

그림 3.54, 그림 3.55 는 SPWM 을 적용했을 때의 파형이다. SPWM 을 4 레그 컨버터에 적용하게 되면 f 레그가 스위칭을 하지 않게 된다. 그림 3.54 와 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 약간 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 여기서 a, b, c 3 개의 레그에 데드 타임 보상을 한 그림 3.55 를 보면 기본파 주파수 성분의 크기는 보상 전과 비교해 지령 값보다 커진 것을 볼 수 있다. 그러나 고조파 성분의 크기는 작아진 것을 볼 수 있다.

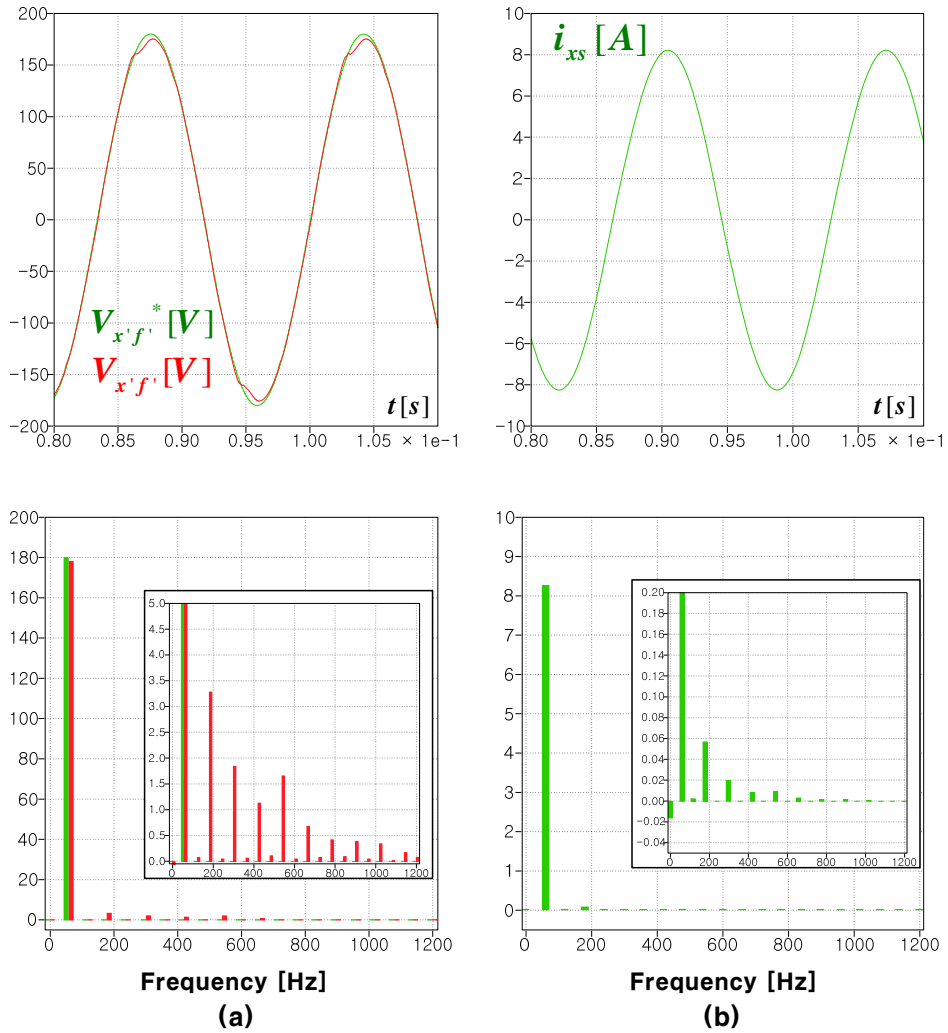


그림 3.54 모의 실험 결과 - Sim13 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.54 Simulation result - Sim13 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

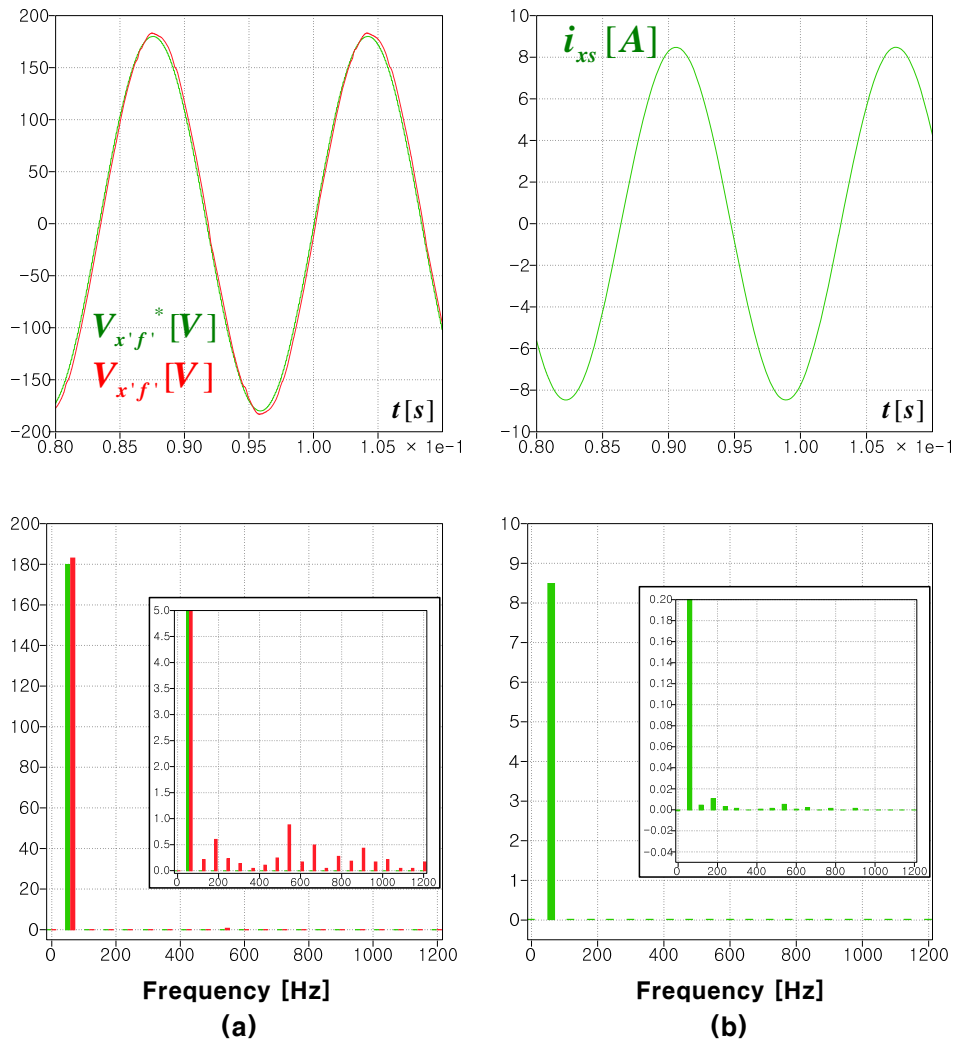


그림 3.55 모의 실험 결과 – Sim14 (a) 상 전압 지령/상 전압 (FFT),
(b) 상 전류 (FFT)

Figure 3.55 Simulation result – Sim14 (a) Phase voltage reference/phase voltage (FFT), (b) Phase current (FFT)

OMVPWM 방법도 AOV PWM 방법과 마찬가지로 SVPWM 과 함께 사용할 수 있다. 그림 3.56, 그림 3.57 은 OMVPWM 을 SVPWM 과 함께 사용했을 때의 결과이다. OMVPWM 방법을 적용하면 기존 PWM 을 사용했을 때에 비해 고조파 성분이 줄어드는 것을 알 수 있다. 그리고 그림 3.57 에서 볼 수 있듯이 a, b, c 레그에서는 데드 타임 보상을 하고, f 레그에서는 오히려 데드 타임 보상을 하지 않았을 때 오히려 고조파 성분이 많이 줄어드는 것을 볼 수 있다.

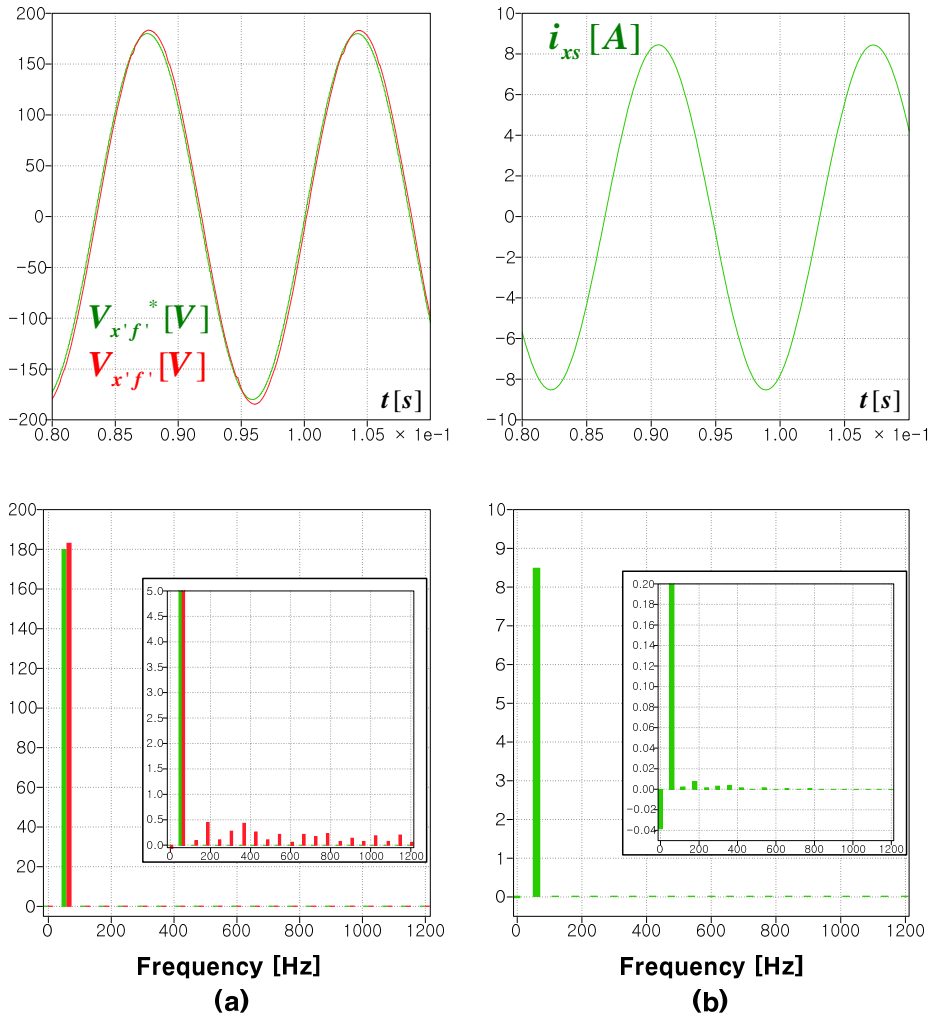


그림 3.56 모의 실험 결과 - Sim15

(a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)

Figure 3.56 Simulation result - Sim15

(a) Phase voltage reference/phase voltage (FFT),

(b) Phase current (FFT)

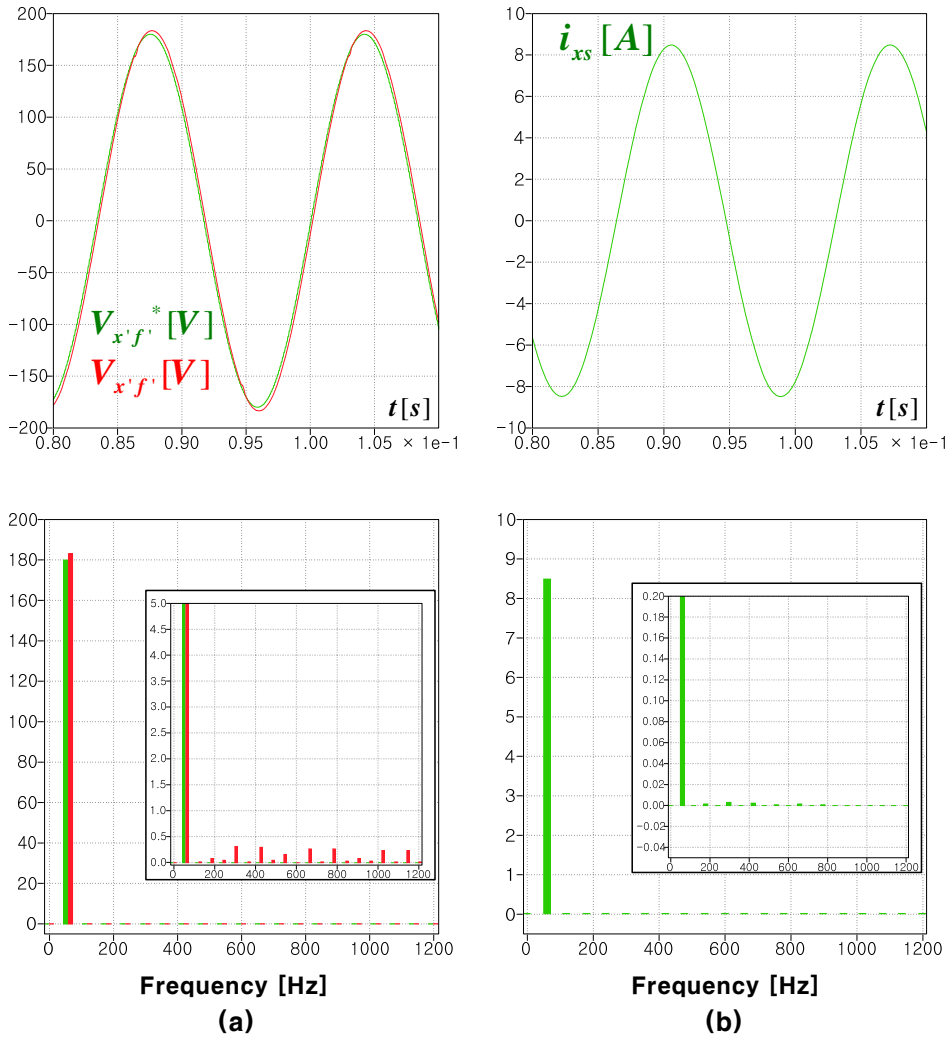


그림 3.57 모의 실험 결과 - Sim16

(a) 상 전압 지령/상 전압 (FFT), (b) 상 전류 (FFT)

Figure 3.57 Simulation result - Sim16

(a) Phase voltage reference/phase voltage (FFT),

(b) Phase current (FFT)

3.1.4 실험 결과

그림 3.41과 같은 모의 실험 회로와 같은 회로를 이용하여 실제 실험을 수행하였다. 여기서 직류단 전압 (V_{dc})은 430V, 스위칭 주파수 (f_{sw})는 20 kHz, 샘플링 주파수 (f_{samp})는 40 kHz 이다. 이때 데드 타임 (T_{dead})은 $2\mu s$ 로 설정하였다. 사용된 부하는 인덕터와 저항이 각각 직렬로 연결되어 있고, 그 값은 각각 (3.108), (3.109)와 같다.

$$L_{al} = L_{bl} = L_{cl} = 50.731mH . \quad (3.108)$$

$$R_{al} = R_{bl} = R_{cl} = 40\Omega . \quad (3.109)$$

실험에서 사용한 데드 타임 보상 곡선은 그림 3.32와는 다르게 측정한 값을 이용하였다. 전력용 반도체 소자에 전류를 흐르게 해서 그때 발생하는 전압 오차를 직접 측정하였다[54]. 전류에 따른 전압 오차는 그림 3.58과 같다. 이때 데드 타임 보상 전압은 실제 측정한 값과 가장 유사한 Arctangent 함수 형태의 곡선을 이용하였다.

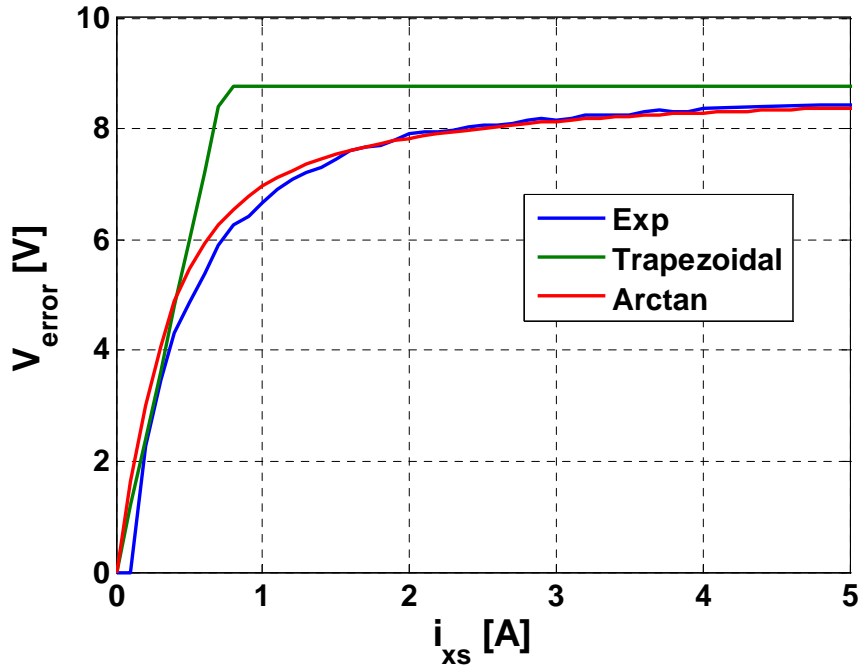


그림 3.58 전류와 전압 오차

Figure 3.58 Current and voltage error

각 실험의 결과를 비교하기 위해 (3.110)과 같이 기본파 성분의 전압 전달률 (Voltage Transfer Rate, VTR)을 새로 정의하였고, 각각의 실험마다 그 값과 전고조파왜곡율 (Total Harmonic Distortion, THD) 값을 추출하였다.

$$VTR = \frac{V_{cap,1}}{V_{cap}^*} \times 100 [\%]. \quad (3.110)$$

여기서 $V_{cap,1}$ 은 캐패시터 전압의 기본파 성분의 크기이다. 지령과 같은 완벽한 형태의 정현파가 출력된다면 기본파의 크기가 지령과 같으므로,

VTR은 100%가 되고, THD는 0%가 된다.

먼저 (3.111)과 같은 저 전압 조건에서 실험을 수행하였다. 저 전압 실험에서 사용한 PWM 방법과 각 상의 데드 타임 보상 여부는 표 3.5와 같다.

$$\begin{cases} V_{af}^* = 18\sin 2\pi 60t \\ V_{bf}^* = 18\sin(2\pi 60t - \frac{2}{3}\pi) . \\ V_{cf}^* = 18\sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.111)$$

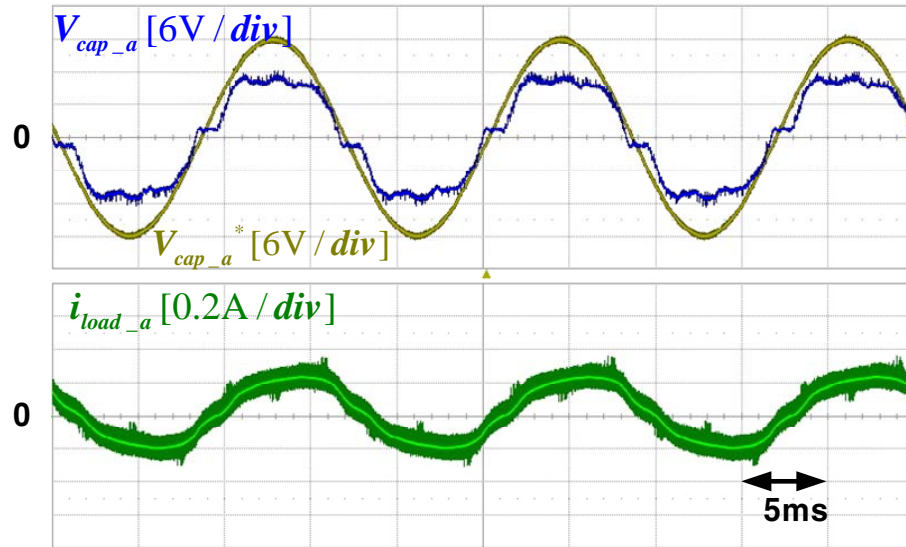
표 3.5 저 전압에서의 실험 조건

Table 3.5 Conditions for experiment in low voltage

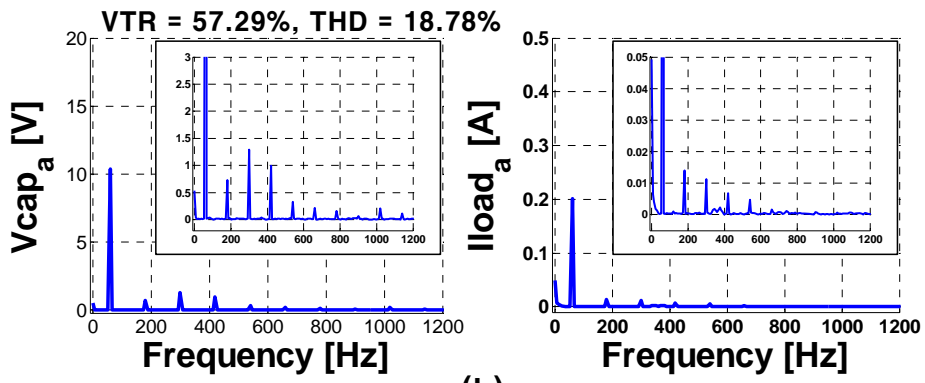
모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
실험 1	SVPWM	보상 안함	보상 안함
실험 2	SVPWM	보상 함	보상 안함
실험 3	SVPWM	보상 함	보상 함
실험 4	SPWM	보상 안함	보상 안함
실험 5	SPWM	보상 함	보상 안함
실험 6	SVPWM+AOVPWM	보상 안함	보상 안함
실험 7	SVPWM+AOVPWM	보상 함	보상 안함
실험 8	SVPWM+AOVPWM	보상 함	보상 함

그림 3.59, 그림 3.60, 그림 3.61 은 SVPWM 방법을 적용했을 때의 파형이다. 각각의 그림에서 (a) 는 a 상 캐패시터 지령 전압과 a 상 캐패시터 전압, a 상 부하 전류, (b)는 a 상 캐패시터 전압과 전류의 FFT 를 보여준다.

그림 3.59 와 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. f 상만 데드 타임 보상을 하지 않은 그림 3.60 과 같은 결과를 보면 그림 3.59 보다 기본파 성분의 크기는 커지고 3 고조파 성분을 제외한 나머지 고조파 성분의 크기는 줄어든 것을 볼 수 있다. 여기서 4 개의 레그 모두 데드 타임 보상을 한 그림 3.61 을 보면 기본파 주파수 성분의 크기는 커졌지만, 고조파 성분의 크기도 같이 커진 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 57.29%로 작으나, a, b, c 레그에 데드 타임 보상을 추가하면 76.13% 로 증가하게 된다. 그러나 VTR 값은 여전히 작은 것을 알 수 있다.



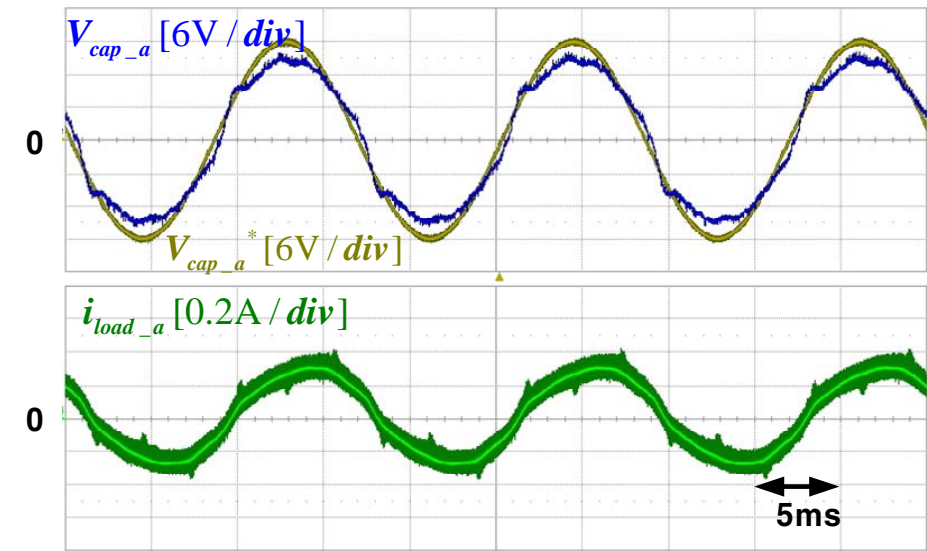
(a)



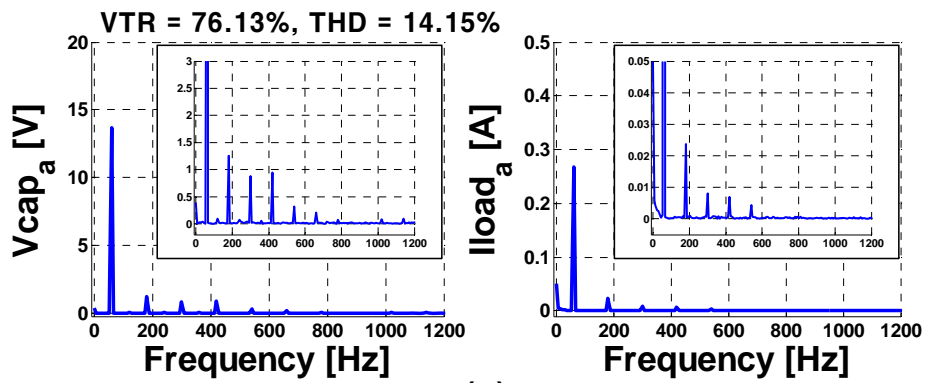
(b)

그림 3.59 실험 결과 - 실험 1

Figure 3.59 Experimental result - EXP. 1



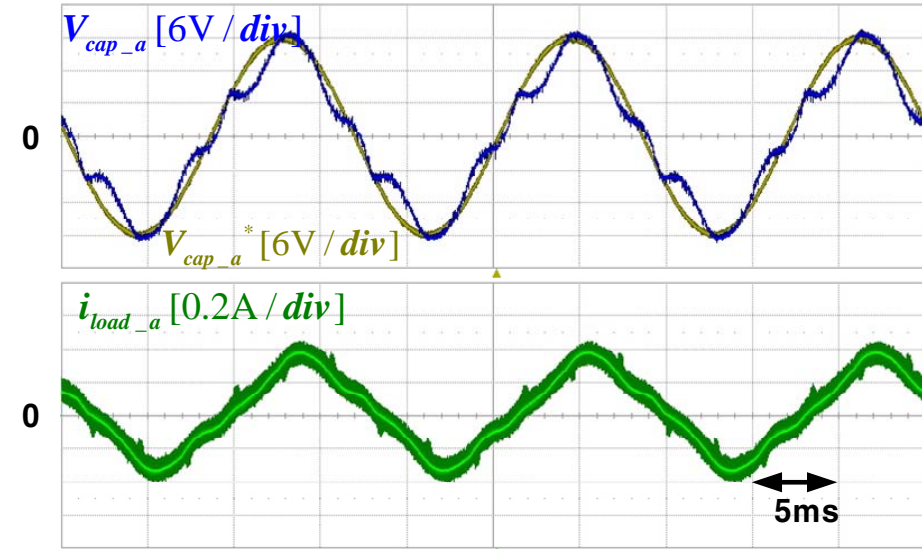
(a)



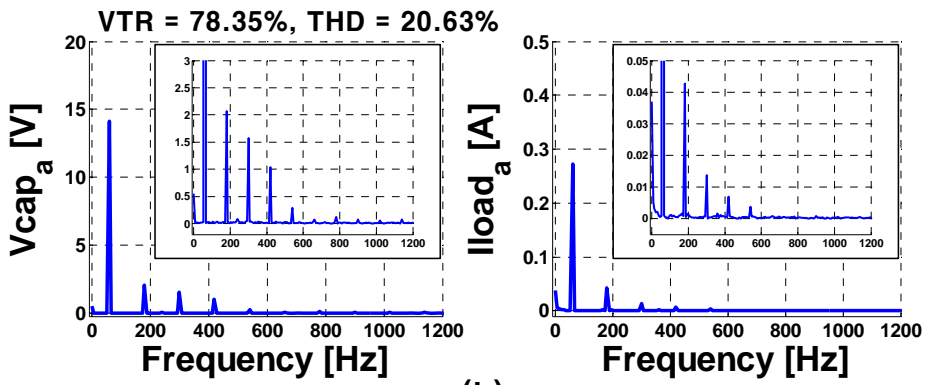
(b)

그림 3.60 실험 결과 - 실험 2

Figure 3.60 Experimental result - EXP. 2



(a)



(b)

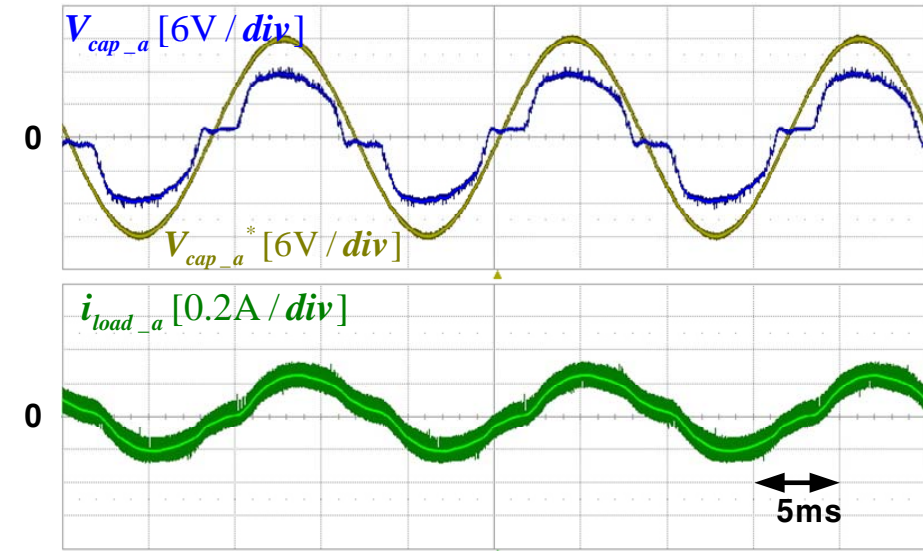
그림 3.61 실험 결과 - 실험 3

Figure 3.61 Experimental result - EXP. 3

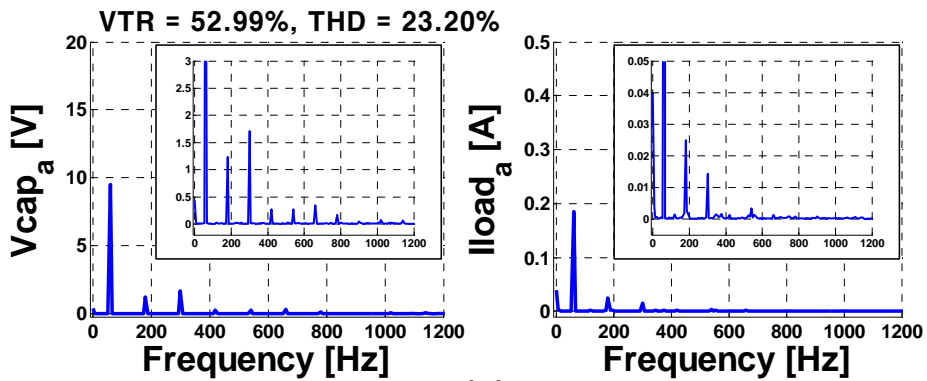
그림 3.62, 그림 3.63 은 SPWM 방법을 적용했을 때의 파형이다. SPWM 방법을 4 레그 컨버터에 적용하게 되면 f 레그는 스위칭을 하지 않게 된다.

그림 3.62 와 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 여기서 a, b, c 3 개의 레그에 데드 타임 보상을 한 그림 3.63 을 보면 기본파 주파수 성분의 크기는 보상 전과 비교해 커진 것을 볼 수 있다. 또한 고조파 성분의 크기는 작아진 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 52.99%로 작으나, a, b, c 레그에 데드 타임 보상을 추가하면 77.75%로 증가하게 된다. 하지만 여전히 VTR 의 값이 작은 것을 알 수 있다.

SVPWM 방법 혹은 SPWM 방법을 적용해도 최종 극 전압의 지령은 데드 존 안에 들어가는 시간이 많으므로 데드 타임 보상이 제대로 이루어지지 않는다.



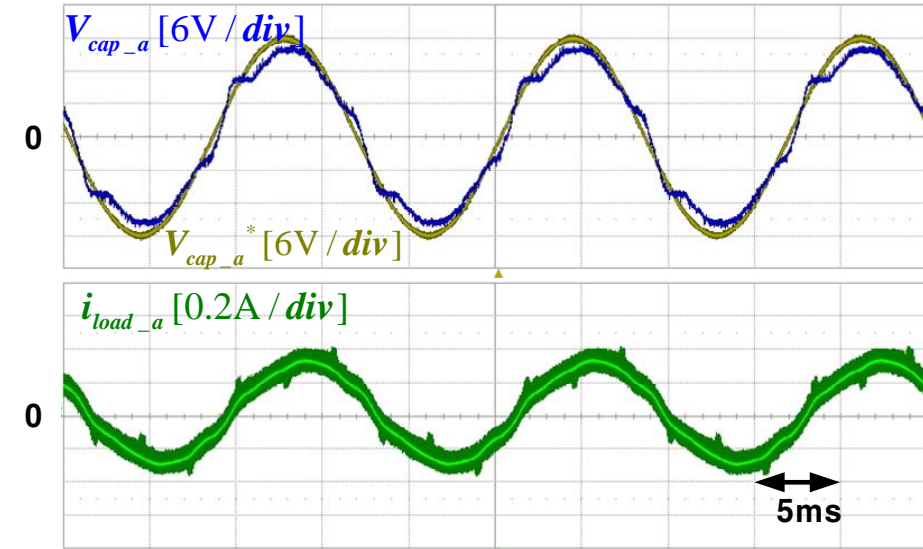
(a)



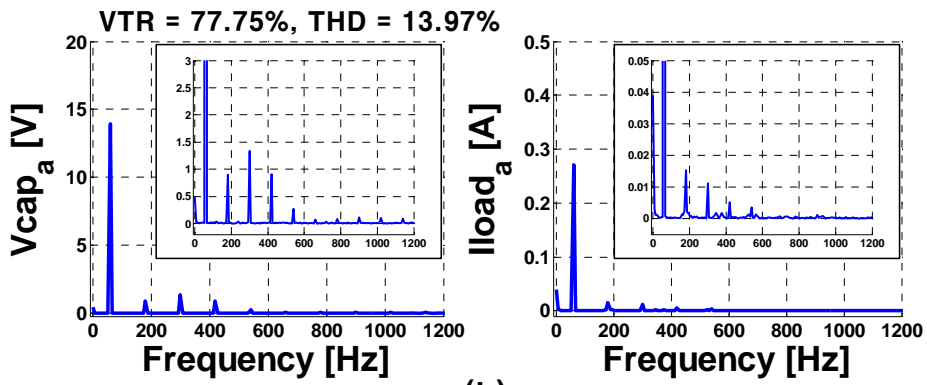
(b)

그림 3.62 실험 결과 - 실험 4

Figure 3.62 Experimental result - EXP. 4



(a)



(b)

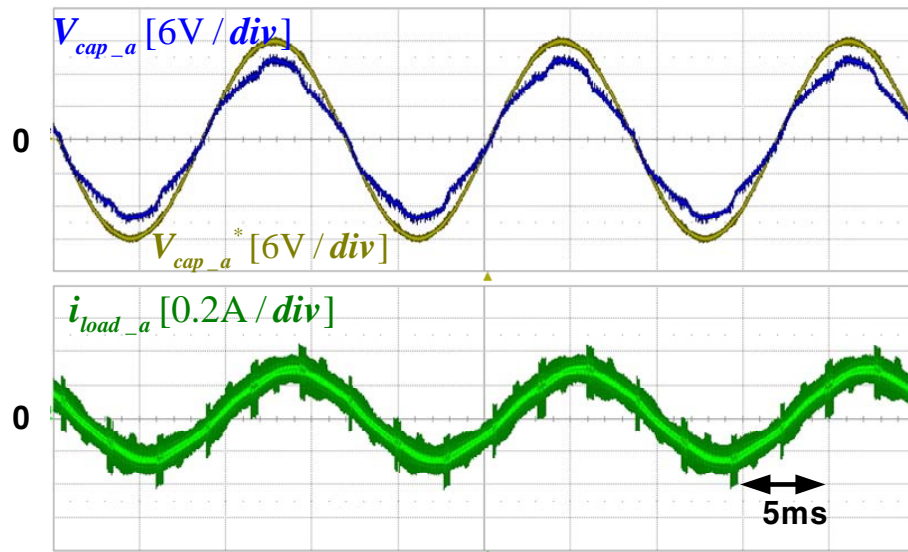
그림 3.63 실험 결과 - 실험 5

Figure 3.63 Experimental result - EXP. 5

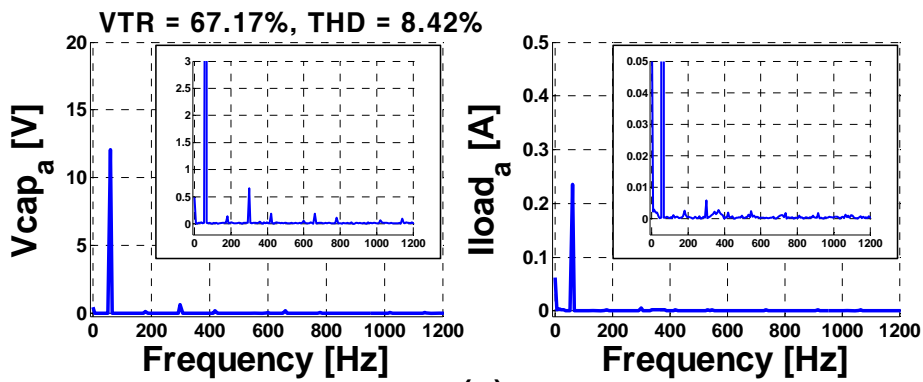
AOVPWM 방법은 다른 PWM 방법과 함께 사용할 수 있다.

그림 3.64, 그림 3.65, 그림 3.66 은 AOVPWM 을 SVPWM 과 함께 사용했을 때의 결과이다. 그림 3.64 는 AOVPWM 방법을 적용하고 데드 타임 보상은 적용하지 않았을 때의 결과로 고조파 전압은 크지 않으나, 기본파 전압의 크기가 지령보다 작은 것을 볼 수 있다. 그림 3.65 는 f 상을 제외한 나머지 상에서 데드 타임 보상을 했을 때의 결과로 기본파 전압의 크기가 커진 것을 볼 수 있다. 여기에 f 상에도 데드 타임 보상을 적용했을 때는 그림 3.66 과 같은데 f 상에서 데드 타임 보상을 했을 때, 기본파 성분의 크기는 오히려 약간 줄었으나 고조파 성분의 크기는 큰 차이가 없는 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 67.17%로 같은 조건의 다른 PWM 방법보다는 크지만 여전히 작다. 하지만 a, b, c 레그에 데드 타임 보상을 추가하면 VTR 이 87.55% 로 많이 증가하게 된다.

저 전압 조건에서 AOVPWM 을 적용하면 기본 방법인 SPWM 과 SVPWM 방법을 적용했을 때에 비해 데드 타임 보상이 제대로 되는 것을 볼 수 있다.



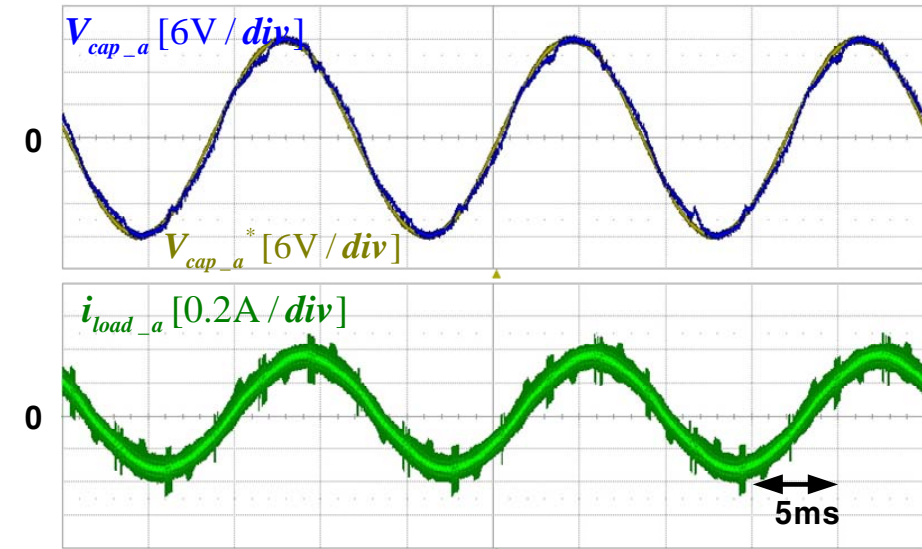
(a)



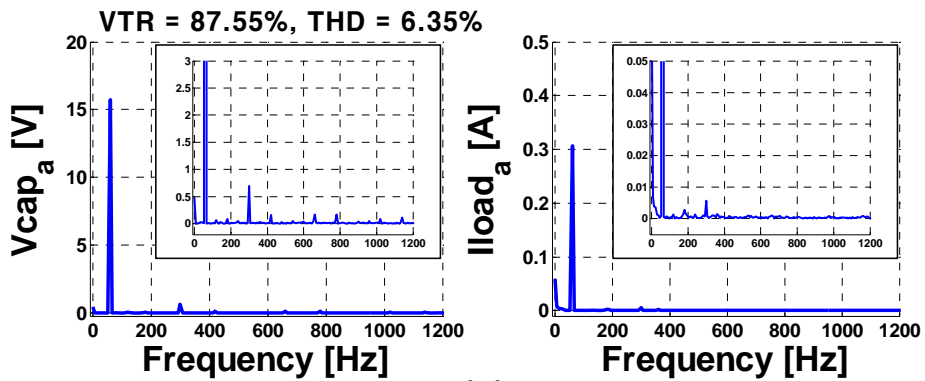
(b)

그림 3.64 실험 결과 - 실험 6

Figure 3.64 Experimental result - EXP. 6



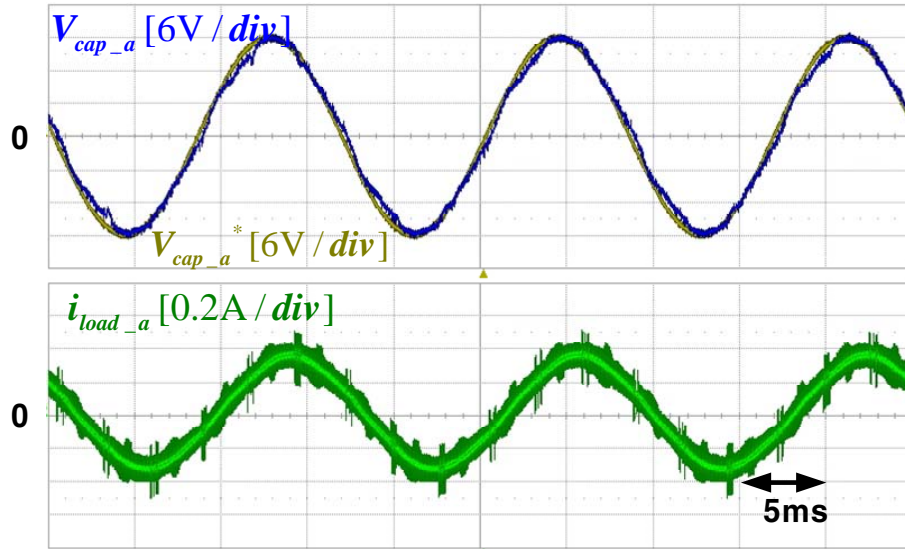
(a)



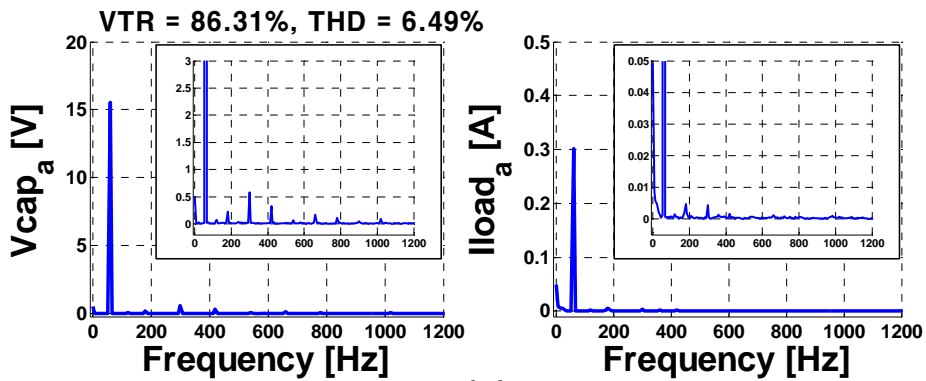
(b)

그림 3.65 실험 결과 - 실험 7

Figure 3.65 Experimental result - EXP. 7



(a)



(b)

그림 3.66 실험 결과 - 실험 8

Figure 3.66 Experimental result - EXP. 8

다음으로 (3.112)와 같은 고 전압 조건에서 실험을 수행하였다. 고 전압 실험에서 사용한 PWM 방법과 각 상의 데드 타임 보상 여부는 표 3.6과 같다.

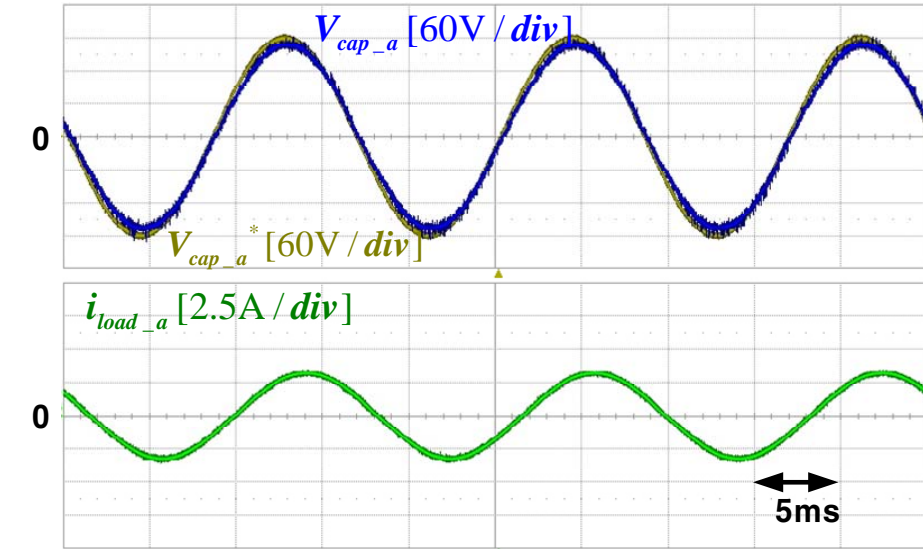
$$\begin{cases} V_{af}^* = 180 \sin 2\pi 60t \\ V_{bf}^* = 180 \sin(2\pi 60t - \frac{2}{3}\pi) . \\ V_{cf}^* = 180 \sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.112)$$

표 3.6 고 전압에서의 실험 조건

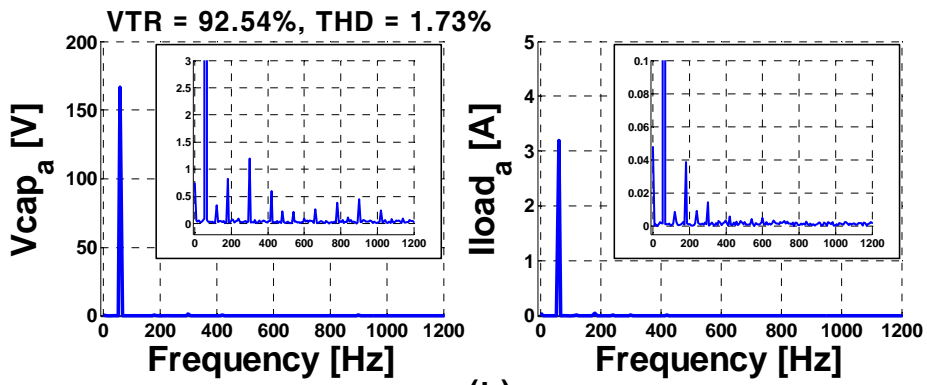
Table 3.6 Conditions for experiment in high voltage

모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
실험 9	SVPWM	보상 안함	보상 안함
실험 10	SVPWM	보상 함	보상 안함
실험 11	SVPWM	보상 함	보상 함
실험 12	SPWM	보상 안함	보상 안함
실험 13	SPWM	보상 함	보상 안함
실험 14	SVPWM+OMVPWM	보상 안함	보상 안함
실험 15	SVPWM+OMVPWM	보상 함	보상 안함
실험 16	SVPWM+OMVPWM	보상 함	보상 함

그림 3.67, 그림 3.68, 그림 3.69 는 SVPWM 방법을 적용했을 때의 파형이다. 그림 3.67 과 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 조금 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 그리고 많은 고조파 성분이 보인다. f 상만 데드 타임 보상을 하지 않은 그림 3.68 의 결과를 보면 기본파 성분의 전압은 데드 타임 보상 전에 비해 많이 커진 것을 볼 수 있다. 또한 고조파 성분의 크기가 줄어든 것을 볼 수 있다. 4 개의 레그 모두 데드 타임 보상을 한 그림 3.69 를 보면 기본파 주파수 성분의 크기는 데드 타임 보상 전보다 커졌고, 고조파 성분의 크기는 그림 3.68 에 비해 증가분은 크지 않은 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 92.54%로 저 전압 조건에서보다는 값이 커진 것을 알 수 있다. 이는 지령 전압의 크기가 상대적으로 크기 때문이다. a, b, c 레그에 데드 타임 보상을 추가하면 그 값은 97.49% 로 늘어나게 된다.



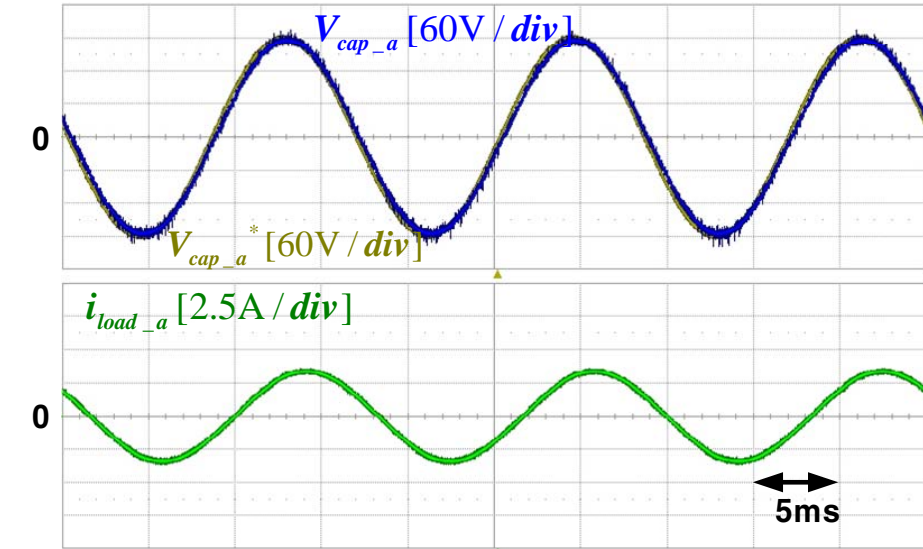
(a)



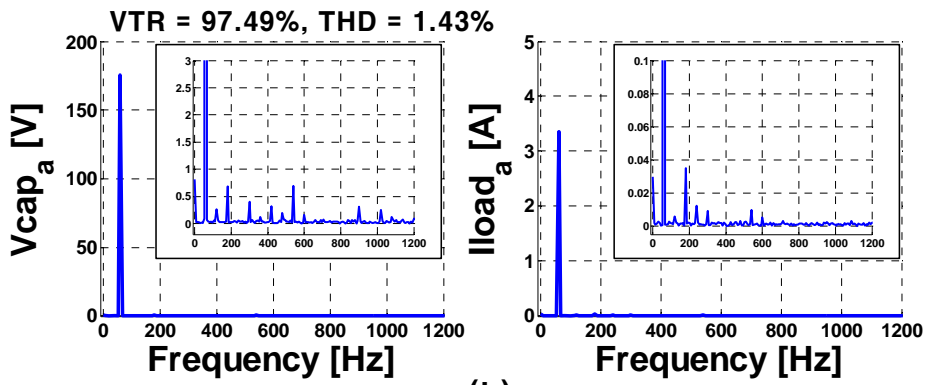
(b)

그림 3.67 실험 결과 - 실험 9

Figure 3.67 Experimental result - EXP. 9



(a)



(b)

그림 3.68 실험 결과 - 실험 10

Figure 3.68 Experimental result - EXP. 10

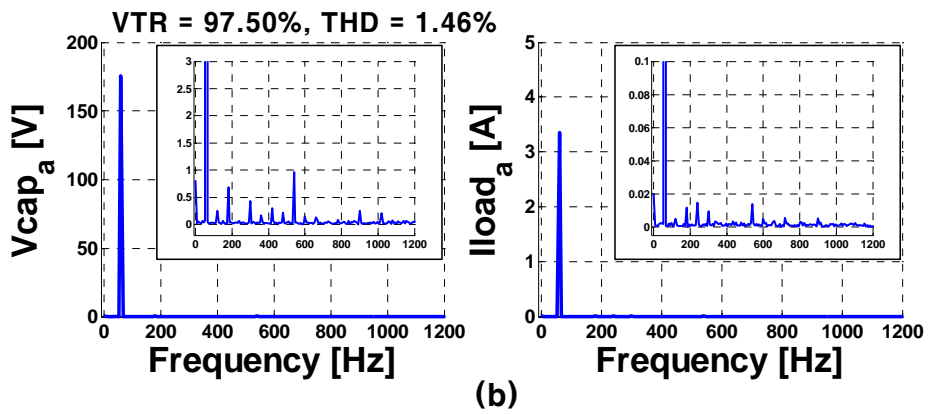
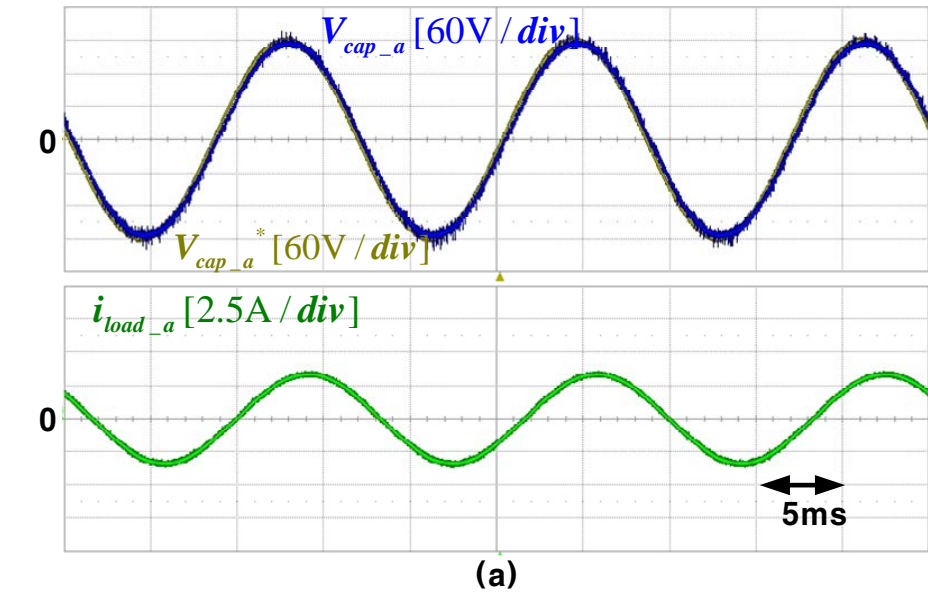
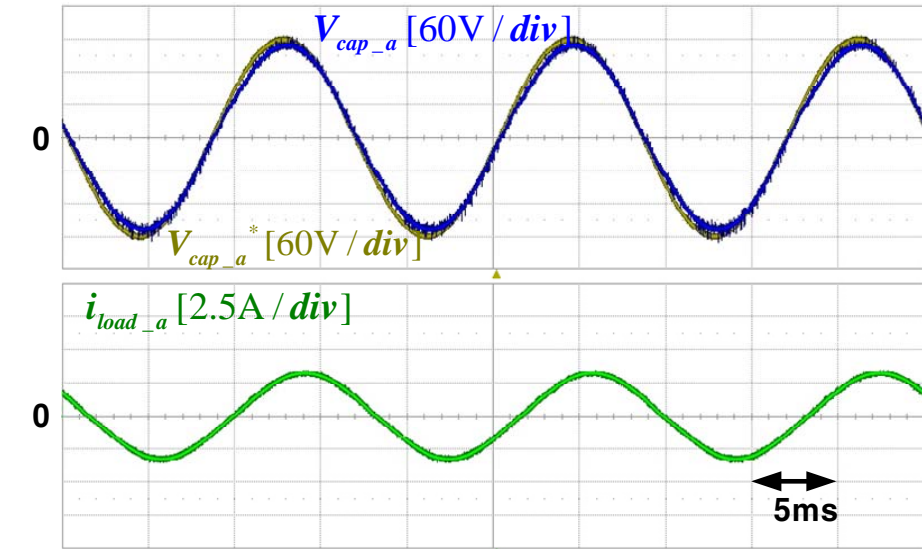


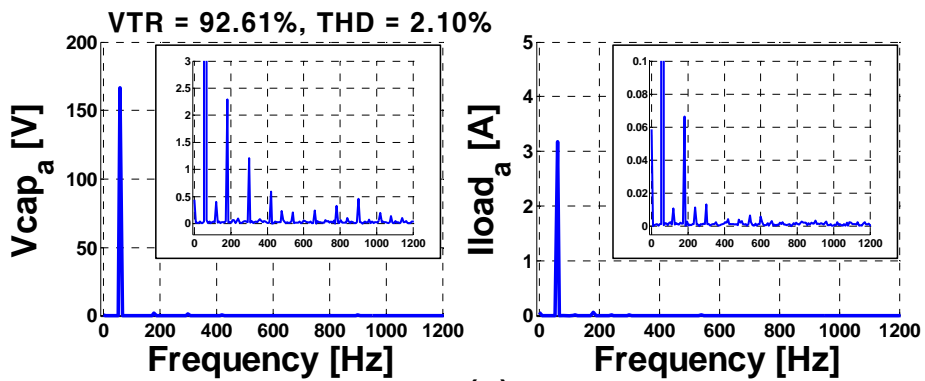
그림 3.69 실험 결과 - 실험 11

Figure 3.69 Experimental result - EXP. 11

그림 3.70, 그림 3.71 은 SPWM 을 적용했을 때의 파형이다. SPWM 을 4 레그 컨버터에 적용하게 되면 f 레그가 스위칭을 하지 않게 된다. 그림 3.70 과 같이 데드 타임 보상을 하지 않은 경우에는 지령 전압보다 약간 작은 크기의 전압이 캐패시터 전압에 보이는 것을 볼 수 있다. 여기서 a, b, c 3 개의 레그에 데드 타임 보상을 한 그림 3.71 을 보면 기본파 주파수 성분의 크기는 보상 전과 비교해 지령 값보다는 커진 것을 볼 수 있다. 또한 고조파 성분의 크기도 많이 작아진 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 92.61%로 저 전압 조건에서보다는 그 값이 커진 것을 알 수 있다. a, b, c 레그에 데드 타임 보상을 추가하면 그 값은 97.63% 로 늘어난 것을 볼 수 있다.



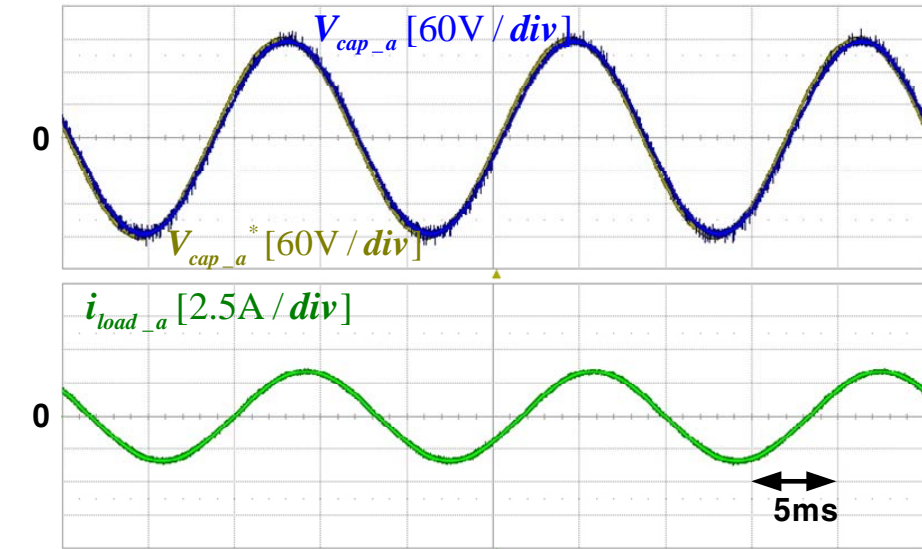
(a)



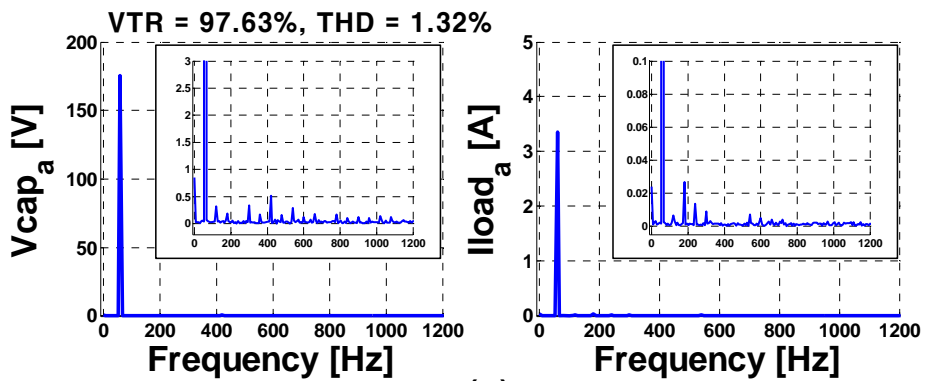
(b)

그림 3.70 실험 결과 - 실험 12

Figure 3.70 Experimental result - EXP. 12



(a)



(b)

그림 3.71 실험 결과 - 실험 13

Figure 3.71 Experimental result - EXP. 13

OMVPWM 방법도 AOV PWM 방법과 마찬가지로 SVPWM 방법과 함께 사용할 수 있다. 그림 3.72, 그림 3.73, 그림 3.74 는 OMVPWM 을 SVPWM 과 함께 사용했을 때의 결과이다. 데드 타임 보상을 아무 것도 하지 않았을 때는 그림 3.72 에서 볼 수 있듯이 기본파 성분의 크기가 지령 전압 보다 작은 것을 알 수 있다. 하지만 a, b, c 레그에서 데드 타임 보상을 하게 되면 그림 3.73 과 같이 기본파 성분의 크기가 커지고, 고조파 성분의 크기도 줄어드는 것을 알 수 있다. 여기에 f 레그까지 데드 타임 보상을 해주게 되면 그림 3.74 와 같이 기본파 성분의 크기도 지령 전압과 가깝고, 고조파 성분의 크기도 더 줄어드는 것을 볼 수 있다. 여기서 VTR 의 값을 살펴보면, 아무런 보상을 하지 않았을 때 VTR 의 값은 92.6%이나, a, b, c 레그에 데드 타임 보상을 추가하면 97.58%로 증가한 것을 볼 수 있다. 다시 f 레그에서도 보상을 하게 되면 97.61%로 증가하게 된다.

고 전압 조건에서는 어떤 PWM 방법을 사용하더라도 데드 타임 보상 방법만 적용하게 되면 VTR 값이 90% 이상으로 높은 것을 볼 수 있다.

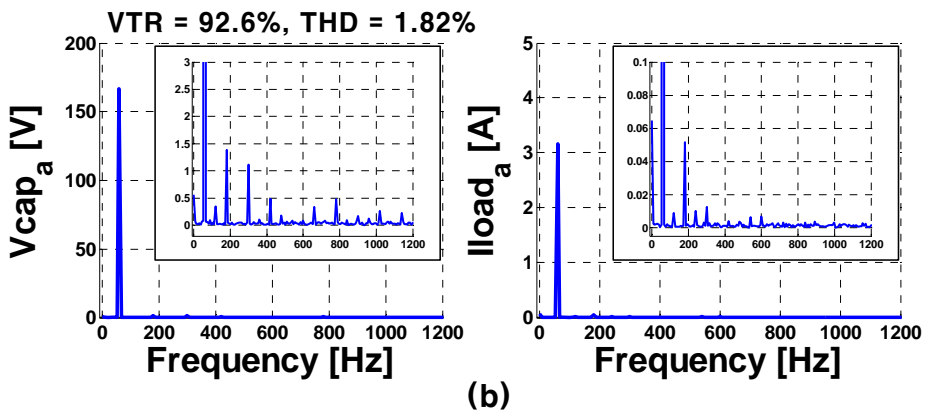
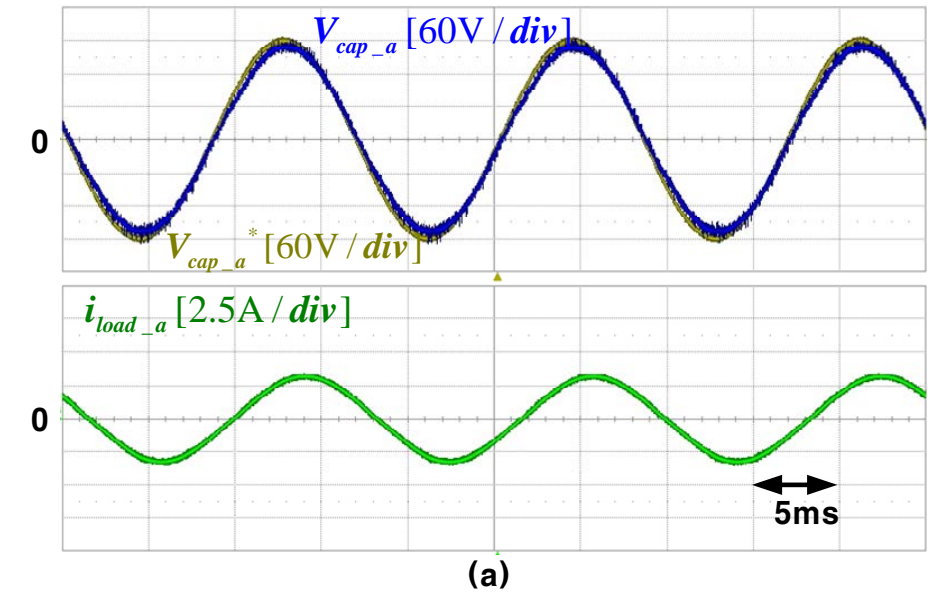
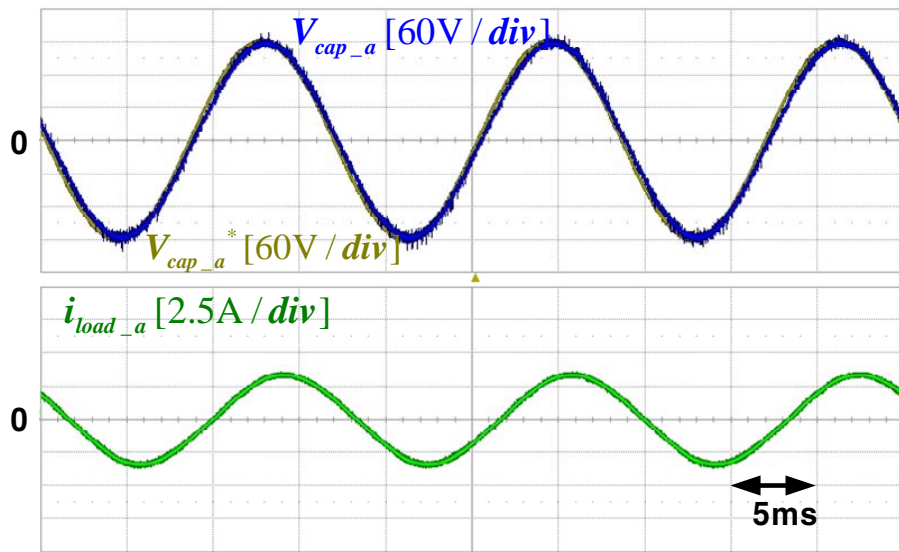
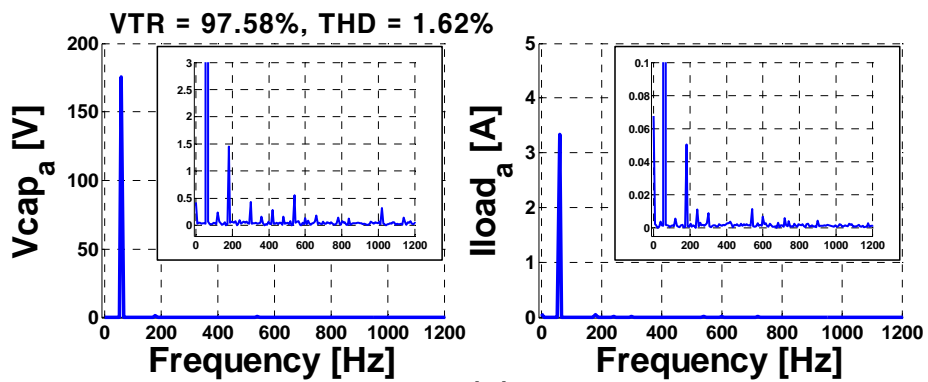


그림 3.72 실험 결과 - 실험 14

Figure 3.72 Experimental result - EXP. 14



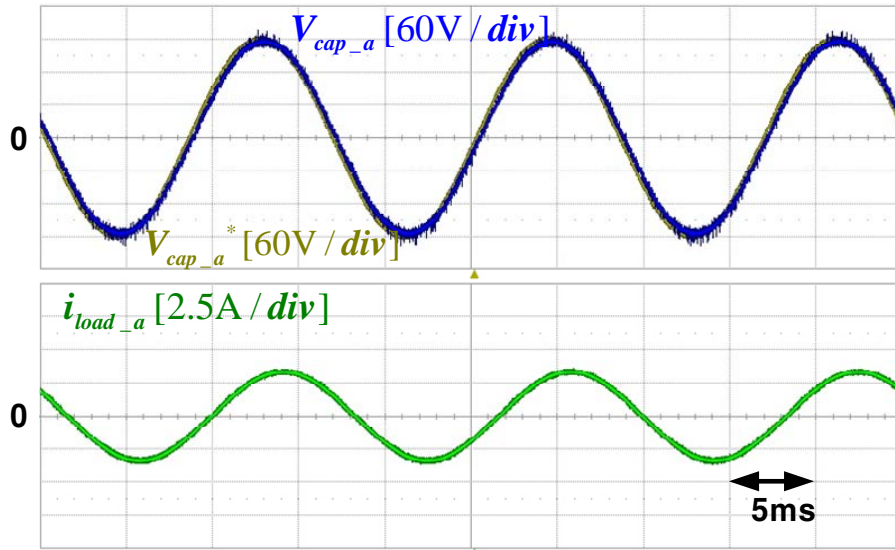
(a)



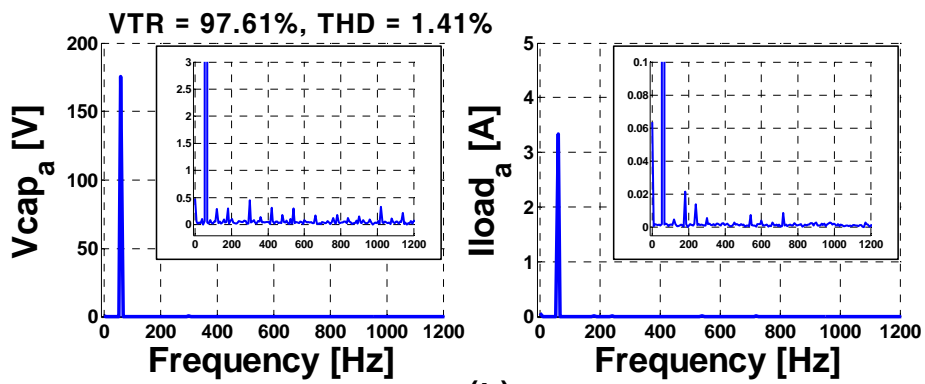
(b)

그림 3.73 실험 결과 - 실험 15

Figure 3.73 Experimental result - EXP. 15



(a)



(b)

그림 3.74 실험 결과 - 실험 16

Figure 3.74 Experimental result - EXP. 16

다양한 부하 조건에서의 검증을 위하여 먼저 아래와 같이 RL 부하의 값을 변경해서 실험을 수행하였다.

$$L_{al} = L_{bl} = L_{cl} = 0.731mH . \quad (3.113)$$

$$R_{al} = R_{bl} = R_{cl} = 9.7\Omega . \quad (3.114)$$

작은 크기의 전압 지령일 때는 (3.111)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.112)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.75, 그림 3.76은 각각 지령 전압의 크기가 작을 때, 클 때의 실험 결과이다. 기존 PWM 방법 대신에 데드 존을 회피하기 위한 PWM 방법인 AOVPWM를 적용 했을 때에 VTR의 값이 커진 것을 알 수 있고, OMVPWM를 각각 적용했을 때도 VTR의 값이 커진 것을 알 수 있다.

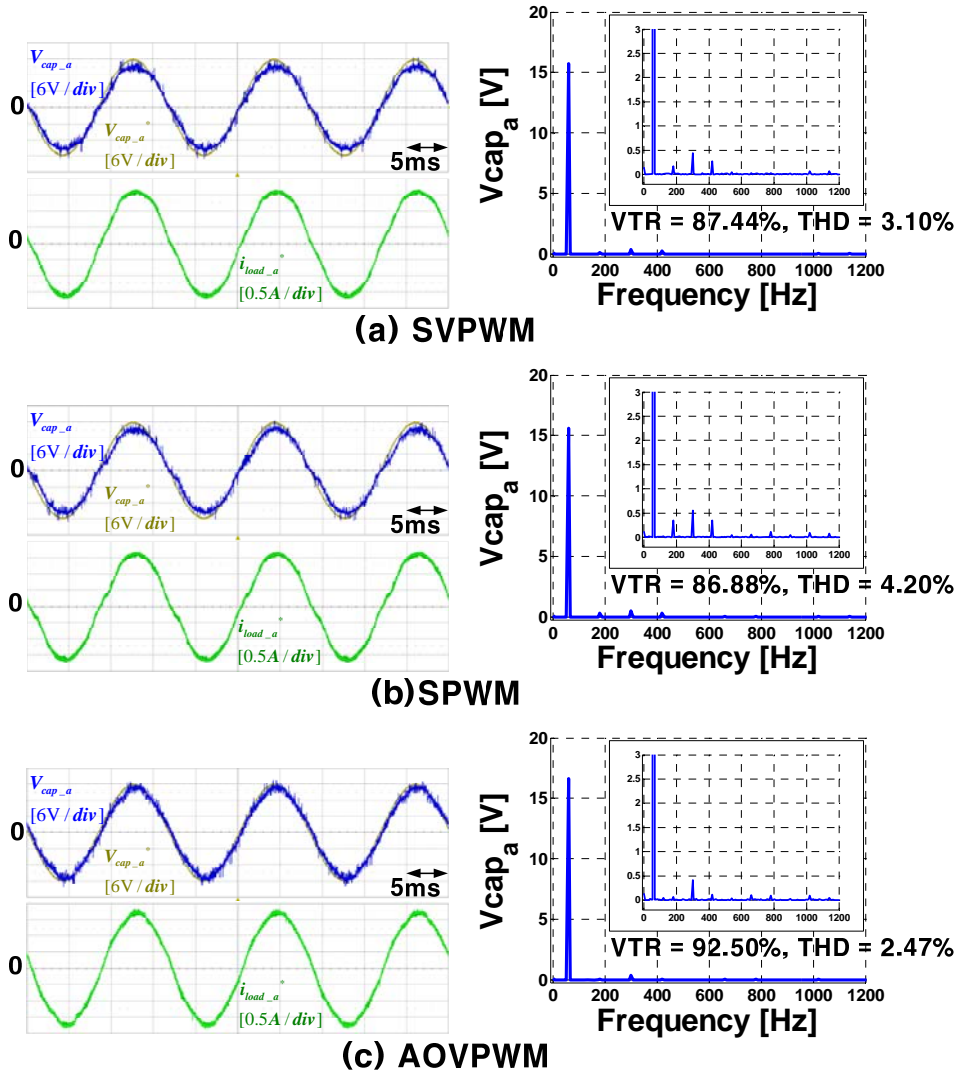
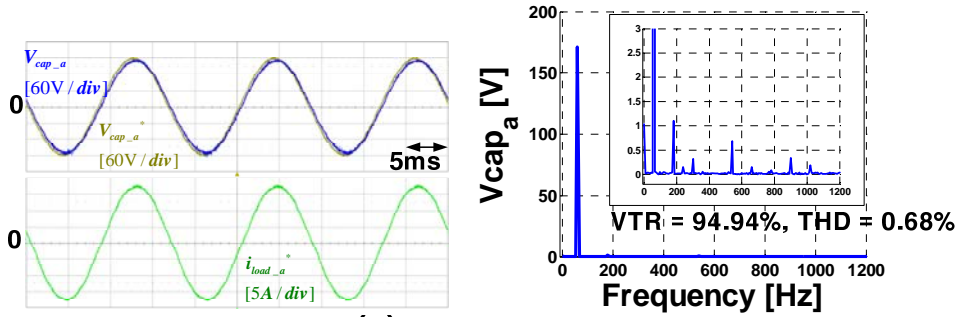
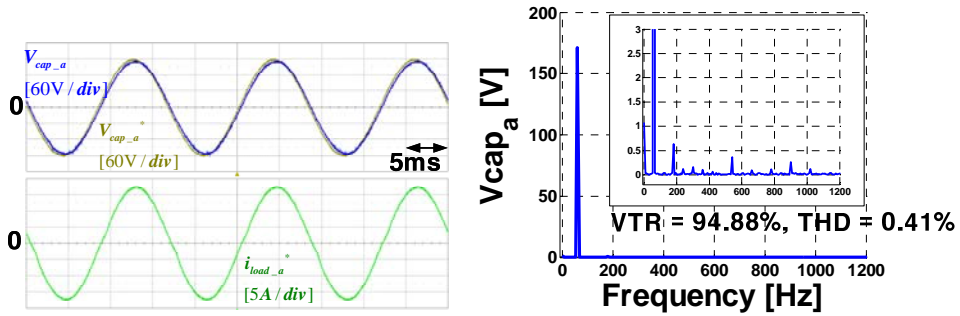


그림 3.75 실험 결과 - 고 전류 부하 조건 (저 전압)

Figure 3.75 Experimental result - High current load (Low voltage)



(a) SVPWM



(b) SPWM

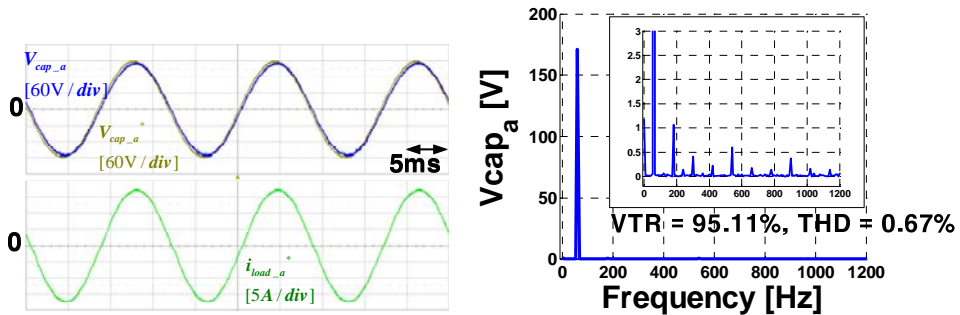


그림 3.76 실험 결과 - 고 전류 부하 조건 (고 전압)

Figure 3.76 Experimental result - High current load (High voltage)

다음으로 그림 3.77과 같은 다이오드 부하의 조건에서 실험을 수행하였다.

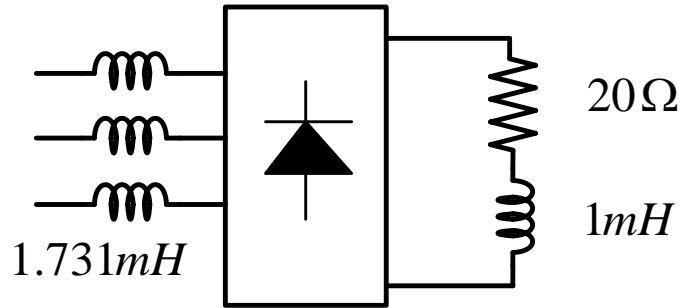


그림 3.77 부하 조건 - 다이오드 부하1

Figure 3.77 Load condition - Diode circuit1

작은 크기의 전압 지령일 때는 (3.111)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.112)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.78, 그림 3.79는 각각 지령 전압의 크기가 작을 때, 클 때의 실험 결과이다. 기존 PWM 방법 대신에 데드 존을 회피하기 위한 PWM 방법인 AOVPWM를 적용했을 때 VTR 값이 확실히 증가한 것을 알 수 있고, OMVPWM를 각각 적용했을 때는 기존 방법과 VTR의 값이 거의 유사한 것을 알 수 있다.

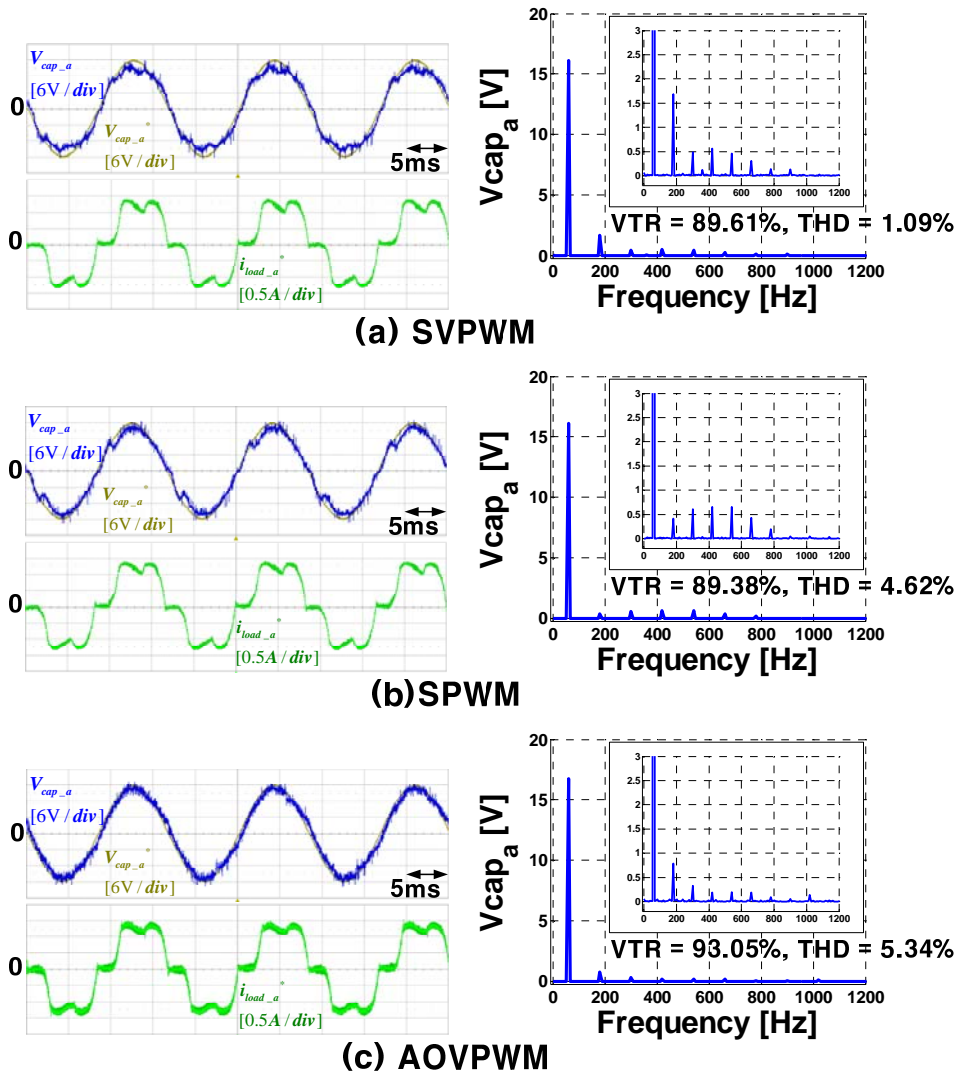


그림 3.78 실험 결과 - 다이오드 부하 조건1 (저 전압)

Figure 3.78 Experimental result - Diode circuit1 (Low voltage)

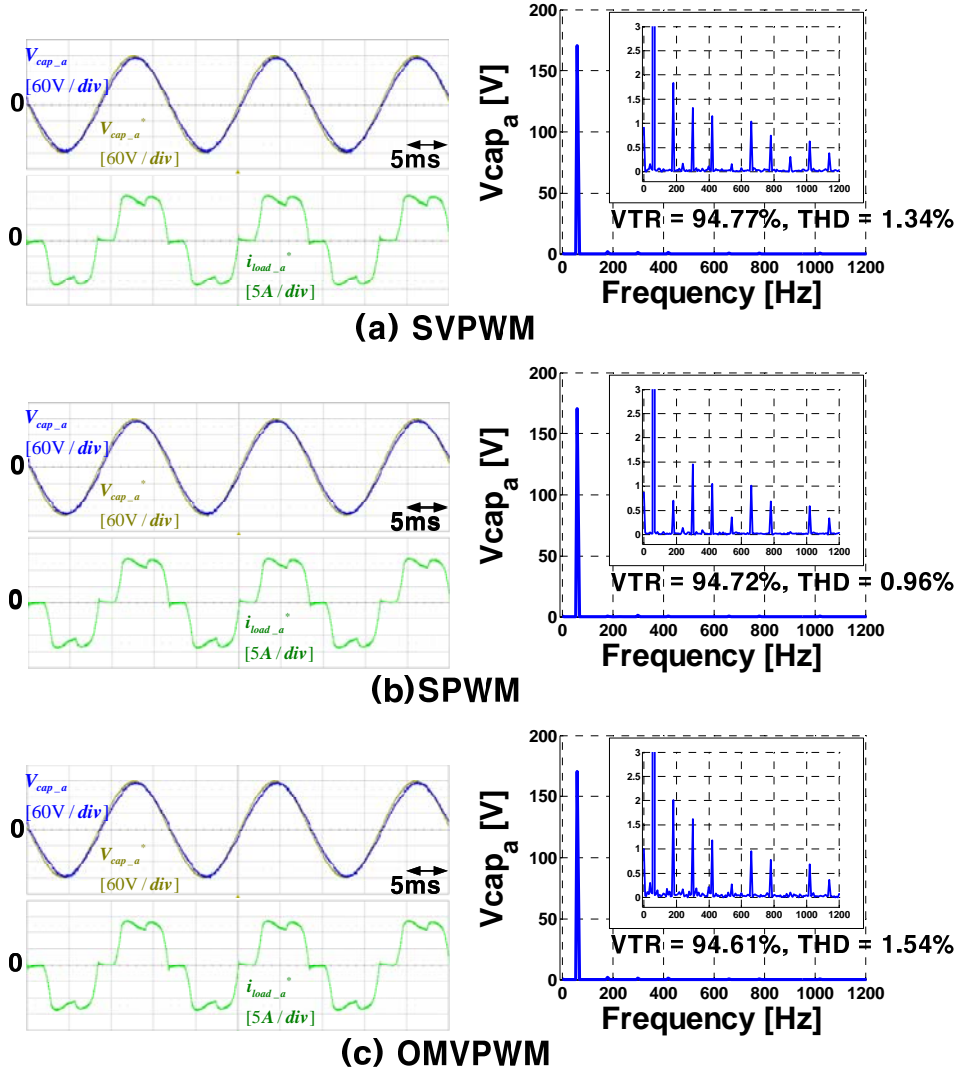


그림 3.79 실험 결과 - 다이오드 부하 조건1 (고 전압)

Figure 3.79 Experimental result - Diode circuit1 (High voltage)

추가로 그림 3.80과 같은 다이오드 부하의 조건에서 실험을 수행하였다.

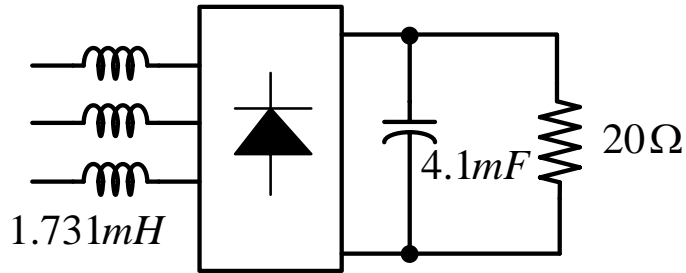


그림 3.80 부하 조건 - 다이오드 부하2

Figure 3.80 Load condition - Diode circuit2

작은 크기의 전압 지령일 때는 (3.111)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.112)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.81, 그림 3.82는 각각 지령 전압의 크기가 작을 때, 클 때의 실험 결과이다. 기존 PWM 방법 대신에 데드 존을 회피하기 위한 PWM 방법인 AOVPWM를 적용했을 때 VTR의 값이 확실히 증가한 것을 알 수 있고, OMVPWM를 각각 적용했을 때는 기존 방법과 VTR의 값이 거의 유사한 것을 알 수 있다.

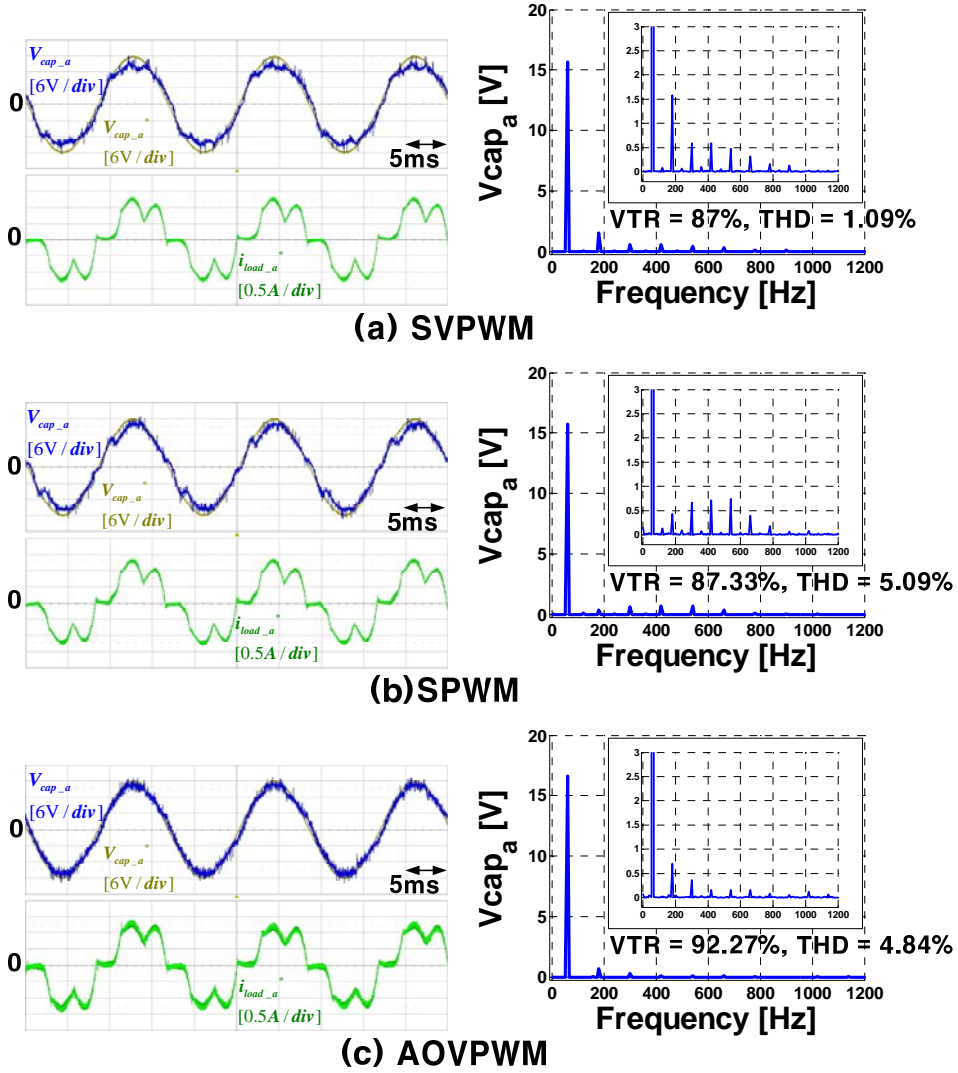


그림 3.81 실험 결과 - 다이오드 부하 조건2 (저 전압)

Figure 3.81 Experimental result - Diode circuit2 (Low voltage)

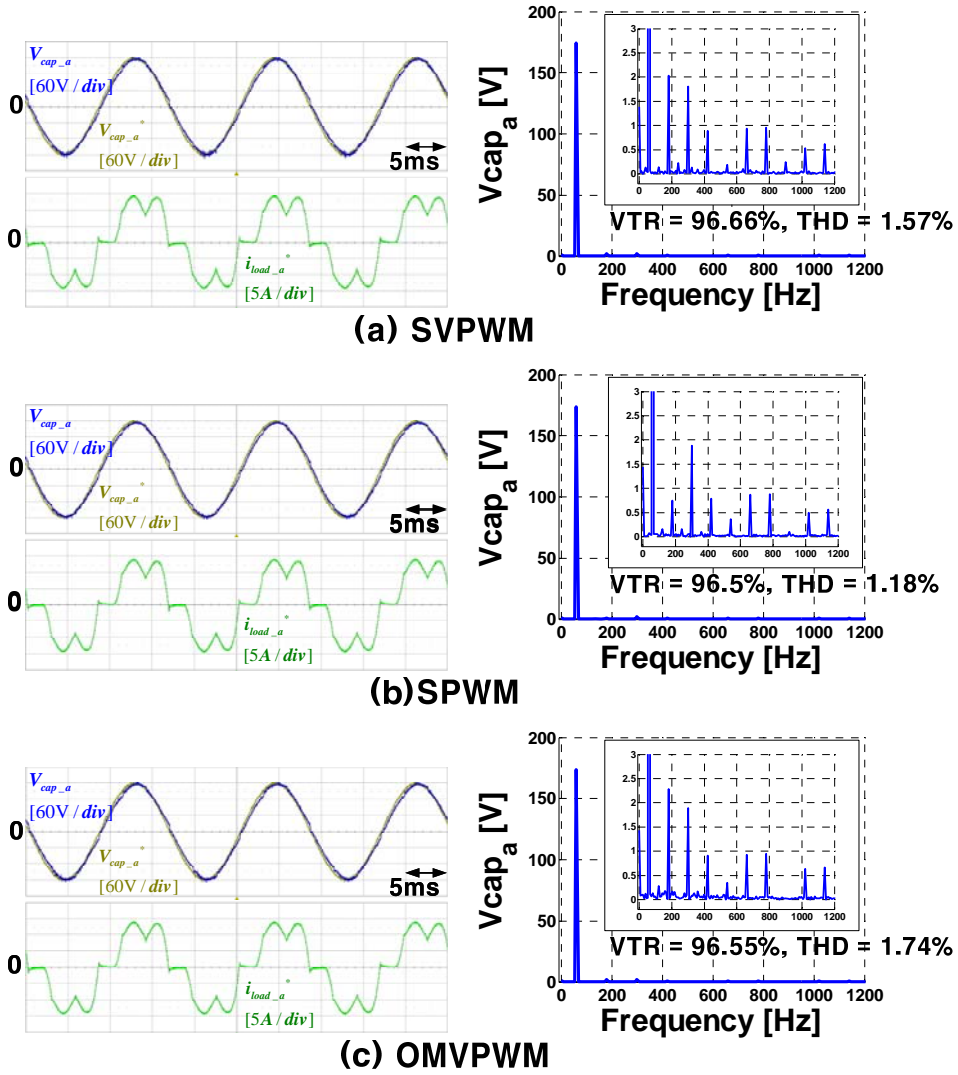


그림 3.82 실험 결과 - 다이오드 부하 조건2 (고 전압)

Figure 3.82 Experimental result - Diode circuit2 (High voltage)

이와 같이 3.1절에서는 데드 존 회피를 위한 PWM 방법을 제안하였고, 이를 통하여 보상 전에 비해 데드 타임에 의한 전압 왜곡을 줄일 수 있다는 것을 확인할 수 있었다. 하지만, 데드 타임 보상을 완벽하게 할 수 없을 뿐 아니라, 옵셋 전압 변동을 통해 데드 존을 피하고 있으므로 이 방법은 2장에서 언급한 커먼 모드 전압 저감 PWM 방법과 양립할 수 없다는 단점이 있다.

또한 AOVPWM 방법을 적용할 경우 커먼 모드 전압이 커진다는 문제가 있다. 그림 3.83이 저 전압 조건에서 SVPWM, AOVPWM를 각각 적용했을 때의 커먼 모드 전압 파형이다. 파형에서 알 수 있듯이

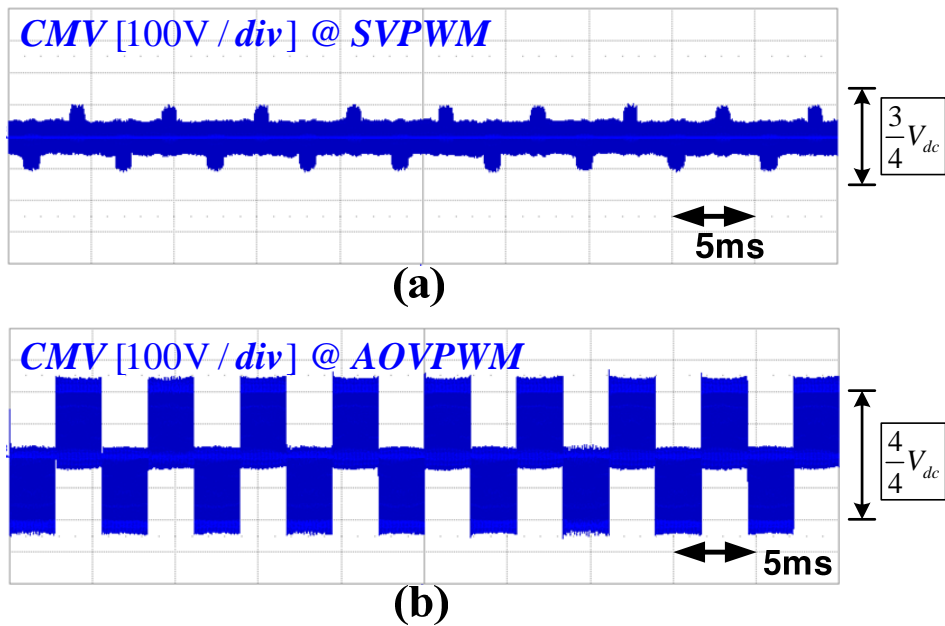


그림 3.83 커먼 모드 전압 (a) SVPWM, (b) AOVPWM

Figure 3.83 Common-mode voltage (a) SVPWM, (b) AOVPWM

AOVPWM를 적용하면 SVPWM에 비해 커먼 모드 전압이 커지게 된다. 하지만 SVPWM 방법을 적용 했을 때의 커먼 모드 전압이 예상 값인 $\frac{3}{4}V_{dc}$ 보다 작은 것을 알 수 있다. 이는 SVPWM 방법을 적용했을 경우에는 극 전압 지령이 데드 존 안에 들어가 있으므로 제대로 된 극 전압이 출력되지 않기 때문이다.

3.2 전압 제어기

본 논문에서 교류 전원 장치 용으로 사용한 회로 구조는 그림 3.84와 같다.

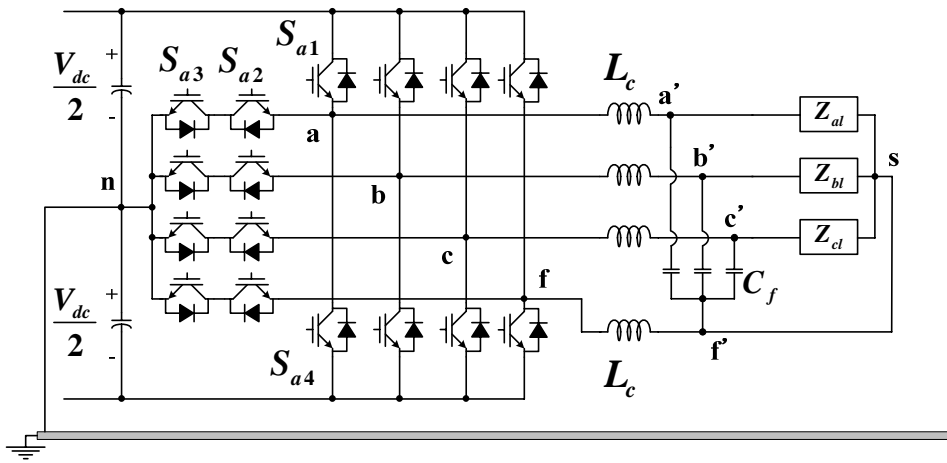


그림 3.84 3레벨 4레그 컨버터 구조

Figure 3.84 3 level 4 leg topology

3레벨 구조 중 하나인 T-type이 사용되었고, 테스트 부하로 사용될 부하가 평형인지 불평형인지에 상관없이 원하는 상 전압을 만들어주기 위해 4선 구조 중 4레그 구조가 사용되었다. 그리고 전력용 반도체 소자의 스위칭 동작으로 발생될 스위칭 리플 (ripple) 성분이 부하단에 보이지 않게 하기 위하여 필터가 필요한데, 본 논문에서는 컨버터의

출력단에 L필터 대신 LC필터를 사용하였다. 스위칭 주파수 대역에 같은 전압 고조파 성분이 보인다고 가정할 때, LC필터는 L필터에 비해 전체 시스템의 부피, 무게를 줄일 수 있다.

그림 3.84와 같은 회로를 한 상 등가 회로로 표현하면 그림 3.85 (a)와 같다. V_{xn} 은 a, b, c 상 중 하나의 상에서의 출력 극 (Pole) 전압을 나타내고, V_{fn} 은 f 레그의 출력 극 전압을 나타내준다. 컨버터의

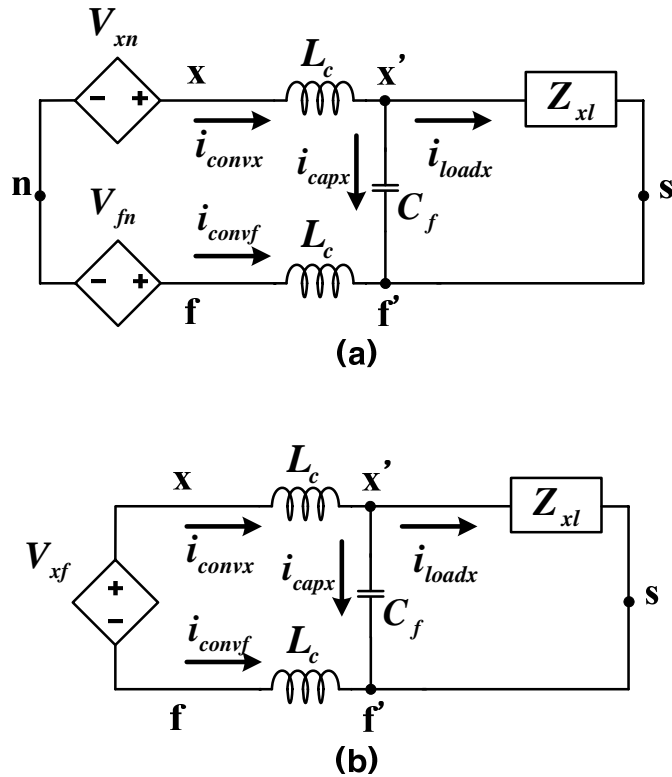


그림 3.85 한 상 (x 상) 등가 회로

Figure 3.85 One phase (x phase) equivalent circuit

출력 전압은 LC필터를 거쳐 필터링 되고, 필터 캐패시터에 병렬로 부하가 연결되게 된다. x상 (x는 a, b, c 상 중의 하나)과 f상 컨버터 출력 전압의 차를 V_{xf} 라 표현하면, 그림 3.85 (a) 는 그림 3.85 (b) 와 같이 표현할 수 있다.

그림 3.85 (b) 의 한 상 등가 회로를 블록도로 표시하면 그림 3.86과 같다.

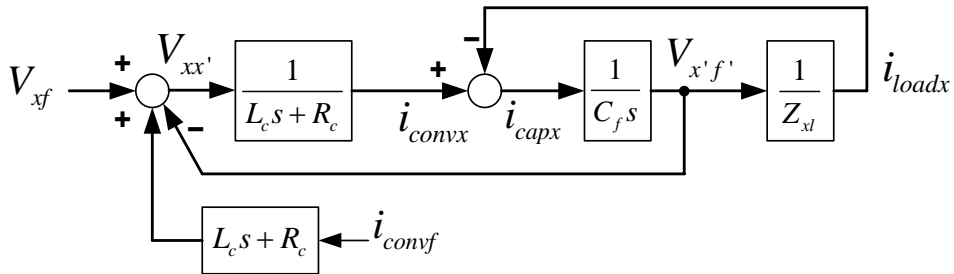


그림 3.86 한 상 (x 상) 등가 회로의 블록도

Figure 3.86 Block diagram of one phase (x phase) equivalent circuit

여기서 R_c 는 인덕터 L_c 의 기생 저항 성분이다. 그림 3.86의 컨버터 출력 전압 (V_{xf})과 부하 전압 ($V_{x'f'}$)과의 관계를 살펴보면 (3.115)와 같다.

$$\begin{aligned}
V_{x'f'} = & \frac{1}{C_f L_c s^2 + C_f R_c s + 1} V_{xf} \\
& - \frac{L_c s + R_c}{C_f L_c s^2 + C_f R_c s + 1} i_{loadx} \quad . \\
& + \frac{L_c s + R_c}{C_f L_c s^2 + C_f R_c s + 1} i_{conf}
\end{aligned} \tag{3.115}$$

만약 부하가 3상 평형이고, 평형 전압을 인가하는 경우에 i_{conf} 에는 전류가 흐르지 않으므로 (3.115)는 (3.116)과 같이 표현된다.

$$\begin{aligned}
V_{x'f'} = & \frac{1}{C_f L_c s^2 + C_f R_c s + 1} V_{xf} \\
& - \frac{L_c s + R_c}{C_f L_c s^2 + C_f R_c s + 1} i_{loadx} \quad .
\end{aligned} \tag{3.116}$$

식 (3.116)을 보면 부하 전압 ($V_{x'f'}$)은 컨버터 출력 전압 (V_{xf})과 부하 전류 (i_{loadx})에 의해서 결정된다는 것을 알 수 있다.

3.2.1 기존 전압 제어기

멀티 루프 (Multi-Loop) 전압 제어기는 그림 3.87과 같이 최상위에 전압 제어기가 사용되고, 하위에 전류 제어기가 사용되는 구조를 가지고 있다[69-71]. 이는 직렬 (cascaded) 제어 방식 전압 제어기라고도 불린다. 이와 같은 제어기에서는 전압 제어기의 제어 대역폭이 하위의 전류 제어기의 제어 폭보다 작아야 한다는 큰 단점이 있다. 따라서 이러한 직렬 제어 구조의 제어기는 다른 제어기에 비해 상대적으로 동특성이 느리다는 특징이 있다.

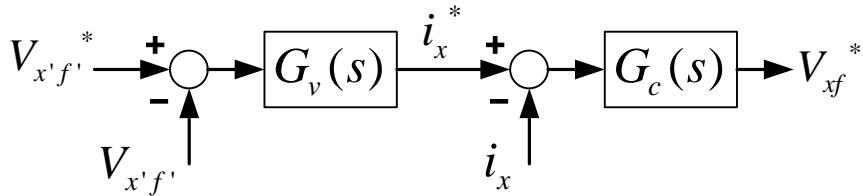


그림 3.87 멀티 루프 (multi-loop) 전압 제어기의 블록도

Figure 3.87 Block diagram of multi-loop voltage controller

또 다른 제어 구조로는 deadbeat 제어 이론을 이용한 deadbeat 전압 제어기가 있다[72-74]. 이와 같은 제어기는 알려진 바와 같이 회로 제정수 값에 민감하다는 단점이 있다. 제정수 값을 잘못 추정할 경우 제어 성능이 떨어지고 시스템의 안정성에 영향을 주기도 한다.

다음으로 오픈 루프 전압 제어기는 그림 3.88과 같다[75-77]. 그림 3.88에서 보는 바와 같이 오픈 루프 제어기는 부하 전압을 측정하여 되먹임 (feedback)하지 않고 제어기를 구성하는 방법이다. 하지만, LC

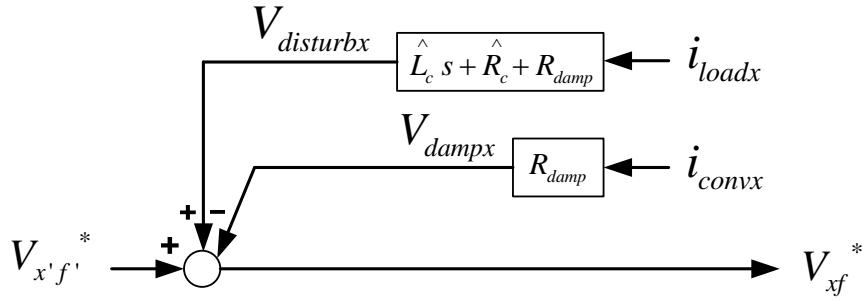


그림 3.88 오픈 루프 (open-loop) 전압 제어기의 블록도

Figure 3.88 Block diagram of open-loop voltage controller

필터에 의해 발생한 공진 (Resonance)을 억제 하기 위해 추가로 능동
 댐핑 저항에 인가 되는 전압 (V_{dampx})을 구현하여 이를 부하 전압 지령
 에서 빼주게 된다. 또한 부하 전류로 인해 컨버터 측 인덕터 (L_c) 및
 저항에 의해 생기는 전압 왜곡을 보상하기 위해 $V_{disturbx}$ 를 전향 보상해
 준다. 여기서 V_{dampx} 와 $V_{disturbx}$ 는 각각 (3.117), (3.118)과 같다.

$$V_{dampx} = R_{damp} i_{convx} . \quad (3.117)$$

$$V_{disturbx} = (\hat{L}_c s + \hat{R}_c + R_{damp}) i_{loadx} . \quad (3.118)$$

위의 오픈 루프 제어기를 이용하여 모의 실험을 수행하였다.

먼저 데드 타임에 의한 전압 왜곡 현상을 배제하기 위해 반도체 스위
 칭 블록은 제거하고 가변 전압원을 이용하였다. 또한 (3.118)에 사용한
 인덕터 추정 값 (\hat{L}_c), 저항 추정 값 (\hat{R}_c)을 각각 실제 L필터의 인덕
 터 값 (L_c), 저항 값 (R_c)을 사용하였다. 그리고 가상 댐핑 저항 값은
 (3.119)와 같다.

$$R_{damp} = 25.8\Omega. \quad (3.119)$$

그림 3.89의 결과를 보면 부하 상 전압 지령이 급격하게 변함에도 불구하고 부하 상 전압은 공진 없이 지령을 잘 따라가고 있음을 알 수 있다. 하지만 큰 댐핑 저항의 영향으로 지령 전압과 실제 전압 사이의 위상이 5도 정도 차이가 나는 것을 알 수 있다.

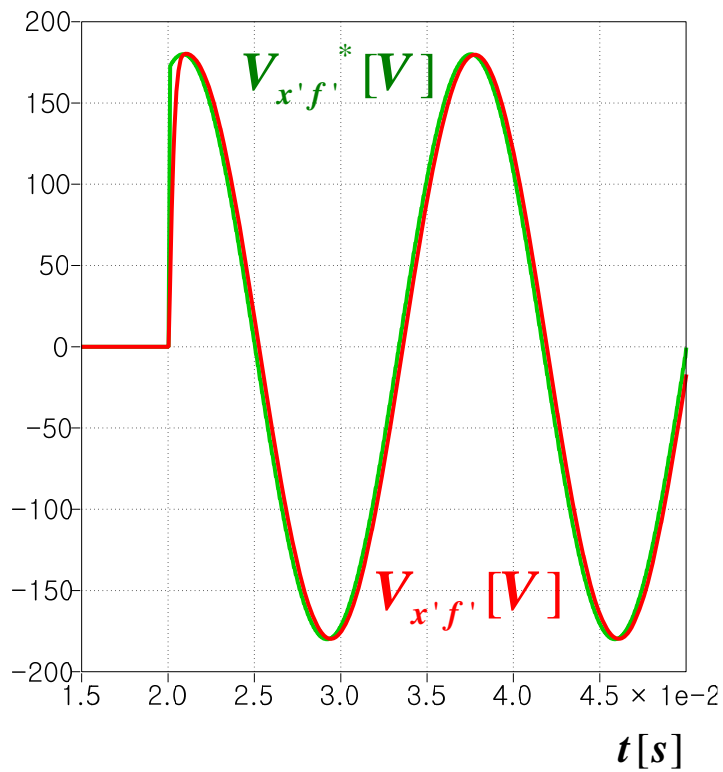


그림 3.89 오픈 루프 (open-loop) 전압 제어기 모의 실험1

Figure 3.89 Open-loop voltage controller simulation result1

그림 3.90은 인덕터 추정 값 (\hat{L}_c)을 실제 값보다 10% 크게 알고 있을 때의 파형이다. 제정수 추정 값의 오차는 (3.118)과 같이 $V_{disturbx}$ 의 오차를 불러일으키지만, 그 비중이 크지 않으므로 그림 3.90의 파형은 그림 3.89와 큰 차이가 나지 않는 것을 볼 수 있다.

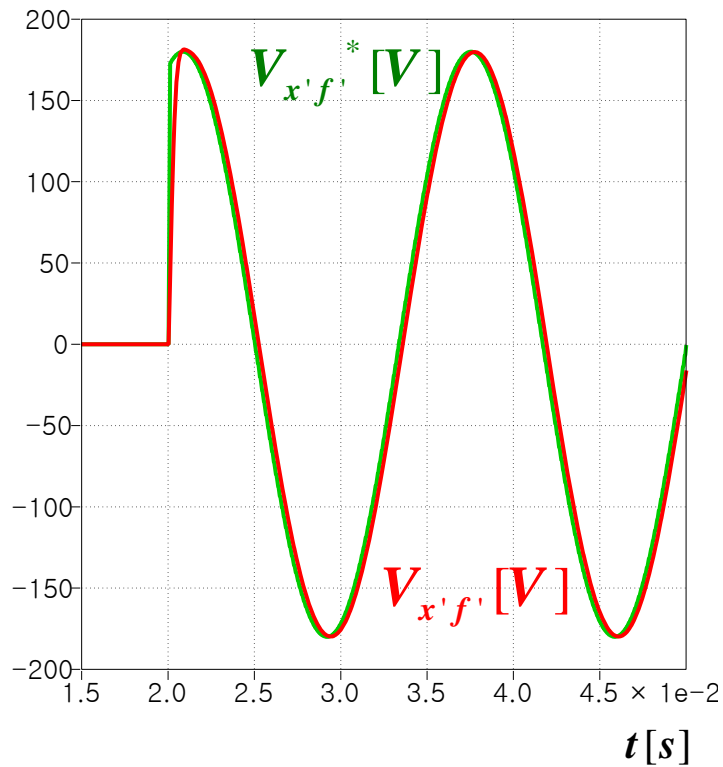


그림 3.90 오픈 루프 (open-loop) 전압 제어기 모의 실험2

Figure 3.90 Open-loop voltage controller simulation result2

그림 3.91은 인덕터의 기생 저항 추정 값 (\hat{R}_e)을 실제 값보다 50% 크게 알고 있을 때의 파형이다. 제정수 추정값의 오차는 (3.118)과 같이 $V_{disturbx}$ 의 오차를 불러일으키지만, 그 비중이 크지 않으므로 그림 3.91은 그림 3.89와 큰 차이가 나지 않는 것을 볼 수 있다.

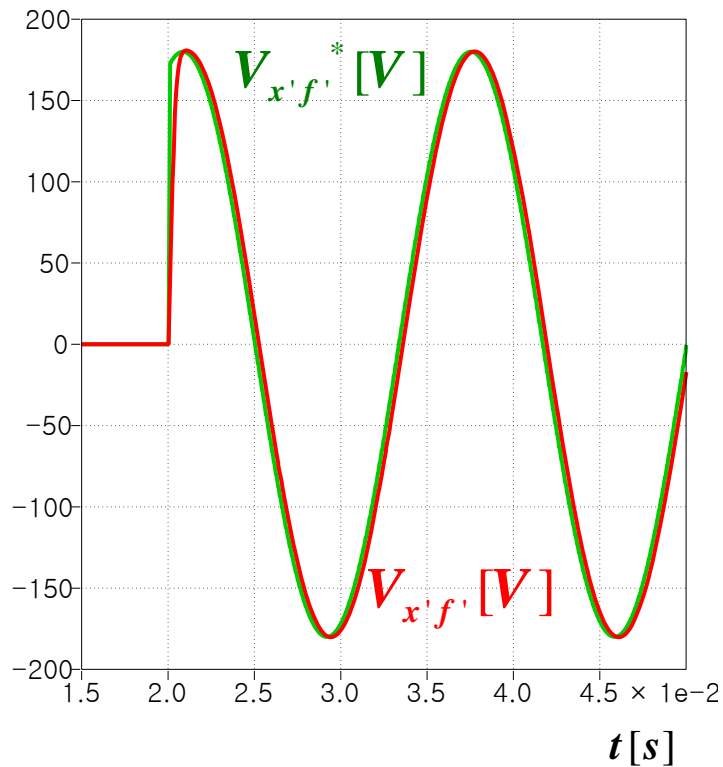


그림 3.91 오픈 루프 (open-loop) 전압 제어기 모의 실험3

Figure 3.91 Open-loop voltage controller simulation result3

모의 실험 1~3은 이상적인 가변 전압원을 이용한 모의 실험이었다. 그림 3.92는 지령 전압의 크기가 큰 경우인 모의 실험 4의 결과로 모의 실험 1과 같이 제정수의 오차가 없을 때이지만, 실제 실험과 같이 PWM을 위한 반도체 스위치가 사용되고 데드 타임까지 적용하여 모의 실험했을 때의 결과이다. 실제 부하 상 전압은 지령 전압에 비해 많이 작아진 것을 볼 수 있다. 이는 데드 타임에 의한 컨버터 출력 전압 왜곡에 의한 것으로, 데드 타임에 의한 컨버터 출력 전압 왜곡이 부하 상 전압에도 왜곡을 일으키고 있는 것을 알 수 있다.

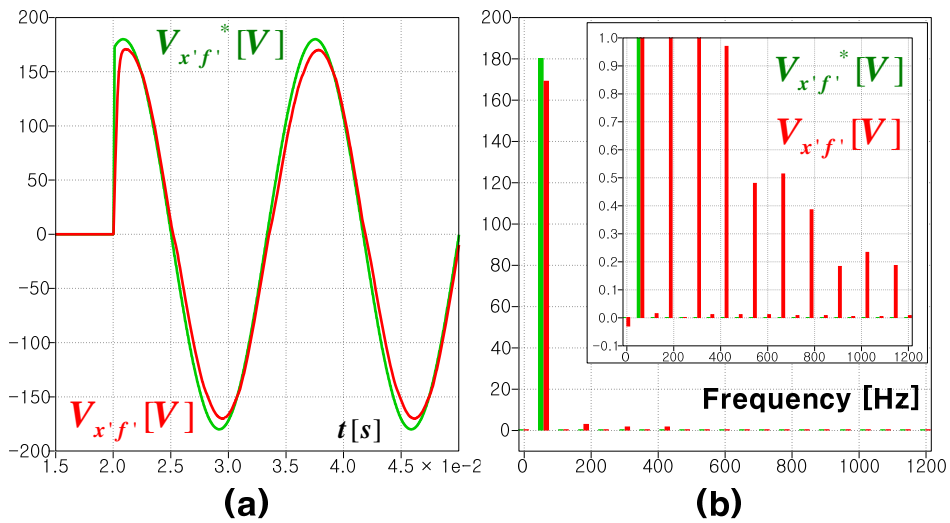


그림 3.92 오픈 루프 (open-loop) 전압 제어기 모의 실험4 (a) 파형, (b) (a)의 FFT

Figure 3.92 Open-loop voltage controller simulation result4 (a) waveform, (b) FFT of (a)

그림 3.93은 지령 전압의 크기가 작을 때인 모의 실험 5의 결과로 실제 부하 상 전압은 지령 전압에 비해 많이 작아진 것을 볼 수 있다. 이는 모의 실험 4의 결과와 마찬가지로 데드 타임에 의한 컨버터 출력 전압 왜곡이 부하 상 전압에도 왜곡을 일으키기 때문이다.

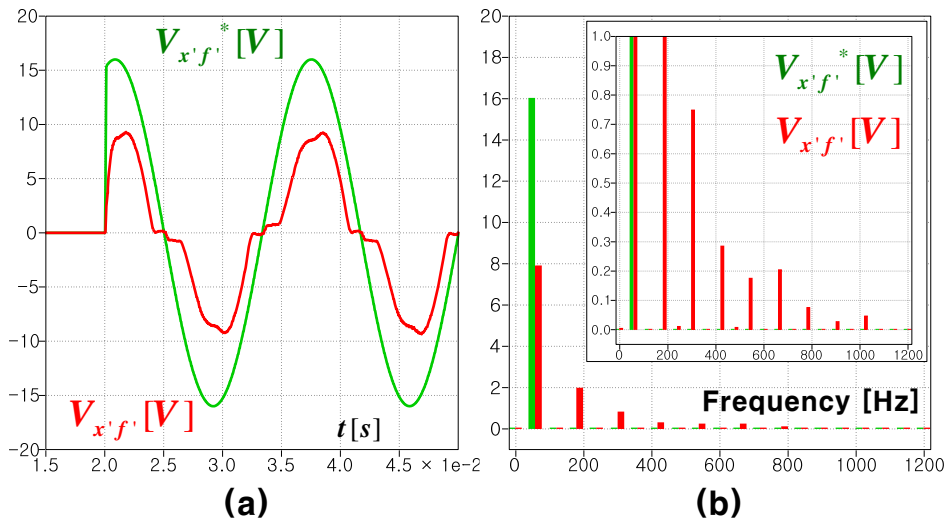


그림 3.93 오픈 루프 (open-loop) 전압 제어기 모의 실험5 (a) 파형, (b) (a)의 FFT

Figure 3.93 Open-loop voltage controller simulation result5 (a) waveform, (b) FFT of (a)

그림 3.94는 오픈 루프 전압 제어기를 포함한 한 상 등가 회로의 블록도이다.

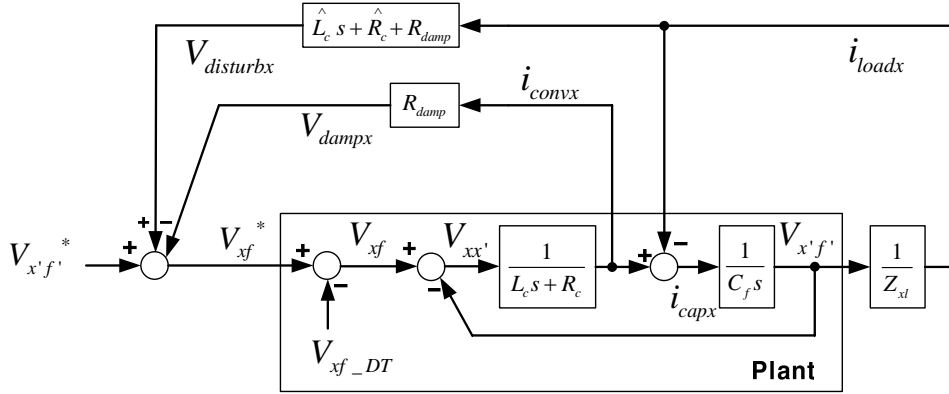


그림 3.94 오픈 루프 (open-loop) 전압 제어기를 포함한 한 상 (x 상) 등가 회로의 블록도

Figure 3.94 Block diagram of one phase (x phase) equivalent circuit with open-loop voltage controller

컨버터 출력 전압 (V_{xf})은 오픈 루프 전압 제어기와 데드 타임에 의한 전압 왜곡을 추가하면 (3.120)과 같다.

$$V_{xf} = V_{x'f'}^* + (\hat{L}_c s + \hat{R}_c + R_{damp})i_{loadx} - R_{damp}i_{convx} - V_{xf-DT} \quad (3.120)$$

식 (3.120)을 (3.115)에 대입 하면 (3.121)과 같이 정리된다.

$$\begin{aligned}
V_{x'f'} &= \frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} V_{x'f'}^* \\
&\quad - \frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} V_{xf-DT} \\
&\quad + \frac{(\hat{L}_c - L_c)s + (\hat{R}_c - R_c)}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} i_{loadx} \\
&\quad + \frac{L_c s + R_c}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} i_{conf}
\end{aligned} \tag{3.121}$$

만약 부하가 3상 평형 부하이고, 평형 전압을 인가하는 경우에 i_{conf} 에 전류가 흐르지 않으므로 (3.121)은 (3.122)와 같이 표현 될 수 있다.

$$\begin{aligned}
V_{x'f'} &= \frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} V_{x'f'}^* \\
&\quad - \frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} V_{xf-DT} \\
&\quad + \frac{(\hat{L}_c - L_c)s + (\hat{R}_c - R_c)}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} i_{loadx}
\end{aligned} \tag{3.122}$$

식 (3.122)를 통해서 부하 상 전압과 부하 지령 전압, 데드 타임에 의한 왜곡 전압, 부하 전류의 관계를 나눠서 살펴볼 수 있다.

$$TF_{-VR} = \frac{V_{x'f'}}{V_{x'f'}^*} = \frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} \tag{3.123}$$

$$TF_{-VD} = \frac{V_{x'f'}}{V_{xf-DT}} = -\frac{1}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} \tag{3.124}$$

$$TF_{-IL} = \frac{V_{x'f'}}{i_{loadx}} = \frac{(\hat{L}_c - L_c)s + (\hat{R}_c - R_c)}{C_f L_c s^2 + C_f (R_c + R_{damp})s + 1} \tag{3.125}$$

식 (3.123~125)를 살펴보면, 오픈 루프 제어기를 이용하면 인덕터의

기생 저항 성분이 R_{damp} 만큼 더 커진 것처럼 보이는 것을 알 수 있다. 또한 (3.124)에서 볼 수 있듯이 지령 전압 ($V_{x,f}^*$)뿐만 아니라 데드 타임에 의한 전압 왜곡 (V_{xf_DT})도 부하 상 전압 왜곡에 영향을 주는 것을 볼 수 있다. 제정수 추정 오차가 없을 때 각각의 보드 선도는 그림 3.95와 같다.

TF_VR과 TF_VD는 같은 전달 함수를 가지므로, 겹쳐 보인다. TF_IL은 추정 오차가 없을 경우 전달 함수의 크기가 0이므로 해당 보드 선도는

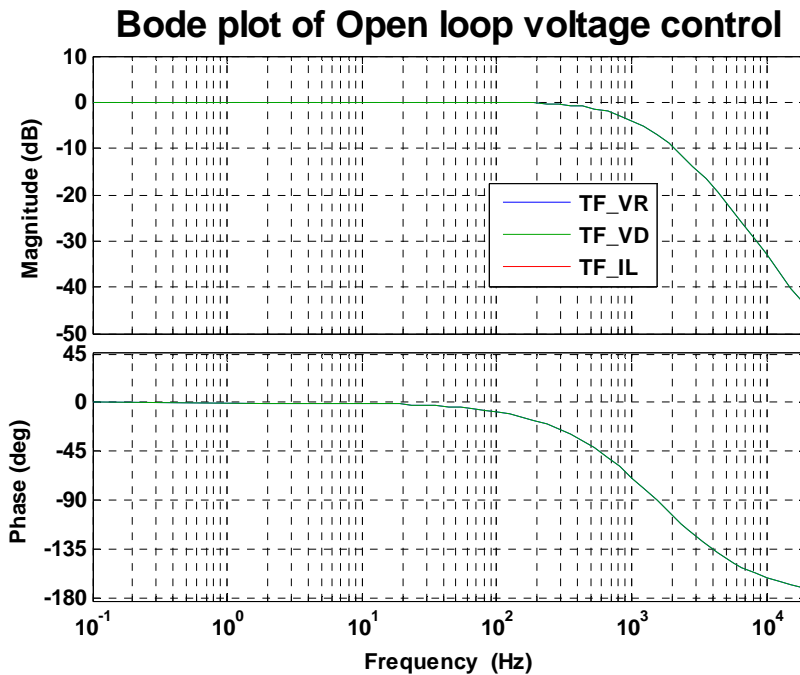


그림 3.95 제정수 오차 없을 때 오픈 루프 (open-loop) 전압 제어기 보드 선도

Figure 3.95 Bode plot of open-loop voltage controller with no parameter estimation error

에서는 보이지 않는다.

제정수의 추정 오차가 있을 때의 TF_IL에 해당하는 (3.125)의 보드 선도는 그림 3.96과 같다. 추정 오차가 없을 때는 전달 함수의 크기가 0이라 보드 선도에 표시가 되지 않는다. 제정수 추정 오차가 있을 때의 보드 선도를 보면 제정수 오차가 부하 상 전압에 영향을 주기는 하지만 0 dB 보다 작으므로 큰 영향을 미치지 않는 것을 알 수 있다.

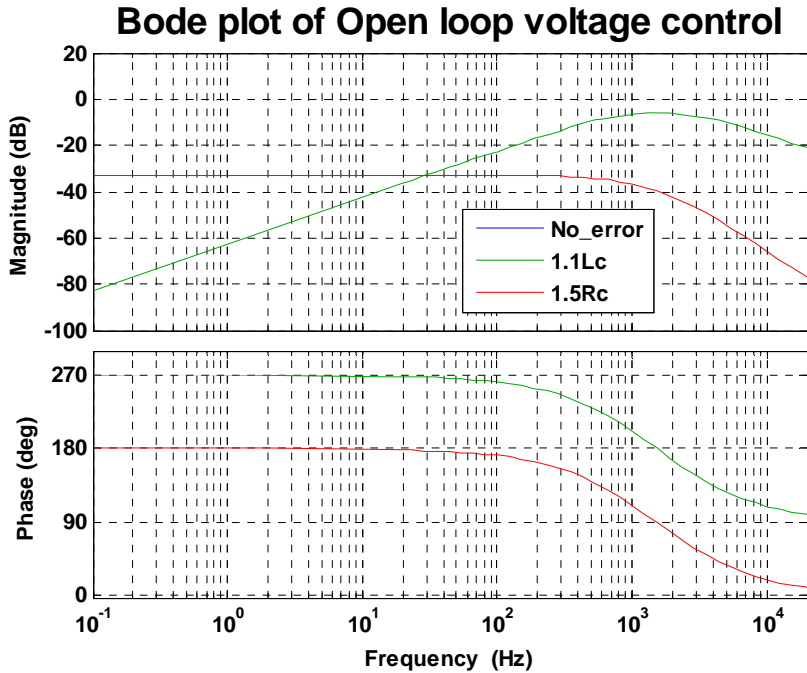


그림 3.96 오픈 루프 (open-loop) 전압 제어기의 TF_IL 보드 선도

Figure 3.96 Bode plot of open-loop voltage controller TF_IL

그림 3.97은 3.1절에서 설명한 데드 타임 보상을 위한 PWM 방법 (OMVPWM+SVPWM)을 적용하고 a, b, c, f 상에 데드 타임 보상을 한 모의 실험 결과이다. 그림 3.92와 다르게 데드 타임 보상 방법을 적용하면 부하 상 전압이 지령 전압을 잘 따라가고 있는 것을 볼 수 있다. 이처럼 데드 타임 보상을 제대로 할 경우 부하 상 전압을 원하는 대로 합성할 수 있다.

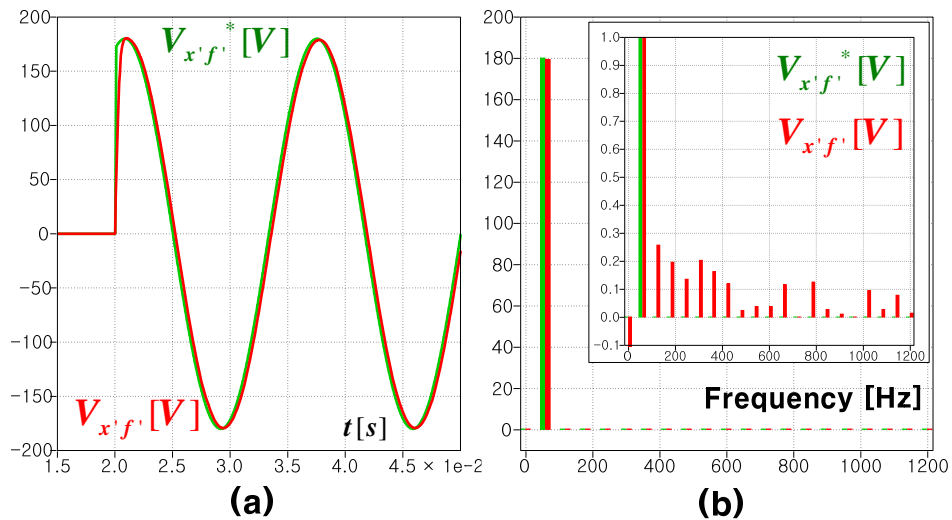


그림 3.97 오픈 루프 (open-loop) 전압 제어기 모의 실험6 (a) 파형, (b) (a)의 FFT

Figure 3.97 Open-loop voltage controller simulation result6 (a) waveform, (b) FFT of (a)

그림 3.98 은 3.1 절에서 설명한 데드 타임 보상을 위한 PWM 방법 (AOVPWM+SVPWM)을 적용하고 a, b, c, f 상에 데드 타임 보상을 한 모의 실험한 결과이다. 그림 3.93 과 다르게 데드 타임 보상 방법을 적용하면 아직 고조파 성분의 전압이 있기는 하지만, 부하 상 전압이 지령 전압을 어느 정도는 잘 따라가고 있는 것을 볼 수 있다. 이처럼 데드 타임 보상을 제대로 할 경우 부하 상 전압이 원하는 대로 합성이 잘 된다.

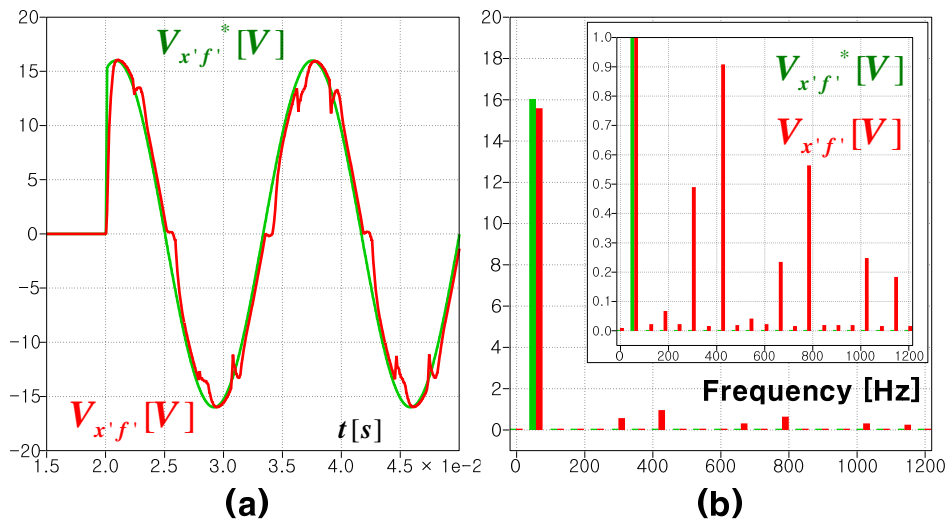


그림 3.98 오픈 루프 (open-loop) 전압 제어기 모의 실험7 (a) 파형, (b) (a)의 FFT

Figure 3.98 Open-loop voltage controller simulation result7 (a) waveform, (b) FFT of (a)

하지만 실제 실험 환경에서는 완벽한 데드 타임 보상이 쉽지 않을 수 있는 문제가 있다. 이 경우 오픈 루프 전압 제어기를 사용할 경우에는 완벽히 보상되지 않은 데드 타임 전압 왜곡이 그대로 반영 된다는 문제가 있다. 따라서 실제 환경에서 개선된 출력 파형을 얻기 위해서는 다른 형태의 제어기가 필요하다.

3.2.2 제안된 전압 제어기

오픈 루프 전압 제어기는 빠른 동특성이 보장되지만, 데드 타임에 의한 전압 왜곡이 그대로 부하 전압에 보인다는 단점이 있다. 이를 보완하기 위해 멀티 루프 전압 제어기를 사용할 수 있으나, 전압 제어기의 제어 대역폭이 전류 제어기의 제어 대역폭에 의한 제한된다는 단점이 있다. 본 논문에서는 위에서 언급한 제어기의 단점을 보완한 단일 루프 (Single-loop) 전압 제어기를 제안하고자 한다.

제안된 단일 루프 전압 제어기의 형태는 그림 3.99와 같다.

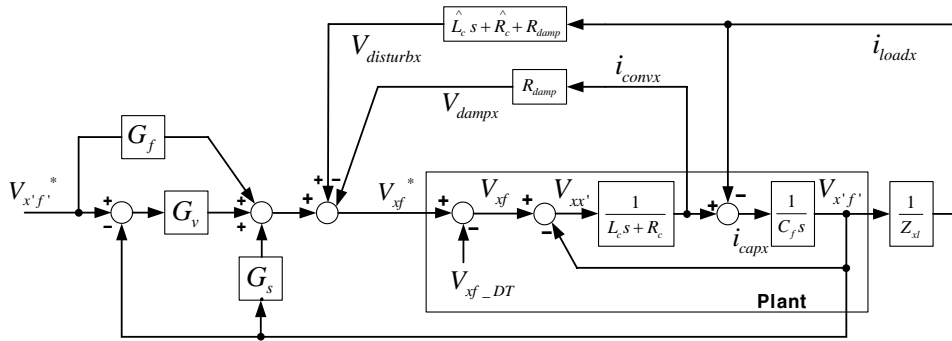


그림 3.99 단일 루프 (single-loop) 전압 제어기 블록도

Figure 3.99 Block diagram of single-loop voltage controller

제안된 전압 제어기는 오픈 루프 전압 제어기의 형태를 기반으로 최상단에 전압 제어기가 추가된 형태이다. 제안된 전압 제어기의 컨버터 전압 지령은 (3.126)과 같다.

$$\begin{aligned} V_{xf}^* = & G_v (V_{x'f'}^* - V_{x'f'}) + G_f V_{x'f'}^* + G_s V_{x'f'} \\ & + (\hat{L}_c s + \hat{R}_c + R_{damp}) i_{loadx} - R_{damp} i_{convx} \end{aligned} \quad (3.126)$$

식 (3.126)을 (3.116)에 대입하면 아래와 같다.

$$\begin{aligned} V_{x'f'} = & \frac{(G_v + G_f)}{(C_f L_c s^2 + C_f R_c s + 1) - (G_s - G_v - R_{damp} C_f s)} V_{x'f'}^* \\ & - \frac{1}{(C_f L_c s^2 + C_f R_c s + 1) - (G_s - G_v - R_{damp} C_f s)} V_{xf-DT} \quad (3.127) \\ & + \frac{(\hat{L}_c - L_c)s + (\hat{R}_c - R_c)}{(C_f L_c s^2 + C_f R_c s + 1) - (G_s - G_v - R_{damp} C_f s)} i_{loadx} \end{aligned}$$

여기서 각각의 제어기 G_v , G_f , G_s 는 (3.128)과 같이 비례-적분-미분 (Proportional-Integral-Differential, PID) 형태이다.

$$\begin{cases} G_v = K_{vp} + K_{vi} \frac{1}{s} + K_{vd} s \\ G_f = K_{fp} + K_{fi} \frac{1}{s} + K_{fd} s \\ G_s = K_{sp} + K_{si} \frac{1}{s} + K_{sd} s \end{cases} \quad (3.128)$$

식 (3.128)을 다시 (3.127)에 대입해서 정리하면 (3.129)와 같다.

$$\begin{aligned}
V_{x'f'} &= \frac{(K_{vd} + K_{fd})s^2 + (K_{vp} + K_{fp})s + (K_{vi} + K_{fi})}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} V_{x'f'}^* \\
&\quad - \frac{s}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} V_{xf-DT} \\
&\quad + \frac{(\hat{L}_c - L_c)s^2 + (\hat{R}_c - R_c)s}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} i_{loadx} \\
&\quad . \quad (3.129)
\end{aligned}$$

식 (3.129)를 통해서 부하 상 전압과 부하 지령 전압, 데드 타임에 의한 왜곡 전압, 부하 전류의 관계를 나눠서 살펴볼 수 있다.

$$\begin{aligned}
TF_{-VR} &= \frac{V_{x'f'}}{V_{x'f'}^*} \\
&= \frac{(K_{vd} + K_{fd})s^2 + (K_{vp} + K_{fp})s + (K_{vi} + K_{fi})}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} \\
&\quad . \quad (3.130)
\end{aligned}$$

$$\begin{aligned}
TF_{-VD} &= \frac{V_{x'f'}}{V_{xf-DT}} \\
&= - \frac{s}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} \\
&\quad . \quad (3.131)
\end{aligned}$$

$$\begin{aligned}
TF_{-IL} &= \frac{V_{x'f'}}{i_{loadx}} \\
&= \frac{(\hat{L}_c - L_c)s^2 + (\hat{R}_c - R_c)s}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} \\
&\quad . \quad (3.132)
\end{aligned}$$

전압 제어기의 전달 함수인 (3.130)이 (3.133)과 같이 1차 저역 통과

필터 (Low Pass Filter, LPF)의 형태를 가진다고 가정하자.

$$\frac{(K_{vd} + K_{fd})s^2 + (K_{vp} + K_{fp})s + (K_{vi} + K_{fi})}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp} + K_{vd} - K_{sd})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} = \frac{\omega_{vc}}{s + \omega_{vc}} \quad (3.133)$$

여기서 미분기 사용 시 입력 신호의 잡음 (Noise) 성분에 의해 고주파에서 잡음 전압 성분이 커지는 문제가 발생할 수 있기 때문에 측정된 값을 입력으로 사용하는 제어기의 미분기 이득 (K_{vd} , K_{sd})은 0으로 설정하였다. 따라서 (3.133)은 (3.134)로 다시 표시된다.

$$\frac{(K_{fd})s^2 + (K_{vp} + K_{fp})s + (K_{vi} + K_{fi})}{(C_f L_c)s^3 + (C_f R_c + C_f R_{damp})s^2 + (K_{vp} - K_{sp} + 1)s + (K_{vi} - K_{si})} = \frac{\omega_{vc}}{s + \omega_{vc}} \quad (3.134)$$

식 (3.134)를 이용하여 계수 비교를 해주면 표 3.7과 같이 계수를 구할 수 있다.

표 3.7 단일 루프 (single-loop) 전압 제어기 이득

Table 3.7 Gains for single-loop voltage controller

항목	값
K_{vp}	$-\omega_{vc}^2 \hat{C}_f \hat{L}_c$
K_{vi}	ω_{vc}
K_{vd}	0
K_{fp}	$\omega_{vc} \hat{C}_f (\hat{R}_c + R_{damp})$
K_{fi}	0
K_{fd}	$\omega_{vc} \hat{C}_f \hat{L}_c$
K_{sp}	$-\omega_{vc} \hat{C}_f (\hat{R}_c + R_{damp})$
K_{si}	0
K_{sd}	0

능동 댐핑 저항 값과 제어 주파수 대역이 (3.135), (3.136)과 같을 때, 전달 함수 (3.130), (3.131), (3.132)의 보드 선도는 그림 3.100과 같다.

$$R_{damp} = 22.99\Omega . \quad (3.135)$$

$$\omega_{vc} = 2\pi 850[rad / s] . \quad (3.136)$$

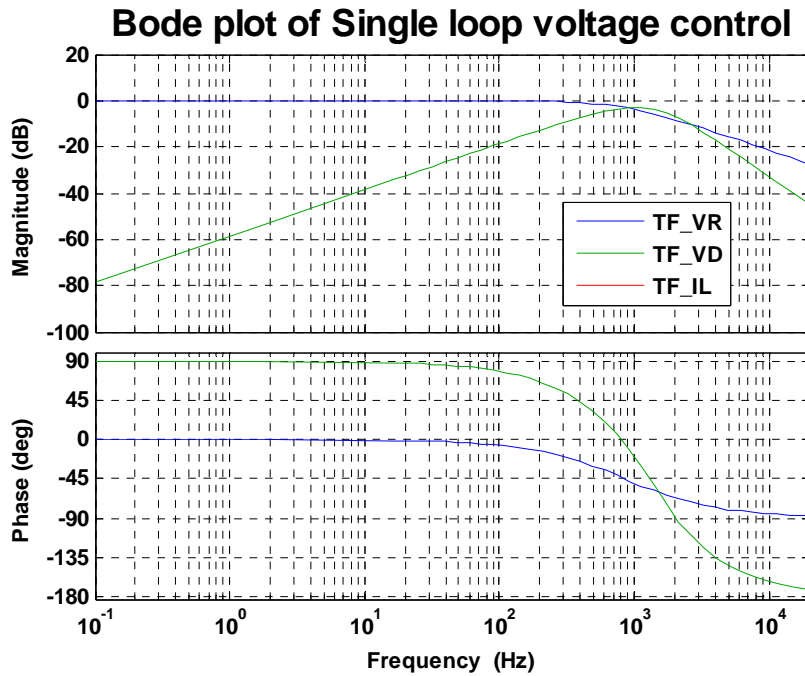


그림 3.100 단일 루프 (single-loop) 전압 제어기의 보드 선도

Figure 3.100 Bode plot of single-loop voltage controller

오픈 루프 전압 제어기의 보드 선도인 그림 3.95와 비교했을 때, 데드 타임 전압에 의한 전달 함수 성분의 크기가 0 dB 이하로 떨어진 것을 알 수 있다. 이것은 데드 타임 보상을 따로 해주지 않더라도 제어기에 의해 데드 타임 보상이 되는 효과를 얻을 수 있음을 의미한다.

3.2.3 모의 실험

제안된 전압 제어기의 유효성을 확인하기 위해 그림 3.84와 같은 회로를 이용하여 모의 실험을 수행하였다.

먼저 지령 전압이 큰 경우에 모의 실험을 수행하였다. 그림 3.101은 그림 3.97에서와 같이 데드 타임 보상을 위한 PWM (OMVPWM+SVPWM)을 적용하지만, 데드 타임 보상은 하지 않았고, 단일 루프 전압 제어기를 사용하였을 때의 파형이다. 데드 타임 보상을 하지 않았음에도 불구하고, 데드 타임 전압에 의한 고조파 성분이 그림

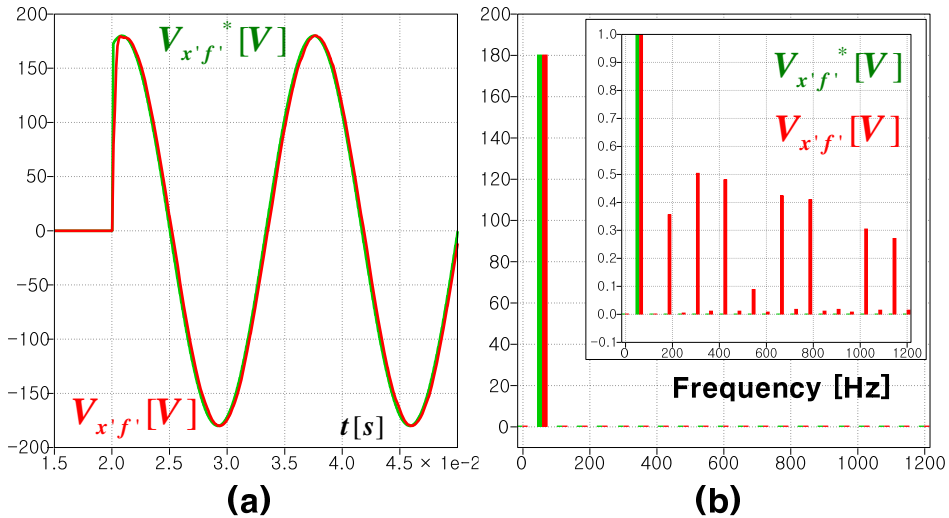


그림 3.101 단일 루프 (single-loop) 전압 제어기 모의 실험8 (a) 파형, (b) (a)의 FFT

Figure 3.101 Single-loop voltage controller simulation result8 (a) waveform, (b) FFT of (a)

3.97보다는 조금 크지만, 그림 3.92보다는 많이 줄어든 것을 알 수 있다.

다음으로 지령 전압의 크기가 작을 때 모의 실험을 수행하였다. 그림 3.102는 그림 3.98과 같이 데드 타임 보상을 위한 PWM (AOVPWM+SVPWM)을 적용하지만, 데드 타임 보상은 하지 않았을 때, 단일 루프 전압 제어기를 사용하였을 때의 파형이다. 데드 타임 보상을 하지 않았음에도 불구하고, 데드 타임 전압에 의한 고조파 성분이 그림 3.98보다는 조금 크지만, 그림 3.93보다는 많이 줄어든 것을 알 수 있다.

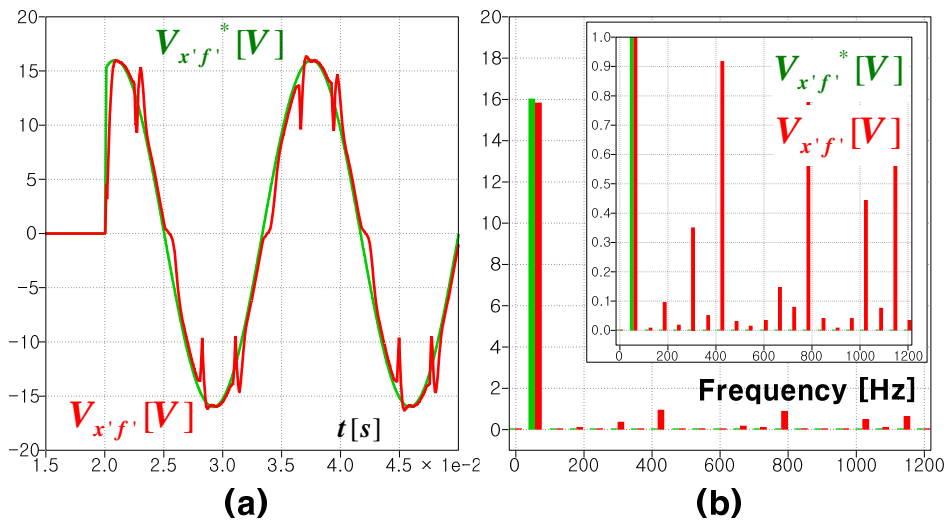


그림 3.102 단일 루프 (single-loop) 전압 제어기 모의 실험9 (a) 파형, (b) (a)의 FFT

Figure 3.102 Single-loop voltage controller simulation result9 (a) waveform, (b) FFT of (a)

그림 3.101, 그림 3.102의 결과를 토대로 전압 제어기에 의해서 추가로 데드 타임 보상을 하지 않아도 데드 타임에 의한 전압 왜곡 성분이 많이 줄어든 것을 알 수 있다. 추가로 a, b, c 레그에만 데드 타임 보상을 했을 때의 결과가 그림 3.103, 그림 3.104이다. 그림 3.101에 비해 그림 3.103에서 부하 상 전압의 고조파 크기가 줄어든 것을 볼 수 있고, 그림 3.102에 비해 그림 3.104에서 부하 상 전압의 고조파 크기가 줄어들었다. f 레그의 데드 타임까지 보상을 할 경우 오히려 f 레그만 보상하지 않았을 경우에 비해 조금 고조파 성분이 늘어났다. 이는 f 레그의 데드 타임 보상의 경우 평형 부하에서는 오히려 전류가 0 전류에 가까우므로 잘못된 전류 극성 인지로 인해 데드 타임 보상이 어렵기

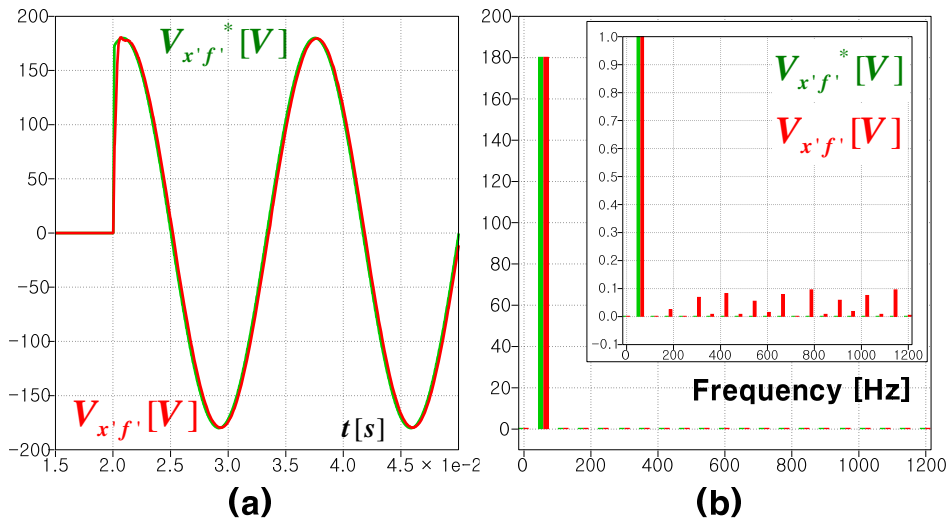


그림 3.103 단일 루프 (single-loop) 전압 제어기 모의 실험10 (a) 파형, (b) (a)의 FFT

Figure 3.103 Single-loop voltage controller simulation result10
(a) waveform, (b) FFT of (a)

때문이다.

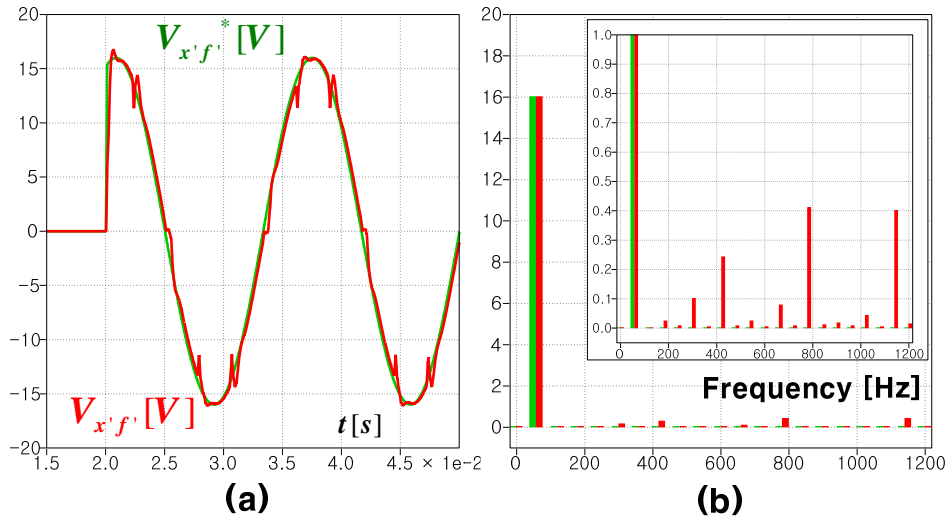


그림 3.104 단일 루프 (single-loop) 전압 제어기 모의 실험11 (a) 파형, (b) (a)의 FFT

Figure 3.104 Single-loop voltage controller simulation result11
(a) waveform, (b) FFT of (a)

지금까지의 결과를 토대로 3.1절에서 살펴본 3레벨 토폴로지에 적용 가능한 데드 타임 보상용 PWM 방법 외에도 다른 PWM 방법을 적용하더라도 제안된 단일 루프 전압 제어기를 통해서 데드 타임에 의한 전압 왜곡 영향을 크게 줄일 수 있는 가능성이 있다고 가정할 수 있다.

이를 확인하기 위해 전압 지령의 크기가 큰 경우에 PWM 방법을 SVPWM, SPWM, OMVPWM(SVPWM), PPPWM1, PPPWM2, PPPWM3로 바뀌가면서 모의 실험을 수행하였다. 이때, 데드 타임 보상은 a, b, c 레그에만 적용하였고, f 레그에는 적용하지 않았다.

이때의 결과는 그림 3.105와 같다. 그림 3.105의 파형을 봤을 때, 육안으로는 그 차이를 확인하기 힘들다. 따라서 그림 3.105의 파형을 FFT하였고, 그 결과는 그림 3.106에 나와있다. FFT 결과를 봤을 때, PPPWM2방법을 제외한 다른 방법들의 결과는 큰 차이는 없다. SVPWM 방법을 적용했을 때는 9차 고조파 성분이 크긴 하지만, 다른 주파수 영역에서 고조파 성분의 크기가 대체로 작은 편이다. PPPWM2를 제외한 다른 PPPWM방법들 중에서도 고조파 성분의 크기가 작은 편이다.

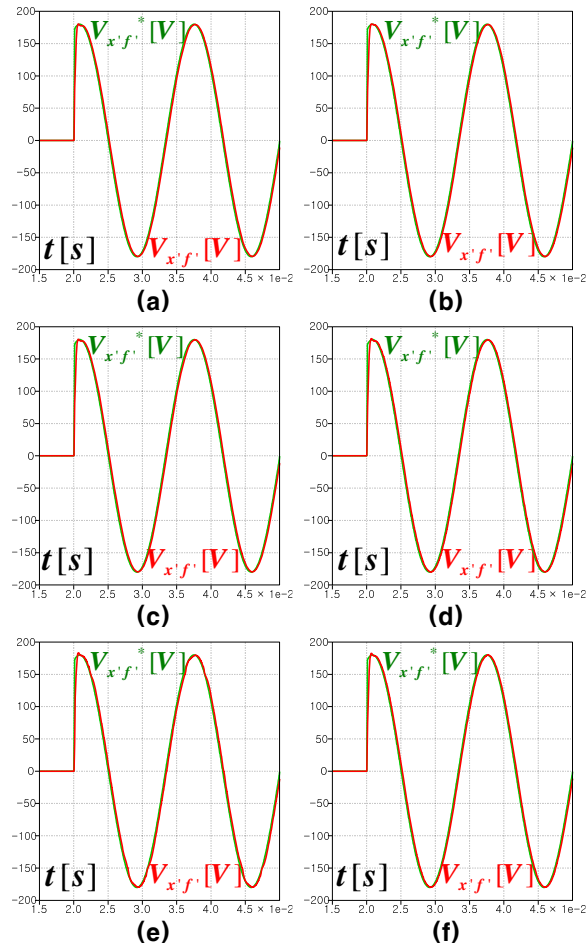


그림 3.105 PWM 방법 별 단일 루프 (single-loop) 전압 제어기
모의 실험 - High Mi

(a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

Figure 3.105 Single-loop voltage controller simulation result
according to PWM method - High Mi

(a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

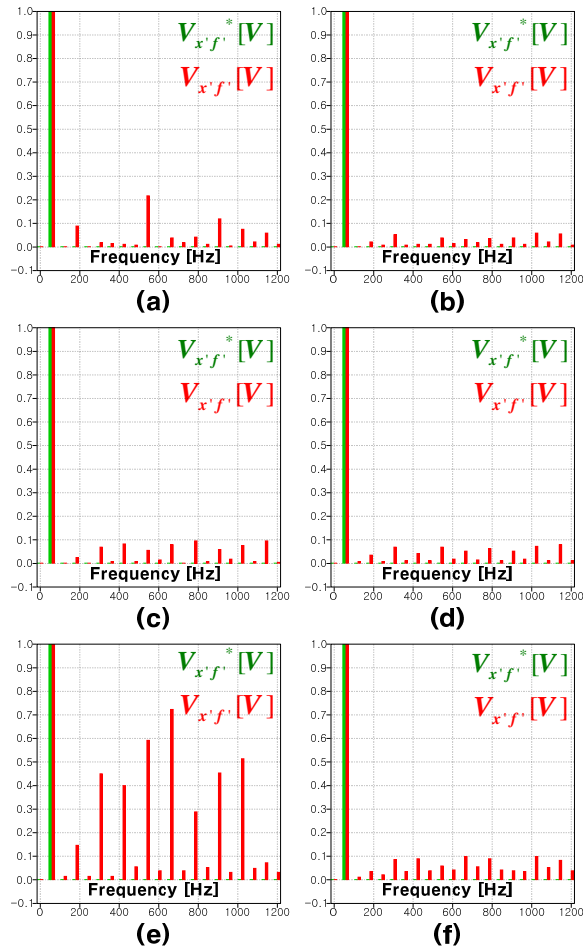


그림 3.106 그림 3.105의 파형 FFT 결과- High Mi

(a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

Figure 3.106 FFT of waveforms in Figure 3.105- High Mi

(a) SVPWM, (b) SPWM, (c) OMVPWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

전압 지령의 크기가 작은 경우에도 PWM 방법을 SVPWM, SPWM, AOV PWM(SVPWM), PPPWM1, PPPWM2, PPPWM3로 바뀌가면서 모의 실험을 수행하였고, 그 결과는 그림 3.107에 나와있다. 이때, 데드타임 보상은 a, b, c 레그에만 적용하였고, f 레그에는 적용하지 않았다. 그림 3.107의 파형을 봤을 때, SVPWM, SPWM 방법을 적용 했을 때, 파형의 고조파가 가장 적어 보인다. 정확한 분석을 위해 그림 3.107의 파형을 FFT하였고, 그 결과는 그림 3.108에 나와있다. 육안으로 봤을 때 예상한 것과 마찬가지로 PPPWM2 방법을 적용했을 때가 고조파가 가장 크게 보인다. SPWM을 적용했을 때가 고조파 성분의 크기가 가장 작으나, PPPWM1 방법에서도 고조파 크기가 작은 편이다.

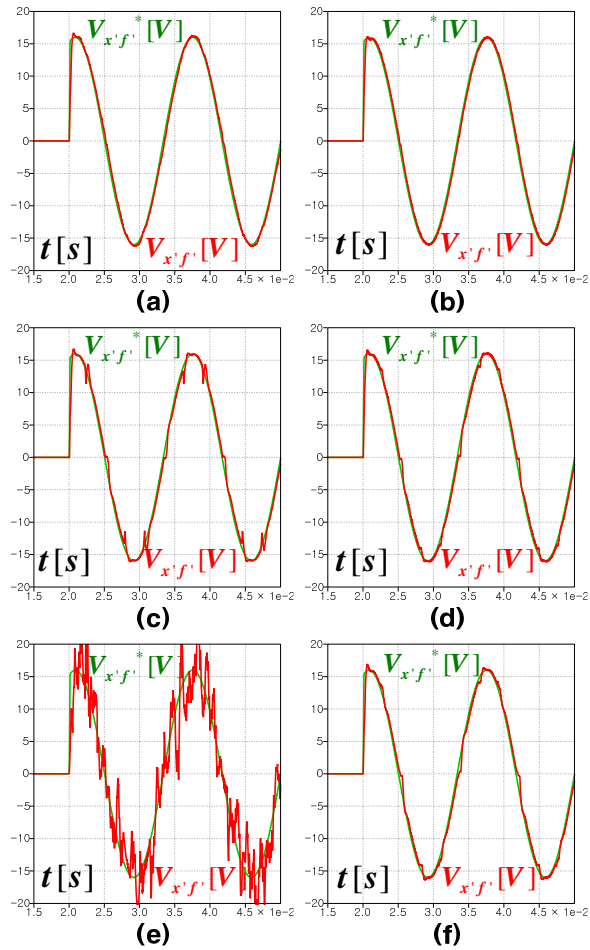


그림 3.107 PWM 방법 별 단일 루프 (single-loop) 전압 제어기
모의 실험 – Low Mi

(a) SVPWM, (b) SPWM, (c) AOV PWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

Figure 3.107 Single-loop voltage controller simulation result
according to PWM method – Low Mi

(a) SVPWM, (b) SPWM, (c) AOV PWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

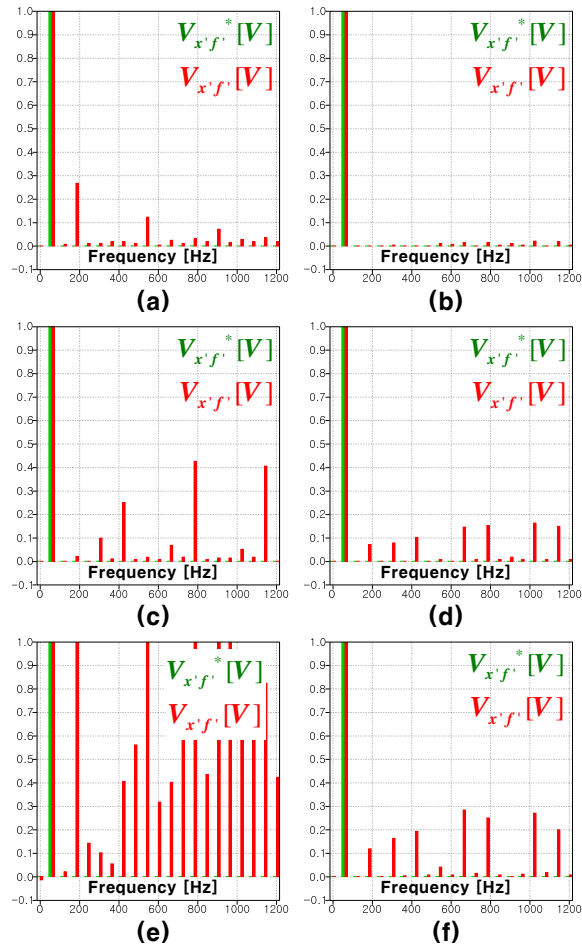


그림 3.108 그림 3.107의 파형 FFT 결과- Low Mi

(a) SVPWM, (b) SPWM, (c) AOV PWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

Figure 3.108 FFT of waveforms in Figure 3.107- Low Mi

(a) SVPWM, (b) SPWM, (c) AOV PWM+SVPWM, (d) PPPWM1,
(e) PPPWM2, (f) PPPWM3

3.2.4 교류 전원 장치

3.2.4.1 제안된 전압 제어기와 교류 전원 장치

제안된 전압 제어기를 적용할 회로 구조는 그림 3.84와 같다. 여기서 사용된 전력용 반도체 소자는 IGBT이고, 이때 스위칭 주파수는 20 kHz이다. 제어 시 시간 지연 (Time delay)을 줄이기 위해서 더블 샘플링 (Double sampling)을 하였으므로, 샘플링 주파수는 40 kHz가 된다. 그리고 외부에 필터로 사용된 LC필터의 값은 아래와 같다.

$$L_c = 1.2mH . \quad (3.137)$$

$$C_f = 9\mu F . \quad (3.138)$$

식 (3.116)에서의 컨버터 출력 전압과 부하 전압의 전달 함수는 (3.139)와 같다.

$$TF_{-VR} = \frac{V_{x'f'}}{V_{xf}} = \frac{1}{C_f L_c s^2 + C_f R_c s + 1} . \quad (3.139)$$

이때의 보드 선도는 그림 3.109와 같다.

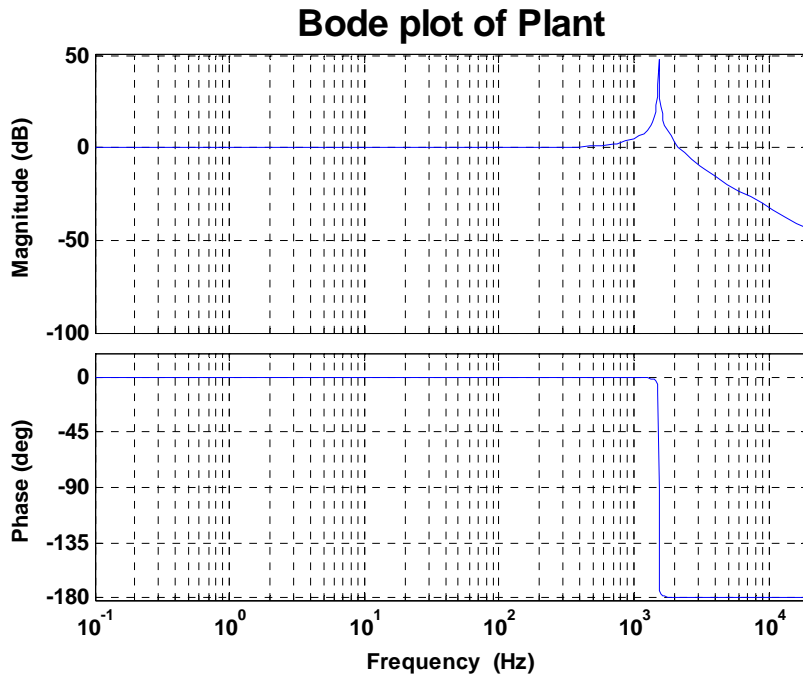


그림 3.109 LC필터의 보드 선도

Figure 3.109 Bode plot of LC filter

보드 선도에서 볼 수 있듯이 LC필터에 의해서 주파수 1.53 kHz 부근에서 공진 (Resonance)이 발생하는 것을 볼 수 있다. 즉, 컨버터 출력 전압에 공진 주파수에 해당하는 성분이 포함되어 있을 경우, 부하 전압에 큰 전압이 걸리게 된다. 지령 전압의 주파수는 일반적으로 공진 주파수보다 작게 설정하지만, 다음의 두 가지 이유로 컨버터 출력 전압에 공진 주파수가 포함되게 된다. 하나는 지령 전압이 급격하게 변하는 경우이다. 단상 시스템인 경우에 지령 전압을 0V부터 천천히 변하게 할 수 있지만, 3상 시스템의 경우에는 하나의 전압이 0V부터 천천히 변하더라

도 나머지 2개 전압에서 지령 전압이 급격하게 변하게 된다. 이와 같이 계단 (step) 형태로 지령 전압이 변하게 되면 지령에 공진 주파수 성분이 포함되게 된다. 다른 하나는 지령 전압이 급격하게 변하지 않더라도 PWM 컨버터의 특성상 컨버터 출력 전압은 펄스 형태로 나가게 된다. 따라서 출력 전압은 공진 성분을 포함할 수 있다.

따라서 전압 제어를 원활히 하기 위해서는 공진 성분을 억제할 수 있어야 한다. 공진 성분을 억제하기 위한 방법은 방법 중 하나는 제어기 출력 단계 비율 제한기 (rate limiter)를 사용하는 것이다. 비율 제한기의 블록도는 그림 3.110과 같다. 비율 제한기는 입력이 들어오면 먼저 (3.140)과 같이 현재 입력과 과거 출력을 이용하여 비율을 계산한다.

$$SR = \frac{u[k] - y[k-1]}{T_{smp}}. \quad (3.140)$$

미리 비율 제한기의 상/하한 값 (SR_H, SR_L)이 설정되어 있다면, 현재의

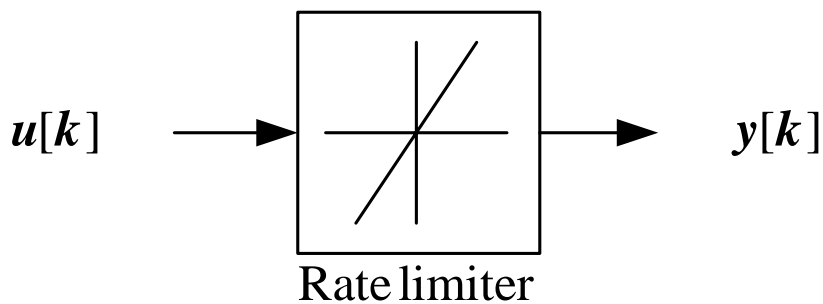


그림 3.110 비율 제한기 블록도

Figure 3.110 Block diagram of rate limiter

비율을 설정 값들과 비교한다. 현재의 비율 값에 따라 (3.141)과 같이 출력 값이 결정된다.

$$y[k] = \begin{cases} u[k] & , SR_L \leq SR \leq SR_H \\ y[k-1] + T_{samp} SR_H & , SR \geq SR_H \\ y[k-1] + T_{samp} SR_L & , SR \leq SR_L \end{cases} . \quad (3.141)$$

다른 방법은 노치 필터 (notch filter)를 사용하는 것이다. 제어기의 출력 단에 노치 필터를 추가하여 미리 정한 주파수 성분을 지령 전압에서 빼는 것이다. 노치 필터의 전달 함수는 (3.142)와 같다.

$$y = \frac{s^2 + \omega_o^2}{s^2 + 2\zeta\omega_o s + \omega_o^2} u . \quad (3.142)$$

그림 3.111은 제거하고자 하는 주파수를 LC의 공진 주파수로 설정했을 때의 보드 선도이다. 보드 선도에서 볼 수 있듯이 알고 있는 필터의 공진 주파수를 노치 필터에 차단 주파수로 설정하면 공진 주파수 성분을 제거해줄 수 있다.

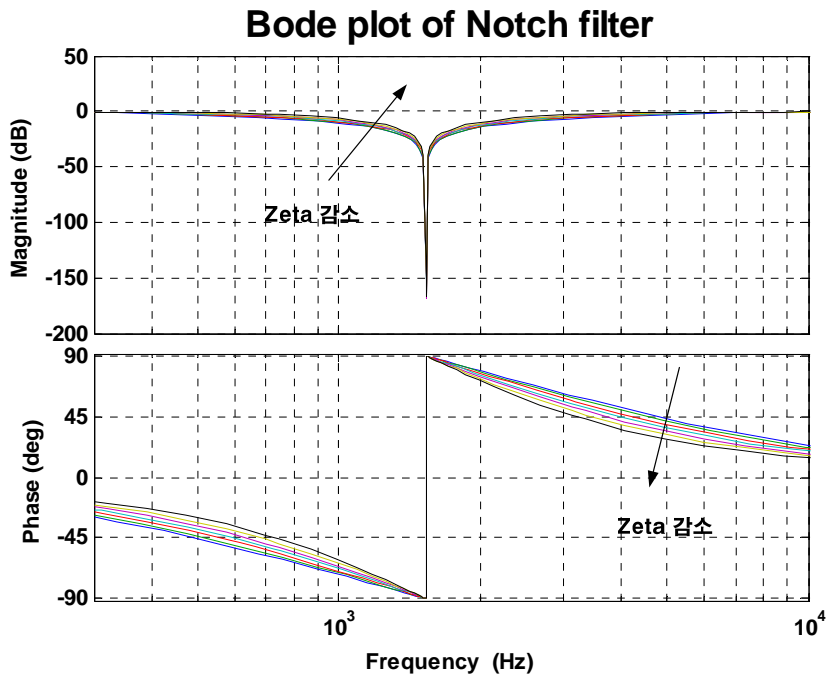


그림 3.111 노치 필터의 보드 선도

Figure 3.111 Bode plot of notch filter

위에서 언급한 비율 제한기와 노치 필터는 공진 주파수가 고정일 때는 효과적인 방법이 될 수 있다. 하지만, 부하의 임피던스에 의해 공진 주파수가 변경될 경우에는 잘못된 주파수 성분을 억제하게 된다. 따라서 다른 공진 억제 방법이 필요하다.

다음으로 언급할 방법은 수동 공진 억제 (Passive damping) 방법이다. 이는 회로적으로 LC필터에 저항을 추가하여 공진 성분을 억제하는 것이다. 그림 3.112에 보이는 것은 그림 3.85 (b)의 회로에 저항을 추

가한 것과 같다. 그림 3.112 (a) 는 인덕터에 직렬로 저항을 연결한 것이고, 그림 3.112 (b) 는 인덕터에 병렬로 저항을 연결한 것이고, 그림 3.112 (c) 는 캐패시터에 직렬로 저항을 연결한 것이고, 그림 3.112 (d) 는 캐패시터에 병렬로 저항을 연결한 것이다. 각각의 경우에 컨버터 출력 전압과 부하 전압의 전달 함수는 (3.143), (3.144), (3.145), (3.146)과 같다.

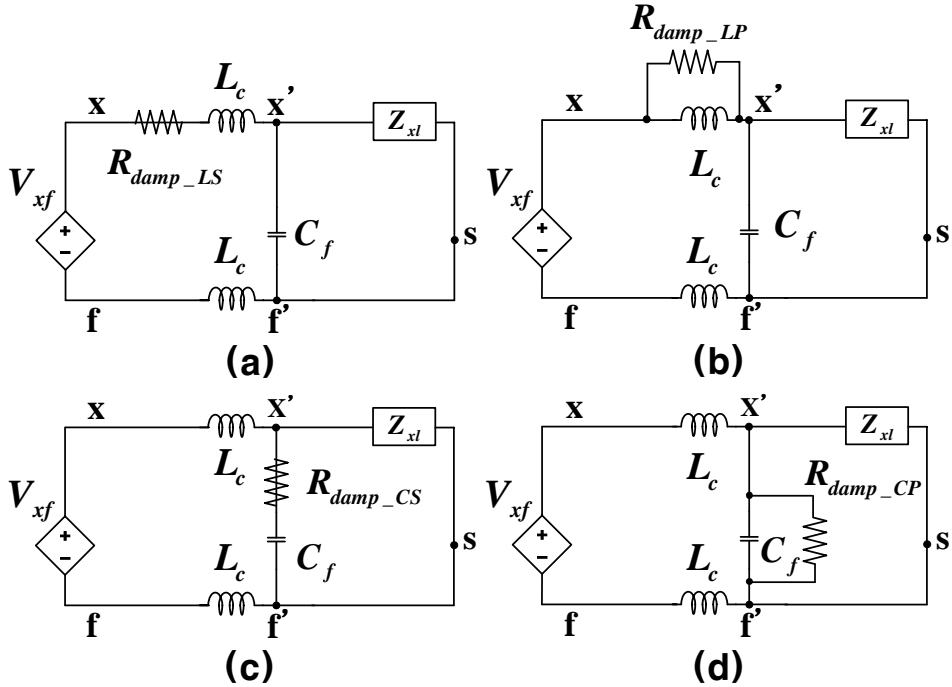


그림 3.112 수동 댐핑 방법 (a) 인덕터 직렬 저항, (b) 인덕터 병렬 저항, (c) 캐패시터 직렬 저항, (d) 캐패시터 병렬 저항

Figure 3.112 Passive damping method (a) series resistor with inductor, (b) parallel resistor with inductor, (c) series resistor with capacitor, (d) parallel resistor with capacitor

$$\frac{V_{x'f'}}{V_{xf}} = \frac{1}{C_f L_c s^2 + (C_f R_c + C_f R_{damp_LS})s + 1}. \quad (3.143)$$

$$\frac{V_{x'f'}}{V_{xf}} = \frac{\frac{L_c}{R_{damp_LP}} s + (1 + \frac{R_c}{R_{damp_LP}})}{C_f L_c s^2 + (C_f R_c + \frac{L_c}{R_{damp_LP}})s + (1 + \frac{R_c}{R_{damp_LP}})}. \quad (3.144)$$

$$\frac{V_{x'f'}}{V_{xf}} = \frac{C_f R_{damp_CS} s + 1}{C_f L_c s^2 + (C_f R_c + C_f R_{damp_CS})s + 1}. \quad (3.145)$$

$$\frac{V_{x'f'}}{V_{xf}} = \frac{1}{C_f L_c s^2 + (C_f R_c + \frac{L_c}{R_{damp_CP}})s + (1 + \frac{R_c}{R_{damp_CP}})}. \quad (3.146)$$

각각의 경우에 저항 값을 제대로 설정하면 공진 주파수에서의 전달 함수의 크기를 줄일 수 있다. 예를 들어 전달 함수의 크기를 -10 dB로 만들어주기 위한 R_{damp_LS} 는 38.53 Ω , R_{damp_CP} 는 3.85 Ω 이 된다. 그러나 R_{damp_LP} , R_{damp_CS} 는 전달 함수의 크기를 -10 dB가 되도록 하는 값이 존재하지 않는다. 이와 같은 수동 공진 억제 방법은 공진을 억제하는 기능 면에서는 효과적이나, 추가적인 수동 소자가 필요하다는 단점이 있고, 저항에 의해 추가적인 에너지 손실이 발생한다는 큰 문제가 있다.

수동 공진 억제 방법과 같은 기능을 하지만, 추가적인 소자 없이 제어적으로 공진을 억제할 수 있는 방법이 있는데 이를 능동 공진 억제 (Active damping) 방법이라 한다[78-81]. 능동 공진 억제 방법은 그림 3.112에서 보이는 4가지 수동 공진 억제 방법과 등가적인 기능을 하도록 구현이 가능하다[82]. 4가지 방법 중에 공진 주파수에서 음의

크기를 가질 수 있는 인덕터 직렬 저항 추가 방법과 캐패시터 병렬 저항 추가 방법의 능동 공진 억제에 대해 살펴보도록 한다.

그림 3.112 (a)를 블록도로 표현하면 그림 3.113 (a)와 같다. 이것은 다시 그림 3.113 (b)와 같게 되는데, 컨버터 측 전류 (i_{convx})를 측정 한 후 아래와 같은 계산을 통해서 제어기 출력에서 빼주게 되면 인덕터에 직렬 저항을 추가한 방법과 등가적인 능동 공진 억제 방법이 된다.

$$V_{damp} = R_{damp_LS} i_{convx} \quad (3.147)$$

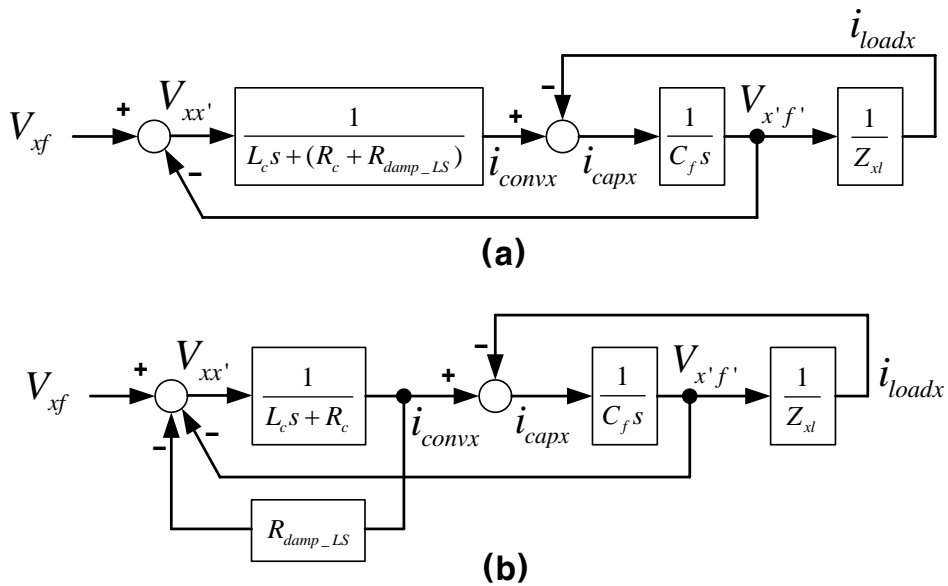


그림 3.113 인덕터에 직렬 저항 추가 시 한 상 등가 블록도

Figure 3.113 Block diagram of one phase (x phase) equivalent circuit in case of series resistor with inductor

그림 3.112 (d)를 블록도로 표현하면 그림 3.114 (a)와 같다. 이것은 다시 그림 3.114 (b)와 같은데, 캐패시터의 전압 ($V_{x'f'}$)을 측정한 후 아래와 같은 계산을 통해서 제어기 출력에서 빼주게 되면 캐패시터에 병렬 저항을 추가한 방법과 등가적인 능동 공진 억제 방법이 된다.

$$V_{damp} = (L_c s + R_c) \frac{V_{x'f'}}{R_{damp_CP}}. \quad (3.148)$$

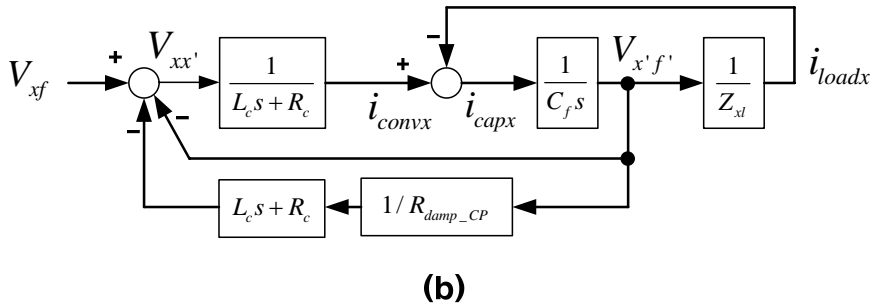
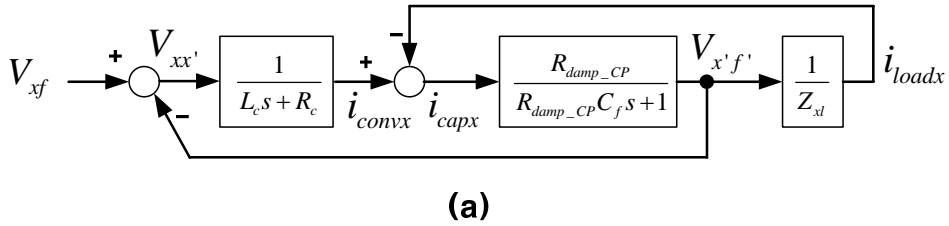


그림 3.114 캐패시터에 병렬 저항 추가 시 한 상 등가 블록도

Figure 3.114 Block diagram of one phase (x phase) equivalent circuit in case of parallel resistor with capacitor

앞서 언급한 두 가지 능동 공진 억제 방법의 댐핑 전압인 (3.147), (3.148)을 비교 해보면, (3.148)에서 s 항이 있는 것을 확인할 수 있다. 이는 제어기에서 미분기에 해당하는 값이고, 되도록 측정값에 미분기의 사용은 줄이는 것이 좋으므로, 캐패시터에 병렬 저항을 추가하는 것과 등가의 능동 공진 제어 방법 보다는 인덕터에 직렬 저항을 추가하는 방법과 등가의 능동 공진 제어 방법 (Series resistor with L equivalent Active Damping, SLAD)을 사용하는 것이 구현상 바람직하다고 할 수 있다.

SLAD에 적용할 댐핑 저항 값을 설정하는 방법은 컨버터 전압 지령을 계단 (Step) 형태로 인가하고 그때의 부하 상 전압의 파형을 보고 설정할 수 있다. 하지만, 댐핑 저항 값에 따라 제어 시스템이 불안정 할 수 있으므로 시스템의 안정도 해석이 필요하다. 구현 시 제어기는 디지털 (Digital)로 구성되어 있고, 제어 플랜트인 LC필터는 아날로그 (Analog)이므로, 시스템의 안정도 해석을 위해서는 디지털이나 아날로그로의 통일이 필요하다.

여기서는 (3.116)을 다시 쓴 (3.149)와 같은 LC필터를 이산화 (discretization)해준다.

$$V_{x'f'} = G_v(s)V_{xf} + G_i(s)i_{loadx}. \quad (3.149)$$

여기서 G_v , $G_i(s)$ 는 각각 (3.150), (3.151)과 같다.

$$G_v(s) = \frac{1}{C_f L_c s^2 + C_f R_c s + 1}. \quad (3.150)$$

$$G_i(s) = -\frac{L_c s + R_c}{C_f L_c s^2 + C_f R_c s + 1}. \quad (3.151)$$

이산화 방법은 여러 가지가 있으나 ZOH (Zero-Order-Hold)를 이용한 이산화 방법이 가장 아날로그 값과 비슷하게 되므로 이를 이용한다 [80]. 먼저 $\mathbf{G}_v(s)$ 를 (3.152)와 같이 이산화 해줄 수 있다.

$$\mathbf{GH}_v[z] = (1 - z^{-1})\mathbf{Z} \left\{ \frac{\mathbf{G}_v(s)}{s} \right\}. \quad (3.152)$$

식 (3.152)에 (3.150)을 대입하여 정리하면 (3.153)과 같이 정리된다.

$$\mathbf{GH}_v[z] = \frac{1}{z^2 - 2e^{-\frac{R_c}{2L_c}T_{smp}} \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{smp} \right) z + e^{-2\frac{R_c}{2L_c}T_{smp}}} (\mathbf{A}_v z + \mathbf{B}_v) \quad (3.153)$$

여기서 \mathbf{A}_v , \mathbf{B}_v 는 아래와 같다.

$$\begin{aligned} \mathbf{A}_v = & -e^{-\frac{R_c}{2L_c}T_{smp}} \left\{ \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{smp} \right) \right. \\ & \left. + \frac{\frac{R_c}{2L_c}}{\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2}} \sin \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{smp} \right) \right\} + 1 \quad (3.154) \\ \mathbf{B}_v = & e^{-2\frac{R_c}{2L_c}T_{smp}} - e^{-\frac{R_c}{2L_c}T_{smp}} \left\{ \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{smp} \right) \right. \\ & \left. - \frac{\frac{R_c}{2L_c}}{\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2}} \sin \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{smp} \right) \right\}. \quad (3.155) \end{aligned}$$

다음으로 $\mathbf{G}_i(s)$ 를 (3.156)과 같이 이산화 할 수 있다.

$$\mathbf{GH}_i[z] = (1 - z^{-1})\mathbf{Z} \left\{ \frac{\mathbf{G}_i(s)}{s} \right\}. \quad (3.156)$$

식 (3.156)에 (3.151)을 대입하여 정리하면 (3.157)과 같이 정리된다.

$$\mathbf{GH}_i[z] = \frac{1}{z^2 - 2e^{-\frac{R_c}{2L_c}T_{samp}} \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{samp} \right) z + e^{-2\frac{R_c}{2L_c}T_{samp}}} (\mathbf{A}_i z + \mathbf{B}_i) \quad (3.157)$$

여기서 \mathbf{A}_i , \mathbf{B}_i 는 아래와 같다.

$$\begin{aligned} \mathbf{A}_i &= \mathbf{R}_c e^{-\frac{R_c}{2L_c}T_{samp}} \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{samp} \right) - \mathbf{R}_c \\ &\quad + \frac{\frac{C_f R_c^2 - L_c}{C_f L_c} - \frac{R_c^2}{2L_c}}{\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2}} e^{-\frac{R_c}{2L_c}T_{samp}} \sin \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{samp} \right). \end{aligned} \quad (3.158)$$

$$\begin{aligned} \mathbf{B}_i &= -\mathbf{R}_c e^{-2\frac{R_c}{2L_c}T_{samp}} + \mathbf{R}_c e^{-\frac{R_c}{2L_c}T_{samp}} \cos \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{samp} \right) \\ &\quad - \frac{\frac{C_f R_c^2 - L_c}{C_f L_c} - \frac{R_c^2}{2L_c}}{\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2}} e^{-\frac{R_c}{2L_c}T_{samp}} \sin \left(\sqrt{\frac{1}{C_f L_c} - \left(\frac{R_c}{2L_c} \right)^2} T_{samp} \right). \end{aligned} \quad (3.159)$$

식 (3.149)와 같은 아날로그 연산을 ZOH로 이산화시키면 (3.160)과 같다.

$$V_{x'f'}[n] = GH_v[z]V_{xf}[n] + GH_i[z]i_{loadx}[n]. \quad (3.160)$$

(3.160)을 블록도로 표현하면 그림 3.115와 같다.

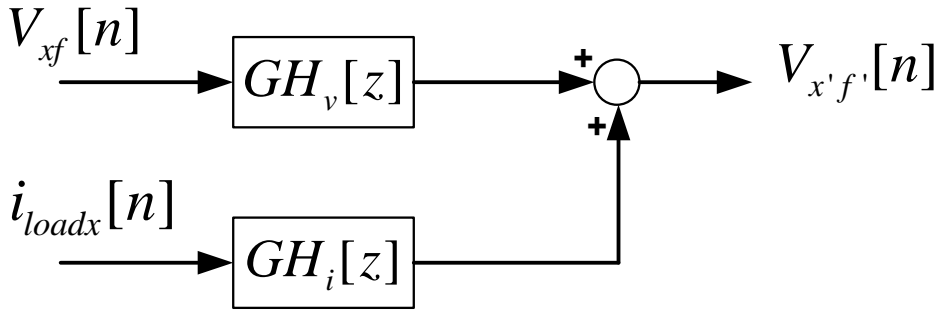


그림 3.115 ZOH로 이산화된 플랜트 블록도

Figure 3.115 Block diagram of plant discretized by ZOH

그림 3.115와 같은 이산화된 모델의 유효성을 평가하기 위해 모의 실험을 수행하였다. 모의 실험에서 극 전압 지령과 상 전압 지령이 같아지도록 SPWM을 적용하였고, 데드 타임의 영향을 배제하기 위해 이상적인 가변 전압원을 LC필터 플랜트에 적용하였다. 이때, 그림 3.115와 같은 모델에서의 출력 전압 값과 실제 캐패시터 전압 값을 비교하면 그림 3.116 (a)와 같다. 확대된 파형인 그림 3.116 (b)를 보면 실제 전압에서 공진이 심하게 보이고 있음에도 이산화된 모델에서의 캐패시터 전압이 실제 전압을 잘 따라가고 있음을 알 수 있다.

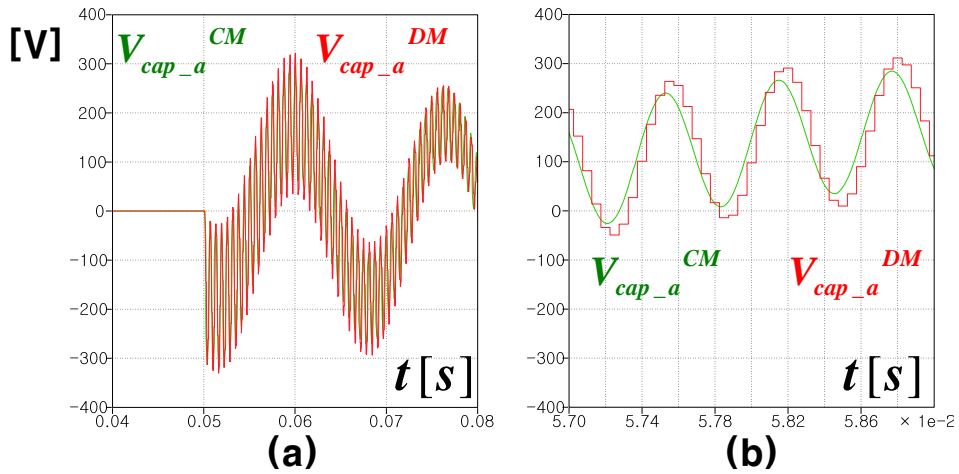


그림 3.116 모의 실험 - (a) 연속 시간 모델에서의 캐패시터 전압 ($V_{cap_a}^{CM}$)과 이산화된 모델에서의 캐패시터 전압 ($V_{cap_a}^{DM}$), (b) (a)의 확대 파형

Figure 3.116 Simulation result (a) Capacitor voltage ($V_{cap_a}^{CM}$) of continuous model and capacitor voltage ($V_{cap_a}^{DM}$) of the discretized model, (b) magnified waveform of (a)

능동 공진 억제 제어기가 포함된 이산화된 플랜트의 블록도는 그림 3.117과 같다.

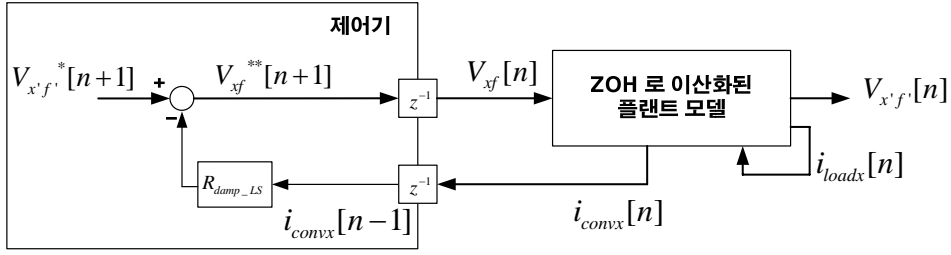


그림 3.117 제어기가 포함된 이산화된 플랜트 블록도

Figure 3.117 Block diagram of discretized plant model with controller

여기서 제어기의 지령은 아래와 같다.

$$V_{xf}^{**}[n+1] = V_{x'f}^*[n+1] - R_{damp_LS} i_{convx}[n-1]. \quad (3.161)$$

식 (3.161)에서 PWM에 의한 전압 왜곡이 없다고 가정하면 컨버터 출력 전압은 아래와 같다.

$$V_{xf}[n] = V_{x'f}^*[n] - R_{damp_LS} i_{convx}[n-2]. \quad (3.162)$$

식 (3.162)를 (3.160)에 대입하면 (3.163)과 같다.

$$V_{x'f}[n] = GH_{v_SLAD}[z] V_{x'f}^*[n] + GH_{i_SLAD}[z] i_{loadx}[n]. \quad (3.163)$$

여기서 $GH_{v_SLAD}[z]$, $GH_{i_SLAD}[z]$ 는 각각 (3.164), (3.165)와 같다.

$$GH_{v_SLAD}[z] = \frac{GH_v[z]}{1 + GH_v[z] R_{damp_LS} C_f \frac{z^{-1} - z^{-2}}{T_{smp}}}. \quad (3.164)$$

$$GH_{i_SLAD}[z] = \frac{(-GH_v[z] R_{damp_LS} z^{-2} + GH_i[z])}{1 + GH_v[z] R_{damp_LS} C_f \frac{z^{-1} - z^{-2}}{T_{smp}}}. \quad (3.165)$$

공진 주파수에서의 $\mathbf{GH}_{v_SLAD}[z]$ 의 크기가 -10 dB부터 0 dB까지 1씩 증가시켰을 때, \mathbf{R}_{damp_LS} 은 36Ω 부터 11Ω 까지 감소하게 된다. 댐핑 저항의 값에 따라 $\mathbf{GH}_{v_SLAD}[z]$ 의 극점-영점 (Pole-zero) 맵 (Map)을 그려보면 그림 3.118과 같다.

저항 값이 작을 때 극점 (pole)의 위치가 단위 원 (Unit circle)안에 존재하게 된다. 하지만 댐핑 성능을 높이기 위해서 저항 값을 키워주면 어떤 값 이후에서는 극점의 위치가 단위 원 밖으로 옮겨가게 되어 시스템이 불안해지게 된다. 따라서 제안된 제어기에서는 공진 주파수 억제도 하면서 시스템이 안정할 수 있도록 (3.135)와 같이 댐핑 저항 값을 22Ω 으로 설정하였다.

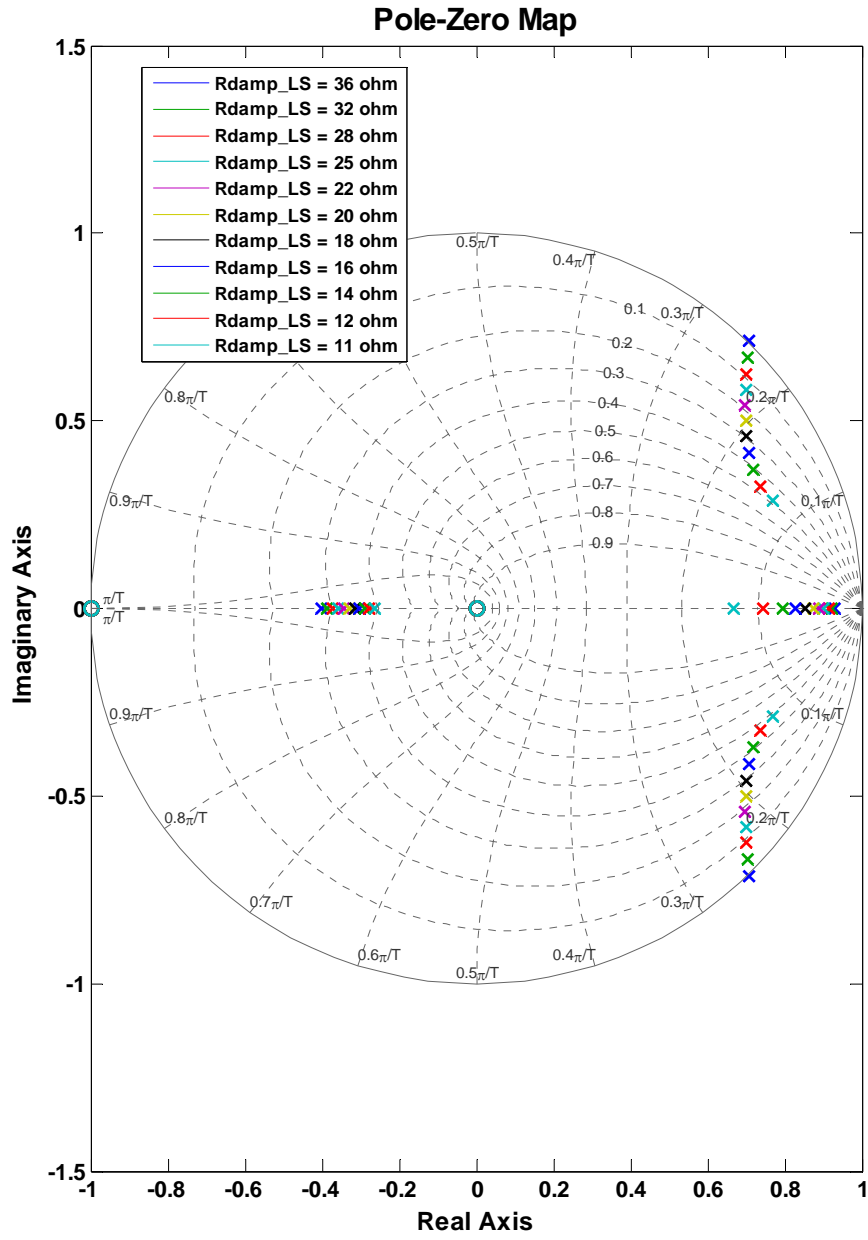


그림 3.118 댐핑 저항(R_{damp_LS})에 따른 Pole-zero 맵

Figure 3.118 Pole-zero map according to R_{damp_LS}

이와 같이 적절한 댐핑 저항 값을 잡아 능동적으로 공진을 억제 한다고 하더라도 제안된 전압 제어기의 제어 주파수 대역 폭(ω_{vc})을 무한히 늘리는 것은 LC필터의 공진 주파수로 인해서 불가능하게 된다. 즉, PWM 스위칭 주파수가 결정되면 LC필터의 공진 주파수의 한계가 결정 되고, LC필터의 공진 주파수가 결정되면 전압 제어기의 제어 주파수 대역 폭도 제한이 되게 된다.

그림 3.119는 그림 3.100에서와 같은 전달 함수 TF_VR의 보드 선

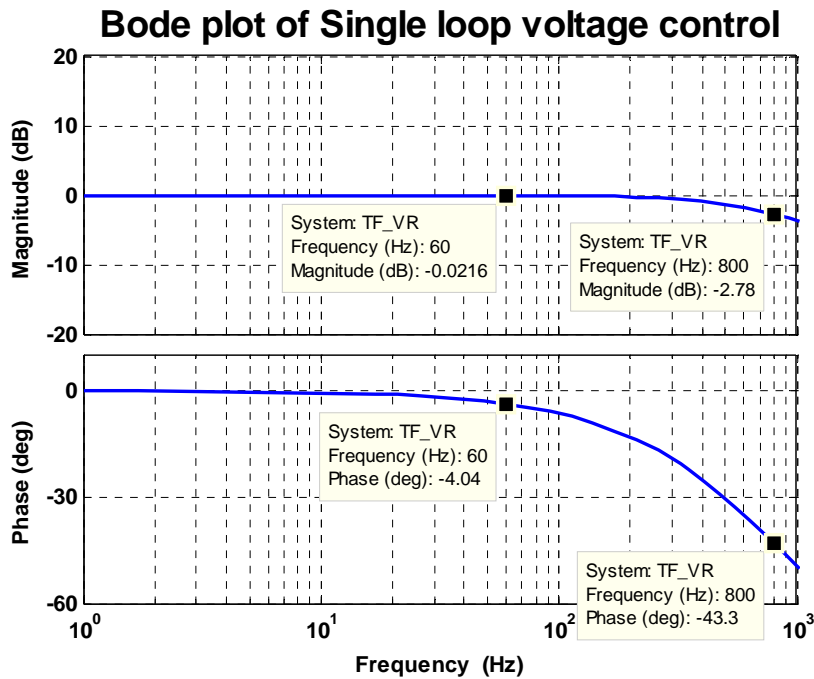


그림 3.119 그림 3.100 확대 파형

Figure 3.119 Magnified waveform of Figure 3.100

도이다. 이 보드 선도는 전압 제어기의 제어 주파수 대역폭이 850 Hz일 때이다. 지령 전압의 주파수가 60 Hz인 경우에 부하 전압의 크기는 0.25% 감소하게 되고, 위상은 4도 정도 지연이 발생한다. 그리고 상용 전압 합성기인 MX30의 경우와 마찬가지로 지령 전압의 주파수가 800 Hz에 이르게 되면 부하 전압의 크기는 27.39% 감소하게 되고, 위상은 43.3도 지연이 발생한다.

식 (3.123)을 보면, 부하 상 전압의 크기가 지령 전압 대비 오차가 1% 이내가 되게 하기 위한 제어 주파수 대역폭은 5.67 kHz가 되어야 한다. 이는 공진 주파수가 1.5 kHz 인 현 LC필터 구조로는 구현이 불가능 하다. 따라서 공진 주파수는 5.67 kHz 보다 큰 주파수로 설계되어야 하고, 스위칭 주파수 또한 공진 주파수보다 더 크게 설정되어야 한다. 따라서 공진 주파수는 8039 Hz가 되도록 LC필터의 값을 (3.166), (3.167)과 같이 설정하였다.

$$L_c = 87.1\mu H . \quad (3.166)$$

$$C_f = 4.5\mu F . \quad (3.167)$$

이때 공진 억제용 저항 값은 아래와 같이 설정되었다.

$$R_{damp_LS} = 5.49\Omega . \quad (3.168)$$

또한 이때의 스위칭 주파수는 60 kHz로 하였다. 이때의 전달 함수 TF_VR의 보드 선도는 그림 3.120과 같다.

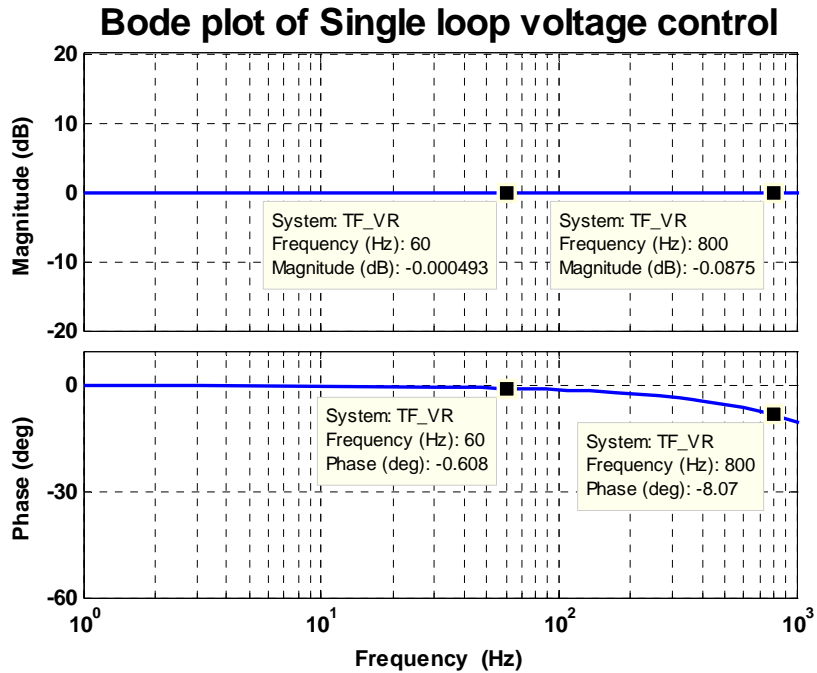


그림 3.120 단일 루프 (single-loop) 전압 제어기 보드 선도
 $(\omega_{vc} = 2\pi 5600[\text{rad} / \text{s}])$

Figure 3.120 Bode plot of single-loop voltage controller
 $(\omega_{vc} = 2\pi 5600[\text{rad} / \text{s}])$

이와 같은 스위칭 주파수와 LC필터 값을 이용하여 지령 전압이 180V, 800 Hz 일 때 모의 실험을 수행하였다. 그림 3.121이 모의 실험 결과로 800 Hz의 높은 주파수의 신호에도 불가하고 실제 부하 전압이 지령 전압을 잘 따라가고 있는 것을 볼 수 있다.

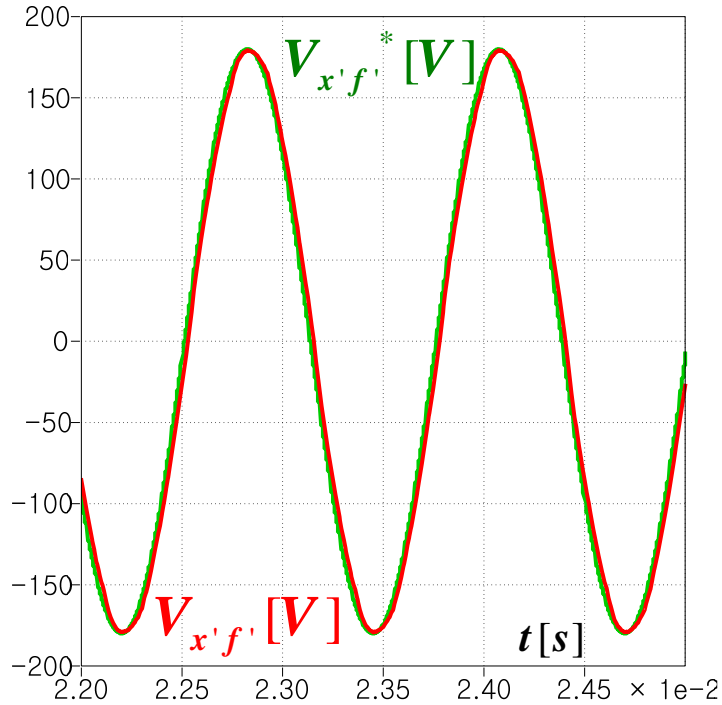


그림 3.121 단일 루프 (single-loop) 전압 제어기 모의 실험12

Figure 3.121 Single-loop voltage controller simulation result12

전력 전자 전용 시뮬레이션 언어인 PLECS 소프트웨어를 이용하면 실험을 하지 않고도 소자에서 발생하는 손실을 모의할 수 있다. 현재 구성되어 있는 5kW용량의 3레벨 4레그 컨버터 실험 세트의 전력용 반도체인 Vincotech 모듈의 손실 데이터는 그림 3.122, 그림 3.123과 같다.

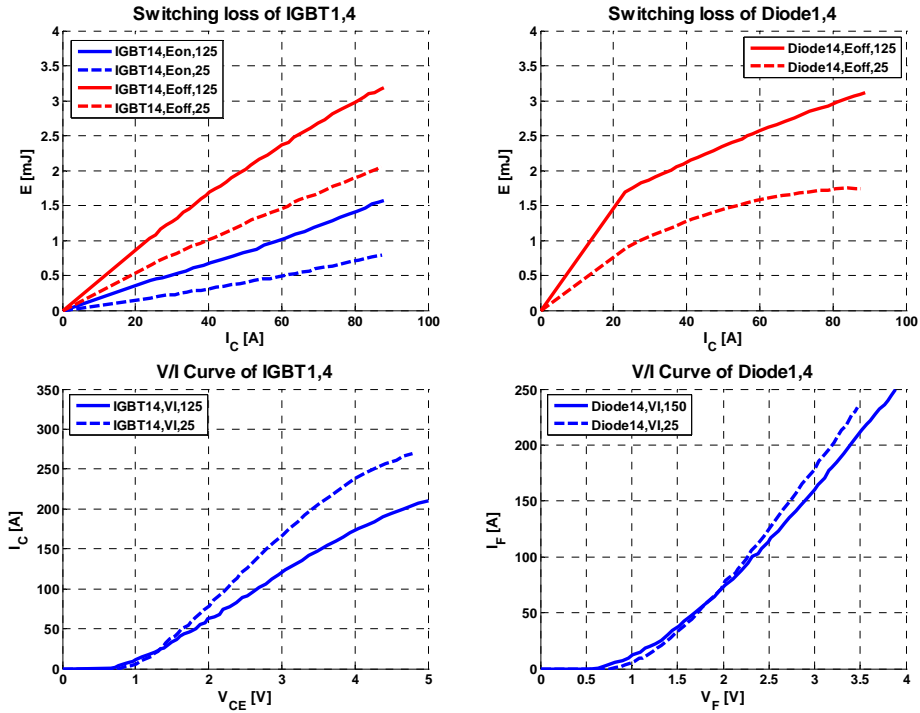


그림 3.122 Vincotech 10-FZ12NMA080SH01-M260F 상/하단 스위치 손실 데이터

Figure 3.122 Loss data of half bridge in Vincotech 10-FZ12NMA080SH01-M260F

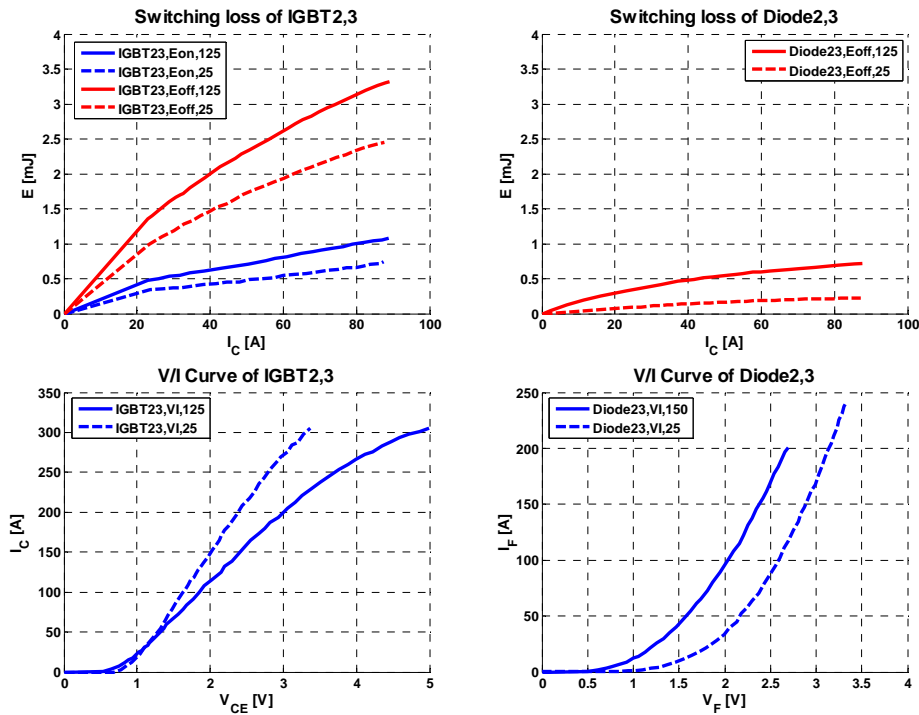


그림 3.123 Vincotech 10-FZ12NMA080SH01-M260F 중성단 스위치 손실 데이터

Figure 3.123 Loss data of neutral point in Vincotech 10-FZ12NMA080SH01-M260F

인가된 전압은 180V의 크기를 가지고, 주파수는 60 Hz의 신호가 부하에 걸리도록 설정하고 제어기는 단일 루프 전압 제어기를 사용하였다. 전력 용량의 비율에 따라 부하의 저항 값을 바꿔주었다. 먼저 Vincotech 모듈을 이용하여 표 3.8에서의 손실 모의 실험1, 손실 모의 실험2와 같은 조건으로 모의 실험을 수행하였다.

표 3.8 손실 모의 실험 조건

Table 3.8 Simulation conditions for loss of power switches

항목	손실 모의 조건 1	손실 모의 조건 2
L_c	1.2 mH	87.1 uH
C_f	9 uF	4.5 uF
F_{sw}	20 kHz	60 kHz
ω_{vc}	850 Hz	5.57 kHz
V_{dc}	400V	
PWM	SVPWM	
데드 타임 보상	a, b, c 상	

Vincotech 모듈을 이용한 손실 모의 실험 결과는 그림 3.124와 같다. 100% 부하 조건에서의 스위칭 주파수가 20 kHz 일 때는 76 W 이나, 60 kHz로 높였을 때는 126 W로 66% 증가하게 된다.

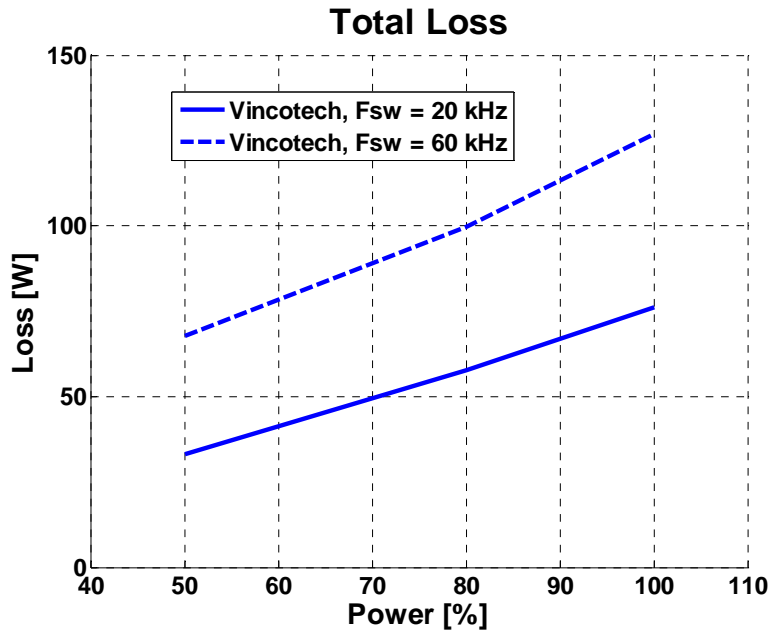
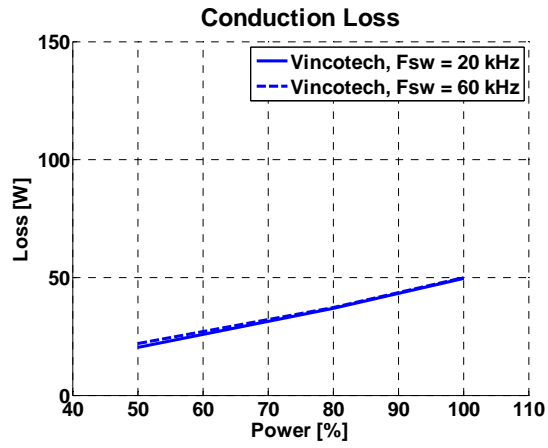


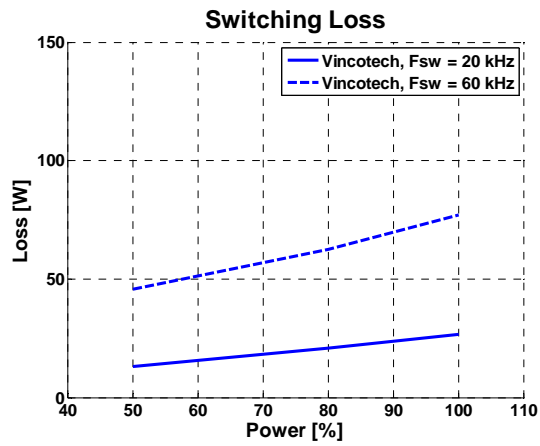
그림 3.124 Vincotech 모듈의 전체 소자 손실

Figure 3.124 Total loss of Vincotech

전체 손실 결과를 도통 손실과 스위칭 손실로 나눠보면 그림 3.125와 같다. 예상했던 바와 같이 도통 손실은 스위칭 주파수를 높여도 차이가 없다. 하지만 스위칭 손실은 스위칭 주파수를 3배 높임으로써 188% ~ 254% 증가한 것을 알 수 있다. 따라서 Silicon에 기반한 IGBT나 Diode를 이용하여 실제 실험을 할 경우에는 손실 문제로 스위칭 주파수를 높일 수가 없다는 것을 알 수 있다.



(a)



(b)

그림 3.125 Vincotech 모듈의 소자 손실 (a) 도통 손실, (b) 스위칭 손실

Figure 3.125 Loss of Vincotech (a) Conduction loss, (b) Switching loss

Silicon 소자가 스위칭 주파수를 높이지 못하는 한계가 있으므로, 새롭게 주목 받고 있는 Wide band gap 소자 중 하나인 SiC 기반의 소자를 이용할 수 있다[83]. 손실 모의 실험에 사용할 SiC 소자는 Rohm사에서 나온 BSM120D12PC005이다. Rohm사의 손실 데이터는 그림 3.126과 같다.

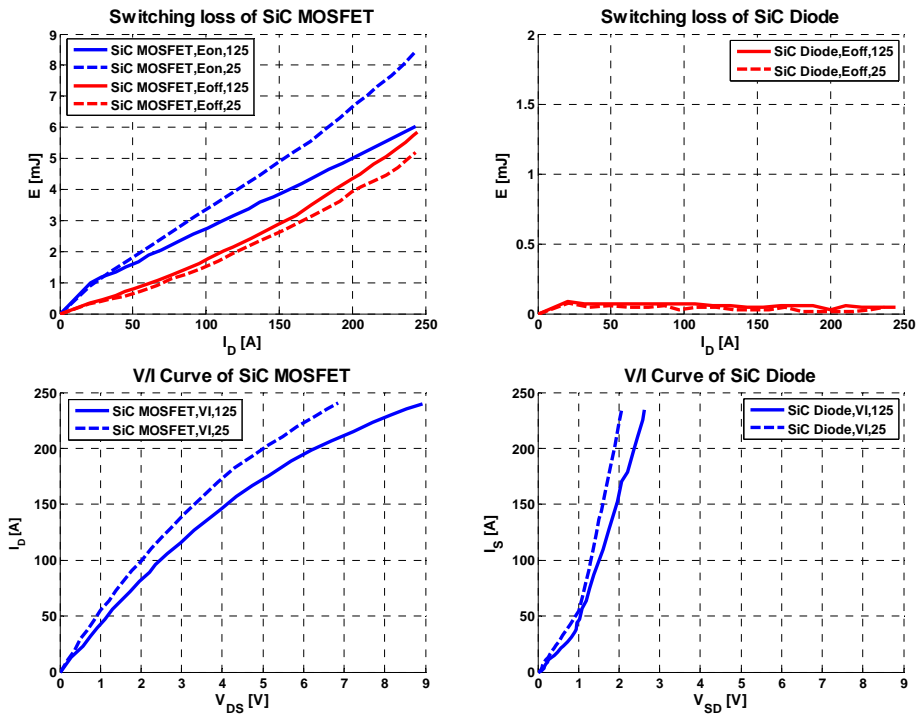
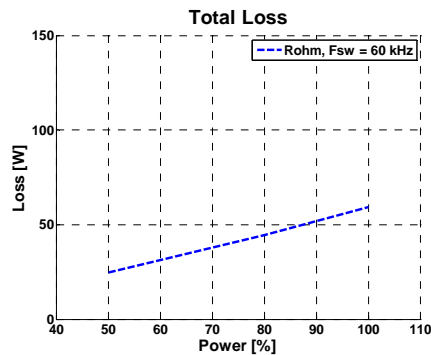


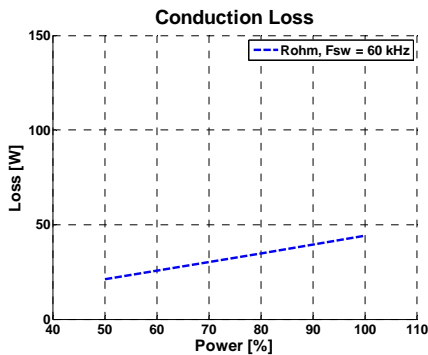
그림 3.126 Rohm BSM120D12P2C005 손실 데이터

Figure 3.126 Loss data of power device in Rohm BSM120D12P2C005

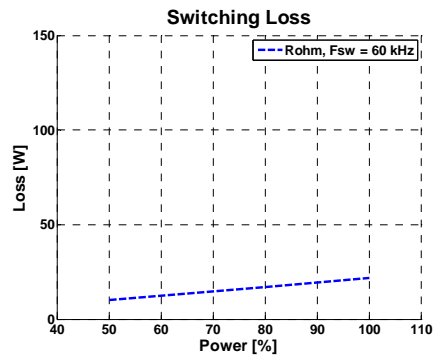
표 3.8의 손실 모의 조건2와 같은 조건에서 모의 실험을 수행하였다. 그 결과는 그림 3.127과 같은데 그림 3.124와 비교했을 때, 스위칭 주파수가 60 kHz 임에도 불구하고 Vincotech 소자를 20 kHz로 스위칭했을 때보다 손실이 적게 나오는 것을 확인할 수 있다.



(a)



(b)



(c)

그림 3.127 Rohm 모듈의 소자 손실 (a) 전체 손실, (b) 도통 손실, (c) 스위칭 손실

Figure 3.127 Loss of Rohm (a) Total loss, (b) Conduction loss, (c) Switching loss

전력 분석기 (Power Analyzer)를 이용하여 Vincotech 소자를 이용하여 20 kHz 스위칭 시 손실이 얼마나 되는지 측정해보았다. 여기서 입력 전력은 직류단 전압과 전류를 측정해서 계산하였고, 출력 전력은 LC필터 이전의 전력용 반도체 스위치의 출력 전압과 전류를 측정하여 계산하였다. 실제 실험을 통한 손실 결과는 부하가 100%, 80% 50% 일 때 측정하였고 결과는 그림 3.128과 같다. 모의 실험 결과인 그림 3.124와 비교했을 때, 100%, 80% 부하 조건에서는 2W 이내의 차이로 거의 유사한 결과가 나왔다. 하지만 50% 부하 조건에서는 모의 실험보다 실제 실험에서 손실이 14W 크게 나왔다.

Vincotech 소자의 상/하단 전력 소자의 스위칭 손실 데이터는 그림

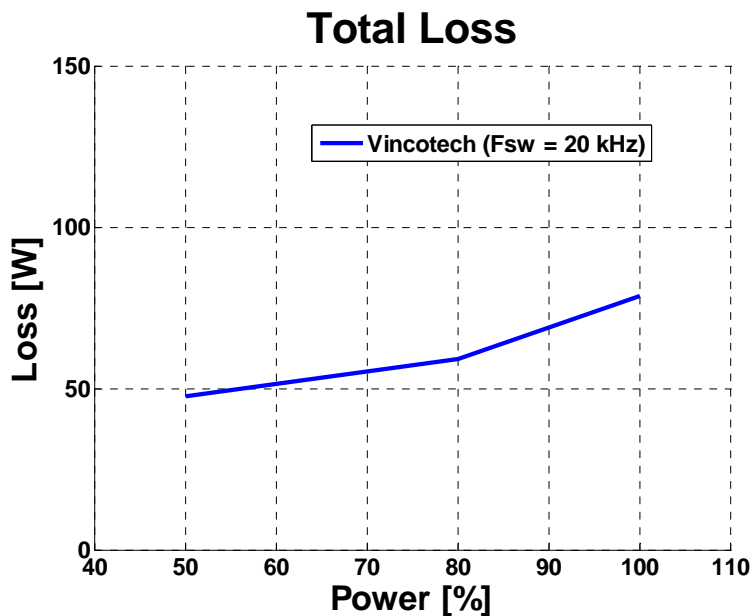


그림 3.128 Vincotech 모듈 손실

Figure 3.128 Total loss of Vincotech

3.122 (a), (b)와 같은데 부하 50% 이하 조건은 저 전류 구간으로 실제 데이터 시트에는 나와 있지 않아 선형화된 구간으로 전류가 작을수록 실제와 손실 오차가 커서 오차가 커진 것으로 보인다.

이와 같은 결과를 추정해 볼 때 60 kHz로 스위칭 되는 SiC 소자로 실험할 경우에도 손실 경향은 모의 실험 결과와 유사하리라 생각된다.

3.2.5 실험 결과

그림 3.84와 같은 모의 실험 회로와 같은 회로를 이용하여 실제 실험을 수행하였다. 여기서 직류단 전압 (V_{dc})은 430V, 스위칭 주파수 (f_{sw})는 20 kHz, 샘플링 주파수 (f_{samp})는 40 kHz이다. 이때 데드 타임 (T_{dead})은 $2\mu s$ 로 설정하였다. 사용된 부하는 인덕터와 저항이 각 상에 직렬로 연결되어 있고, 그 값은 각각 (3.169), (3.170)과 같다.

$$L_{al} = L_{bl} = L_{cl} = 50.731mH . \quad (3.169)$$

$$R_{al} = R_{bl} = R_{cl} = 40\Omega . \quad (3.170)$$

먼저 (3.171)과 같은 작은 전압 크기의 전압 조건에서 실험을 수행하였다. 모의 실험 결과를 기반으로 작은 크기의 전압 조건에서 실험한 각각의 PWM 방법과 각 상의 데드 타임 보상 여부는 표 3.9와 같다.

$$\begin{cases} V_{af}^* = 18\sin 2\pi 60t \\ V_{bf}^* = 18\sin(2\pi 60t - \frac{2}{3}\pi) . \\ V_{cf}^* = 18\sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.171)$$

표 3.9 작은 전압에서의 실험 조건 (단일 루프 전압 제어기)

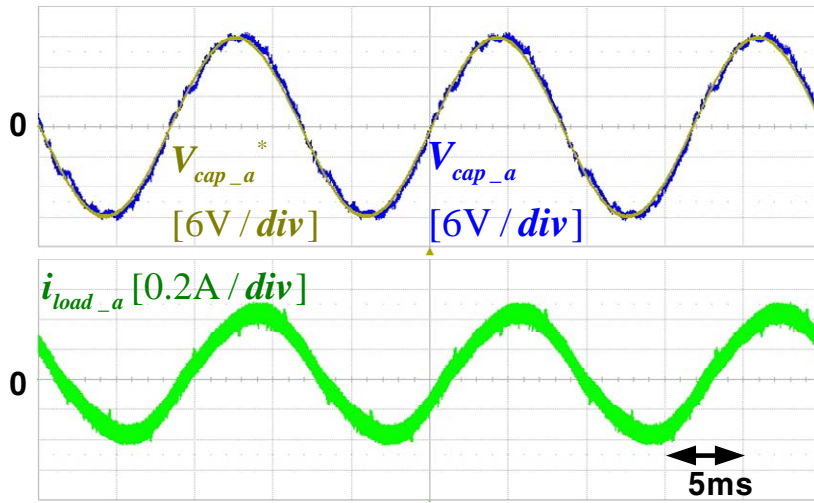
Table 3.9 Conditions for single-loop controller experiment in low voltage

모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
실험 1	SVPWM	보상 함	보상 안함
실험 2	SPWM	보상 함	보상 안함
실험 3	AOVPWM	보상 함	보상 안함
실험 4	PPPWM1	보상 함	보상 안함
실험 5	PPPWM2	보상 함	보상 안함
실험 6	PPPWM3	보상 함	보상 안함

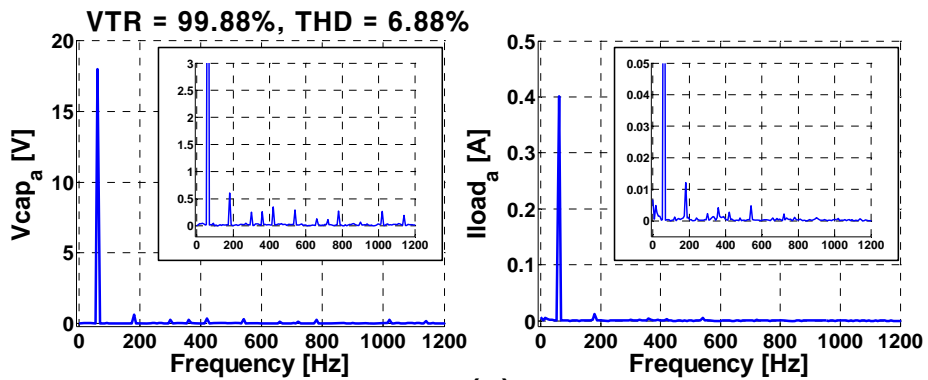
그림 3.129, 그림 3.130, 그림 3.131, 그림 3.132, 그림 3.133, 그림 3.134는 각각 SVPWM, SPWM, AOVPWM, PPPWM1, PPPWM2, PPPWM3을 적용하고 단일 루프 전압 제어기를 적용했을 때의 결과이다. 오픈 루프 전압 제어기를 이용하고 각각 SVPWM, SPWM, AOVPWM 방법을 적용한 결과인 그림 3.60, 그림 3.63, 그림 3.65를 그림 3.129, 그림 3.130, 그림 3.131과 비교해보면 기본파 성분의 크기가 지령 전압과 거의 같아진 것을 볼 수 있다. 그리고 데드 타임에 의한 고조파 성분의 전압의 크기가 많이 줄어든 것을 볼 수 있다. 이는 단일 루프 전압 제어기의 보드 선도인 그림 3.100에서 볼 수 있듯이 데드 타임에 의한 전압 왜곡 성분이 캐패시터 전압의 전달

함수가 0 dB 보다 작은 값을 가지기 때문이다. PPPWM 방법 중에서는 PPPWM1을 적용했을 때 캐패시터 전압의 왜곡이 가장 작은 것을 볼 수 있다.

오픈 루프 전압 제어기를 사용하면서 SVPWM, SPWM, AOVPWM을 적용하고, a, b, c 레그에만 데드 타임 보상을 했을 때에는 VTR은 각각 76.13%, 77.75%, 87.55%였다. 같은 조건에서 단일 루프 전압 제어기를 사용했을 때에는 VTR이 각각 99.88%, 99.76%, 100.39%로 증가한 것을 볼 수 있다. PPPWM 방법을 적용했을 때에는 PPPWM1의 방법에서의 VTR은 99.94%로 가장 지령에 가까운 것을 볼 수 있다.



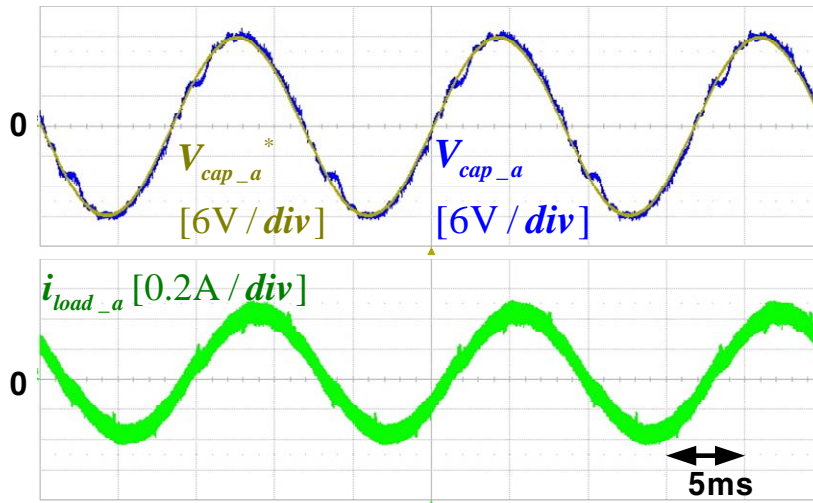
(a)



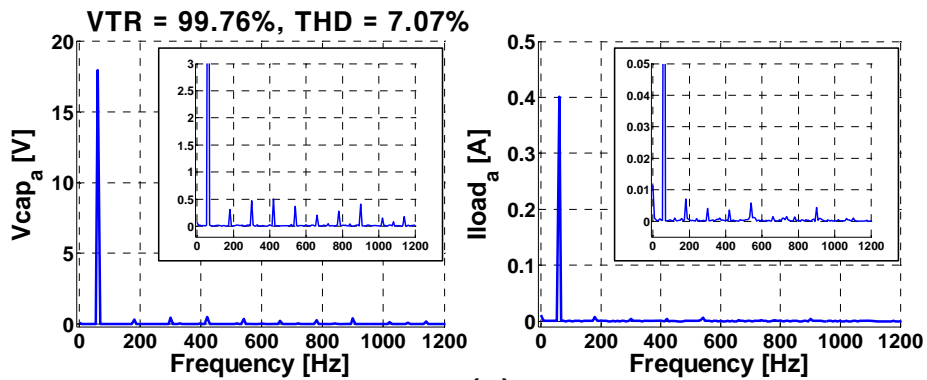
(b)

그림 3.129 실험 결과 - 실험 1

Figure 3.129 Experimental result - EXP. 1



(a)



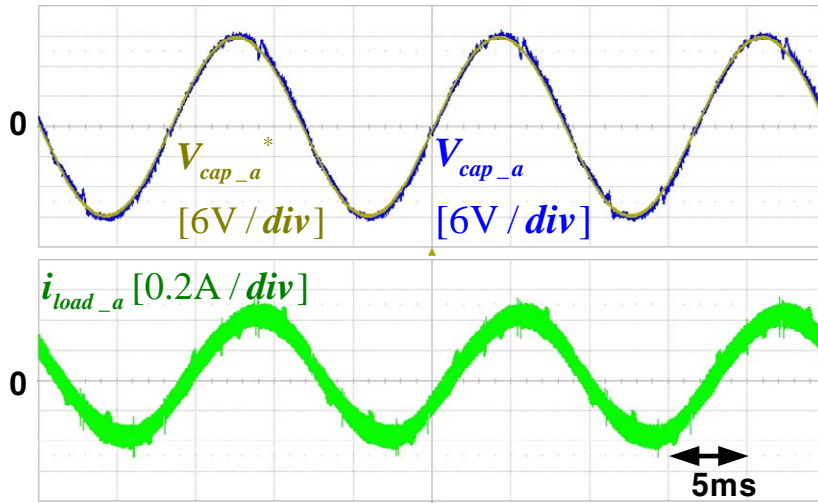
(b)

1차: 17.97V

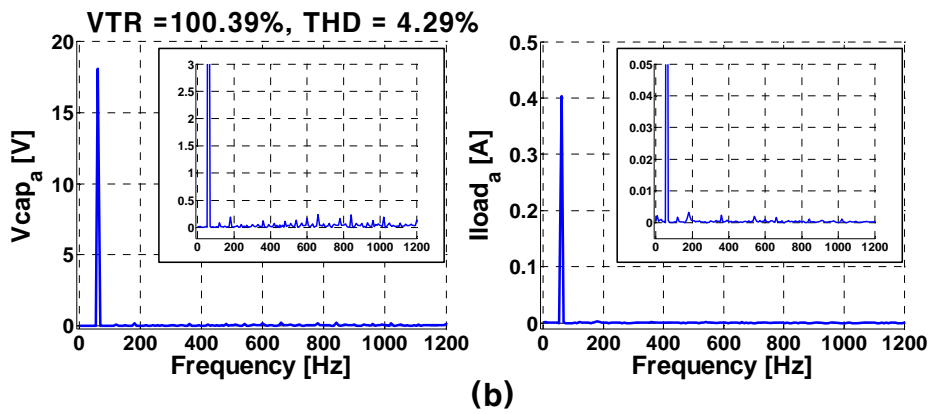
1차: 0.4006A

그림 3.130 실험 결과 - 실험 2

Figure 3.130 Experimental result - EXP. 2



(a)



(b)

그림 3.131 실험 결과 - 실험 3

Figure 3.131 Experimental result - EXP. 3

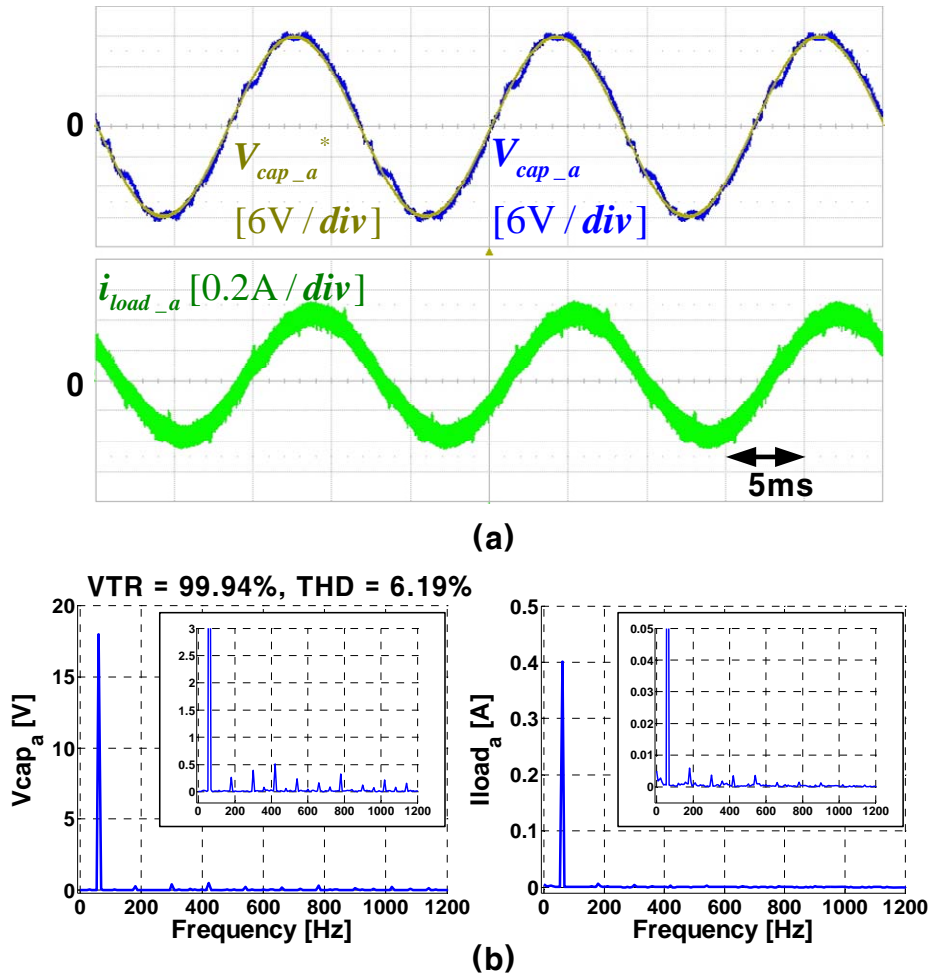


그림 3.132 실험 결과 - 실험 4

Figure 3.132 Experimental result - EXP. 4

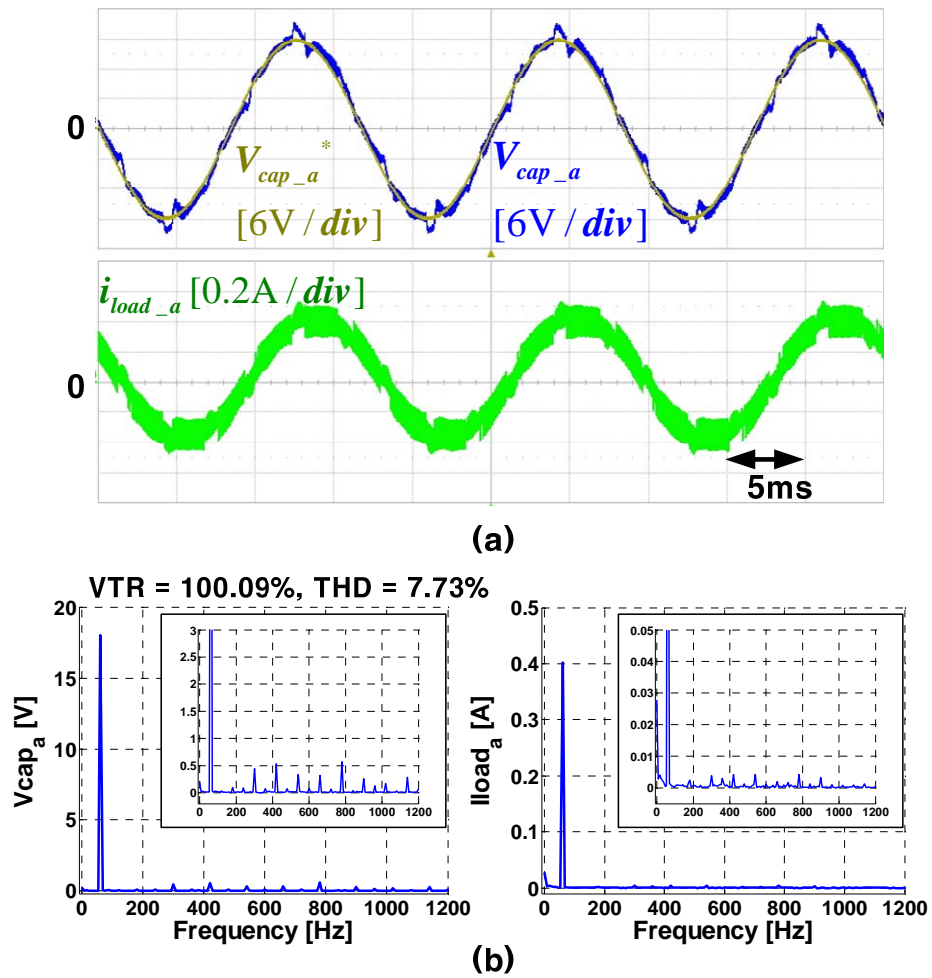


그림 3.133 실험 결과 - 실험 5

Figure 3.133 Experimental result - EXP. 5

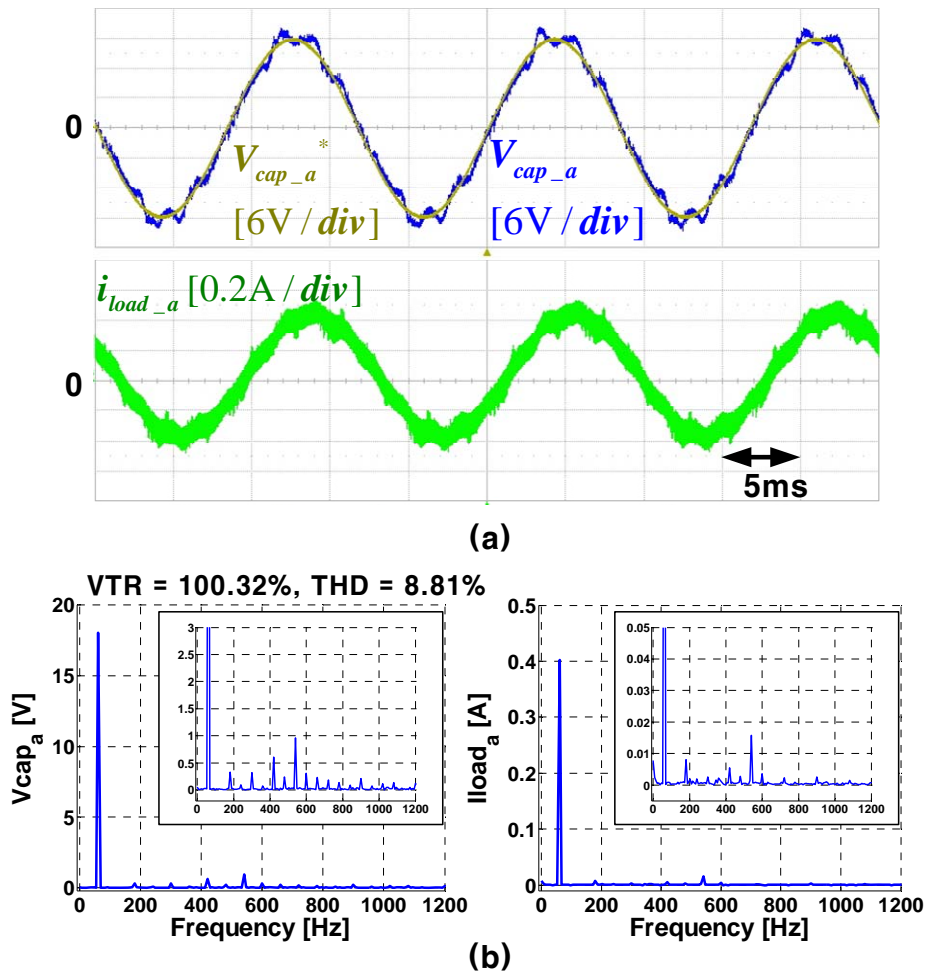


그림 3.134 실험 결과 - 실험 6

Figure 3.134 Experimental result - EXP. 6

다음으로 (3.172)와 같이 전압의 크기가 큰 조건에서 실험을 수행하였다. 모의 실험 결과를 기반으로 저 전압 조건에서 실험한 각각의 PWM 방법과 각 상의 데드 타임 보상 여부는 표 3.10과 같다.

$$\begin{cases} V_{af}^* = 180 \sin 2\pi 60t \\ V_{bf}^* = 180 \sin(2\pi 60t - \frac{2}{3}\pi) \\ V_{cf}^* = 180 \sin(2\pi 60t + \frac{2}{3}\pi) \end{cases} \quad (3.172)$$

표 3.10 큰 전압 크기에서의 실험 조건 (단일 루프 전압 제어기)

Table 3.10 Conditions for single loop controller experiment in high voltage

모의 실험 번호	PWM 방법	데드 타임 보상	
		a, b, c 레그	f 레그
실험 7	SVPWM	보상 함	보상 안함
실험 8	SPWM	보상 함	보상 안함
실험 9	OMVPWM	보상 함	보상 안함
실험 10	PPPWM1	보상 함	보상 안함
실험 11	PPPWM2	보상 함	보상 안함
실험 12	PPPWM3	보상 함	보상 안함

그림 3.135, 그림 3.136, 그림 3.137, 그림 3.138, 그림 3.139, 그림 3.140은 각각 SVPWM, SPWM, AOVPWM, PPPWM1, PPPWM2, PPPWM3을 적용하고 단일 루프 전압 제어기를 적용했을 때의 결과이다. 오픈 루프 전압 제어기를 이용하고 각각 SVPWM, SPWM, AOVPWM 방법을 적용한 결과인 그림 3.68, 그림 3.71, 그림 3.73을 그림 3.135, 그림 3.136, 그림 3.137과 비교해보면 기본과 성분의 크기가 지령 전압과 거의 같아진 것을 볼 수 있다. 그리고 데드 타임에 의한 고조파 성분의 전압의 크기가 많이 줄어든 것을 볼 수 있다. PPPWM 방법 중에서는 PPPWM3을 적용했을 때 캐패시터 전압의 왜곡이 가장 작은 것을 볼 수 있다.

오픈 루프 전압 제어기를 사용하면서 SVPWM, SPWM, OMVPWM을 적용하고, a, b, c 레그에만 데드 타임 보상을 했을 때에는 VTR은 각각 97.49%, 97.63%, 97.58%였다. 같은 조건에서 단일 루프 전압 제어기를 사용했을 때에는 VTR이 각각 100.29%, 100.30%, 100.32%로 증가한 것을 볼 수 있다. PPPWM 방법을 적용했을 때에는 PPPWM3의 방법에서의 VTR이 100.33%로 지령에 가장 가까운 것을 볼 수 있다.

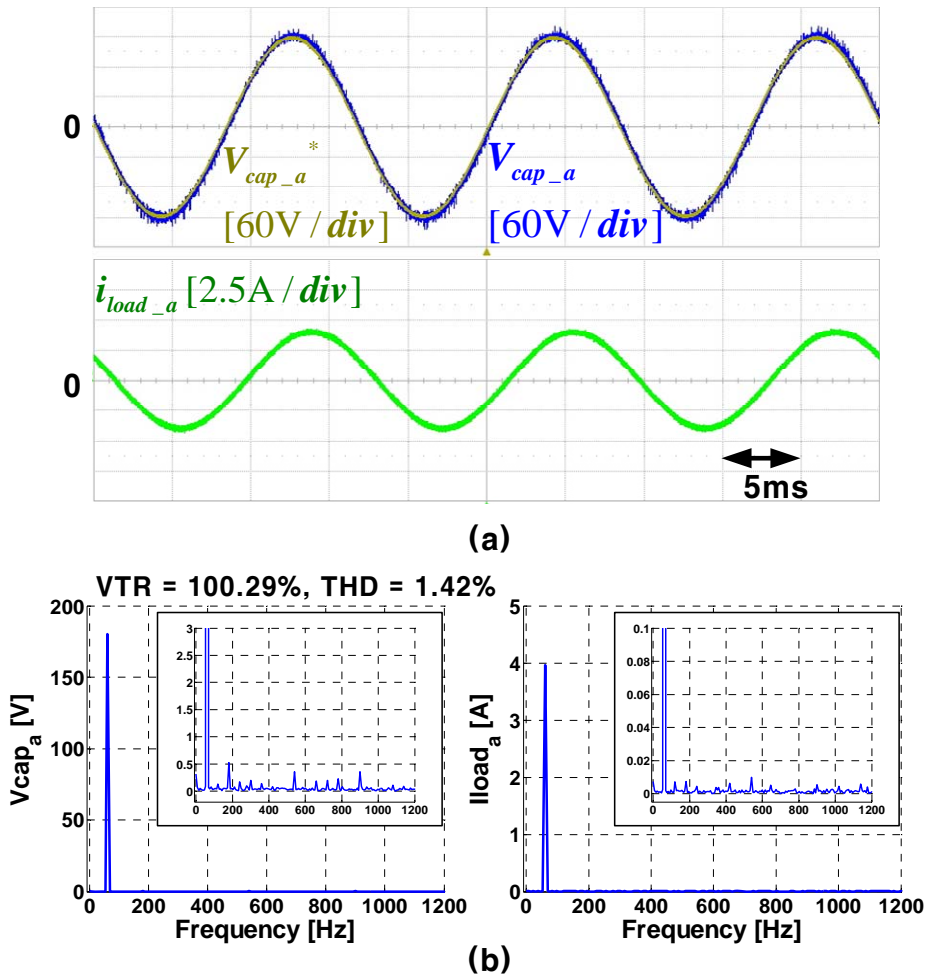


그림 3.135 실험 결과 - 실험 7

Figure 3.135 Experimental result - EXP. 7

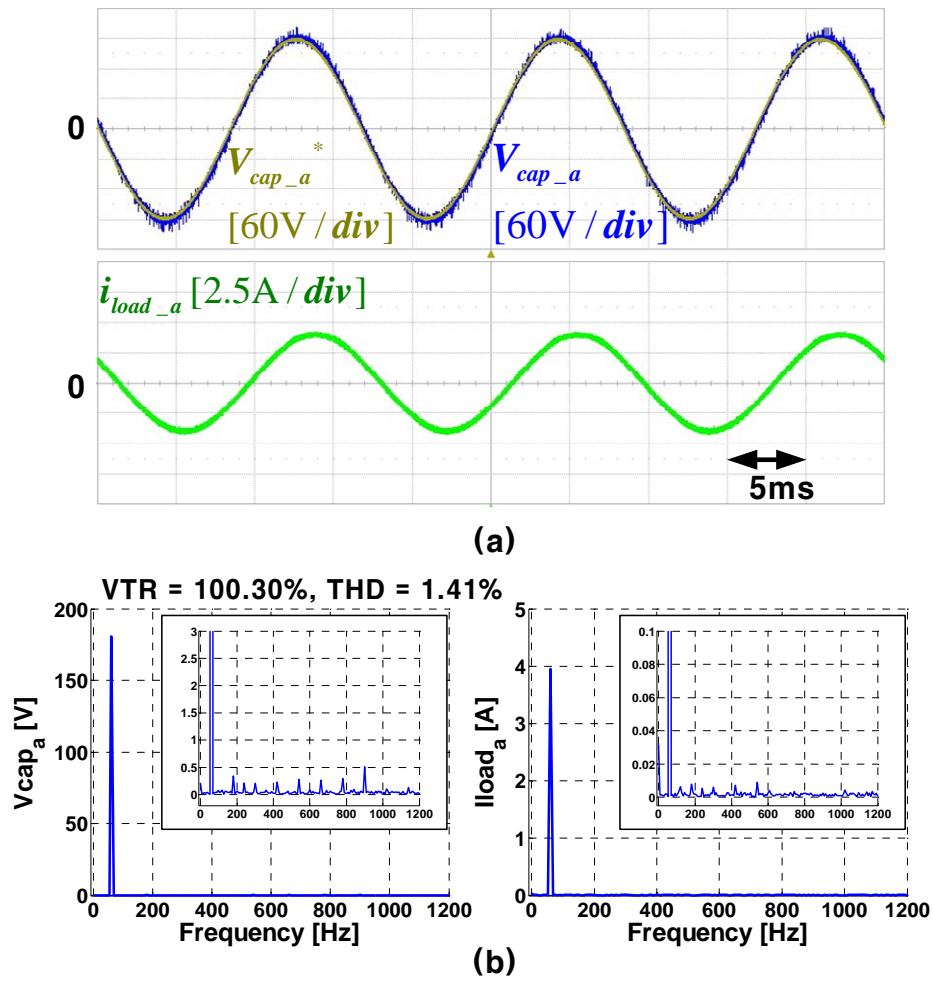


그림 3.136 실험 결과 - 실험 8

Figure 3.136 Experimental result - EXP. 8

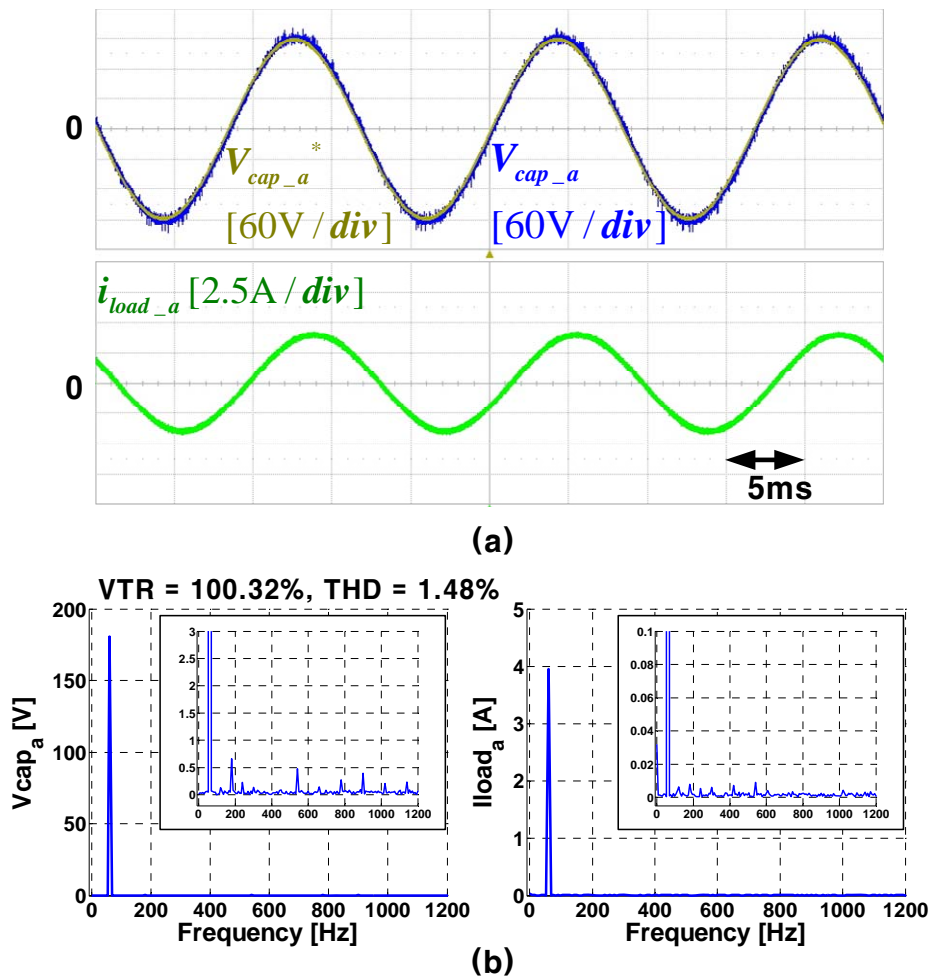


그림 3.137 실험 결과 - 실험 9

Figure 3.137 Experimental result - EXP. 9

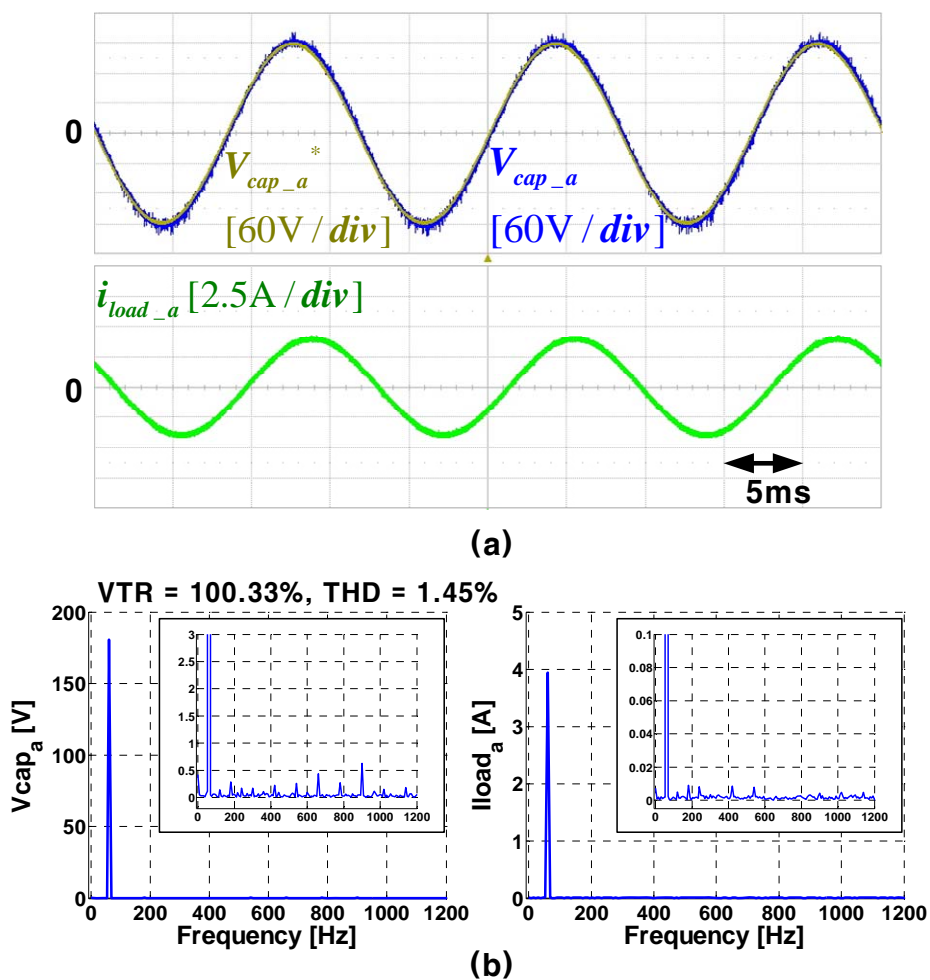


그림 3.138 실험 결과 - 실험 10

Figure 3.138 Experimental result - EXP. 10

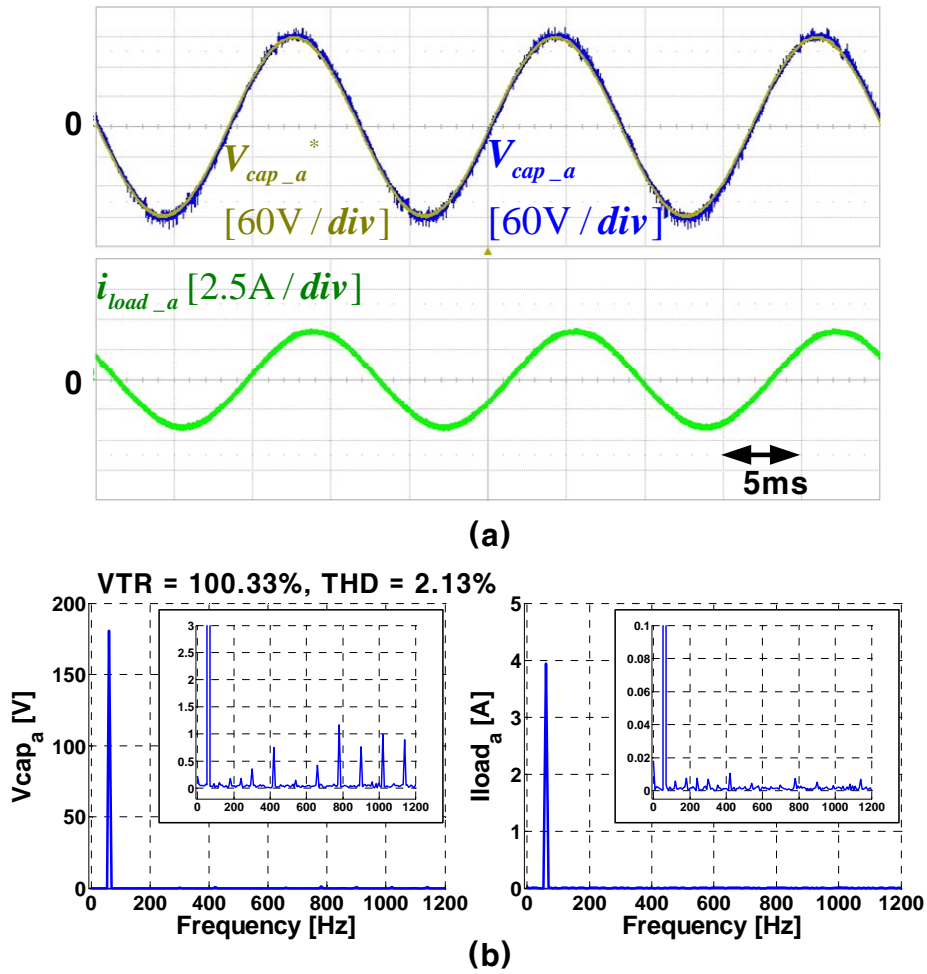


그림 3.139 실험 결과 - 실험 11

Figure 3.139 Experimental result - EXP. 11

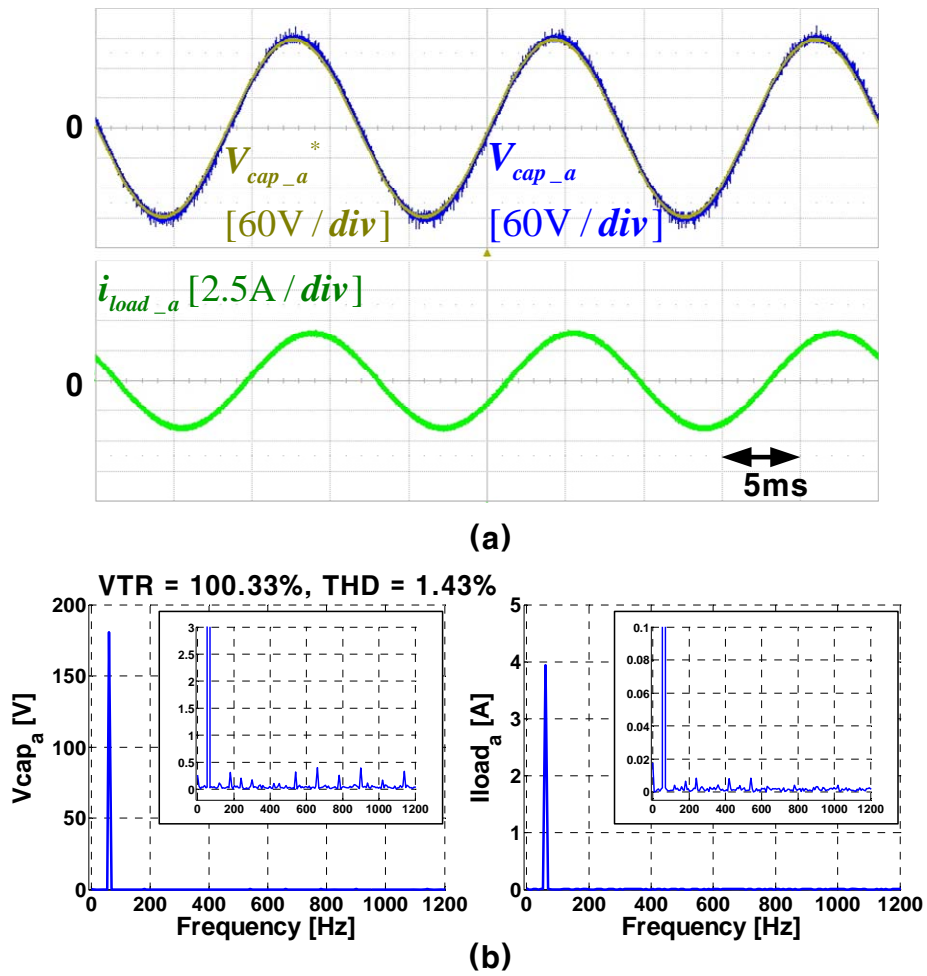


그림 3.140 실험 결과 - 실험 12

Figure 3.140 Experimental result - EXP. 12

다양한 부하 조건에서의 검증을 위하여 먼저 아래와 같이 RL 부하의 값을 변경해서 실험을 수행하였다.

$$L_{al} = L_{bl} = L_{cl} = 0.731mH . \quad (3.173)$$

$$R_{al} = R_{bl} = R_{cl} = 9.7\Omega . \quad (3.174)$$

작은 크기의 전압 지령일 때는 (3.171)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.172)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.141, 그림 3.143은 각각 지령 전압의 크기가 작을 때, 클 때의 실험 결과이다. 그림 3.142는 그림 3.141의 FFT 결과이고, 그림 3.144는 그림 3.143의 FFT 결과이다. 단일 루프 전압 제어기를 사용하면 기존 오픈 루프 전압 제어기를 사용했을 때에 비해 VTR의 값이 증가한 것을 알 수 있다.

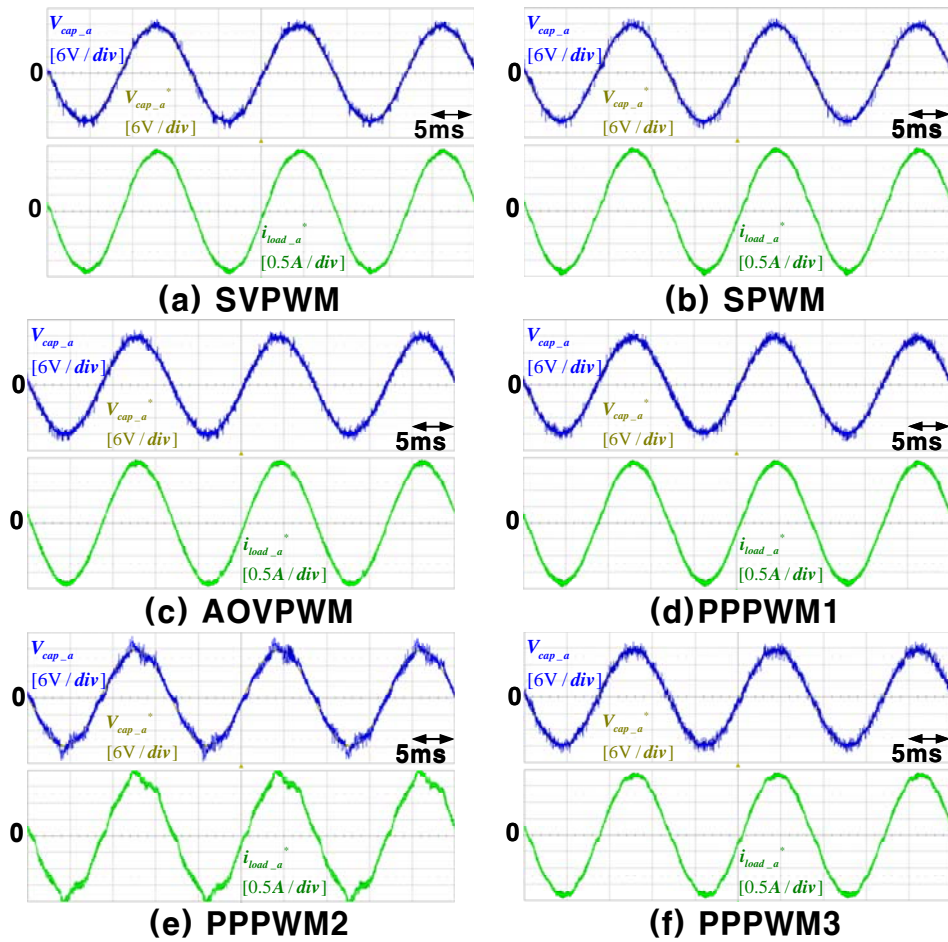


그림 3.141 실험 결과 - 고 전류 부하 조건 (저 전압)

Figure 3.141 Experimental result - High current load (Low voltage)

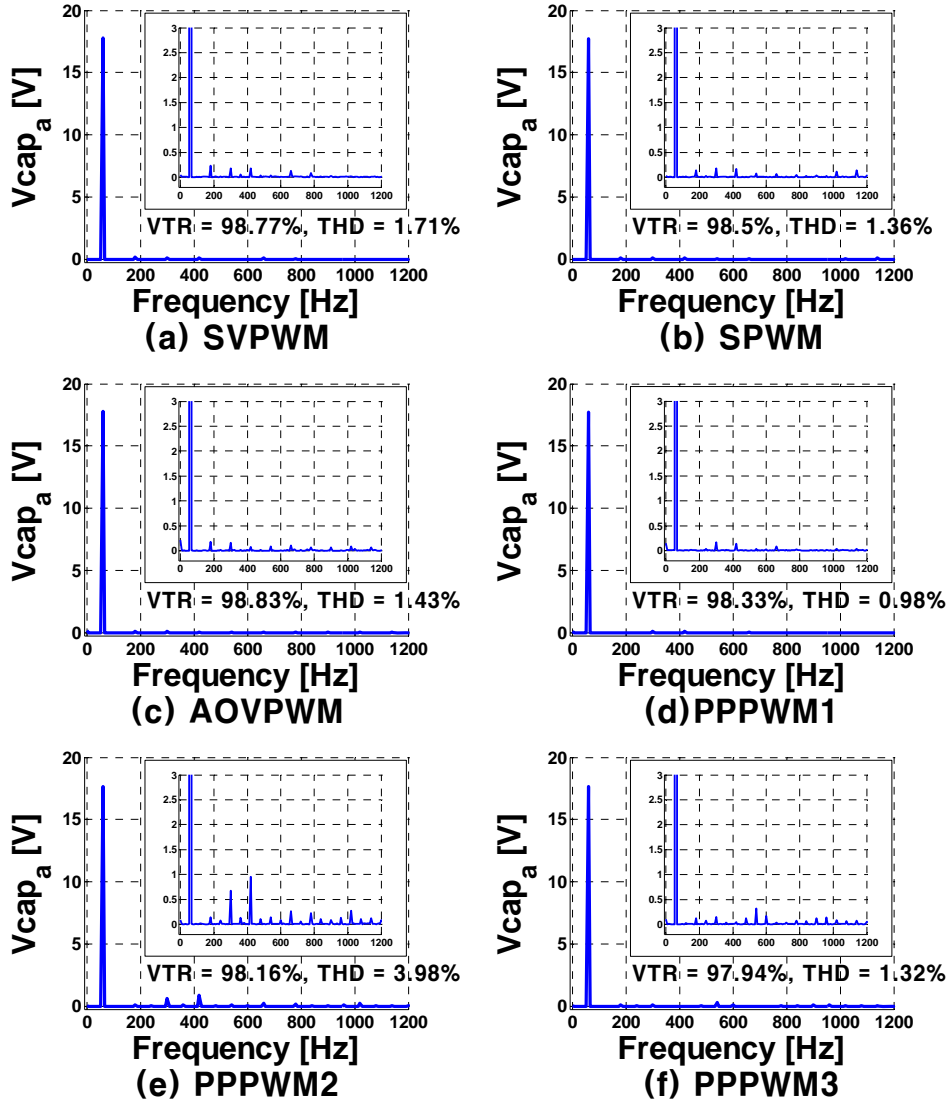


그림 3.142 실험 결과 (FFT) - 고 전류 부하 조건 (저 전압)

Figure 3.142 Experimental result (FFT) - High current load
(Low voltage)

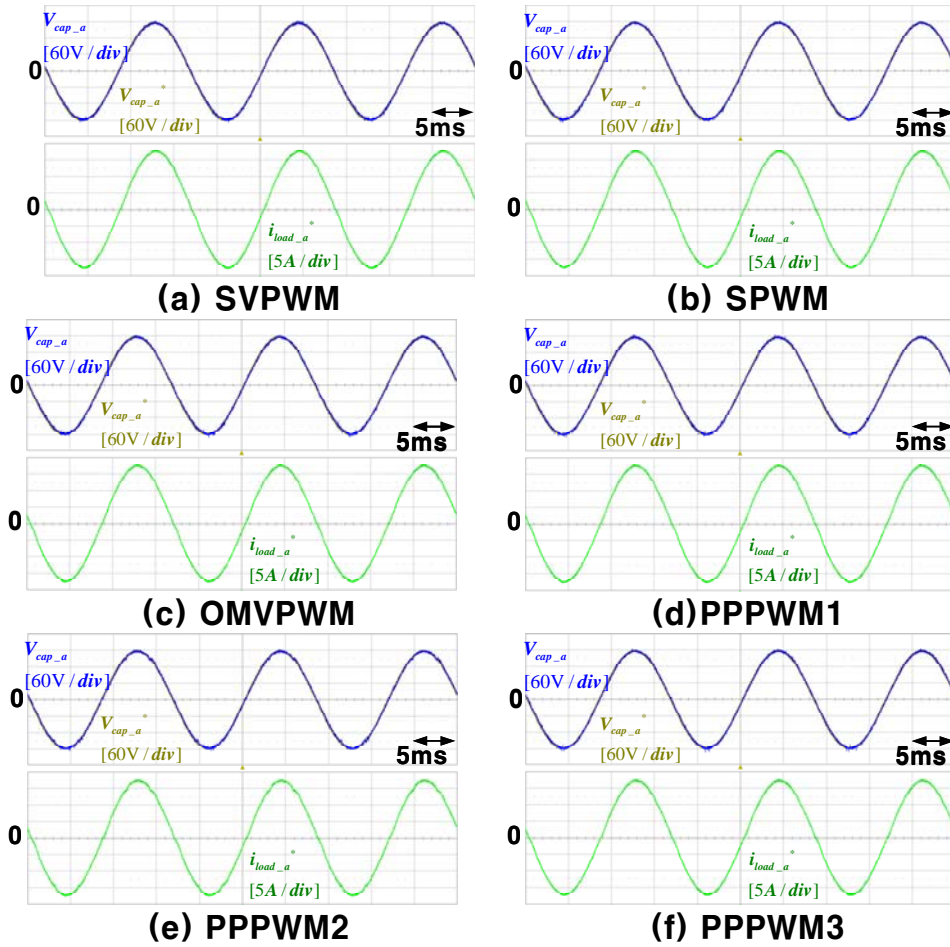


그림 3.143 실험 결과 - 고 전류 부하 조건 (고 전압)

Figure 3.143 Experimental result - High current load (High voltage)

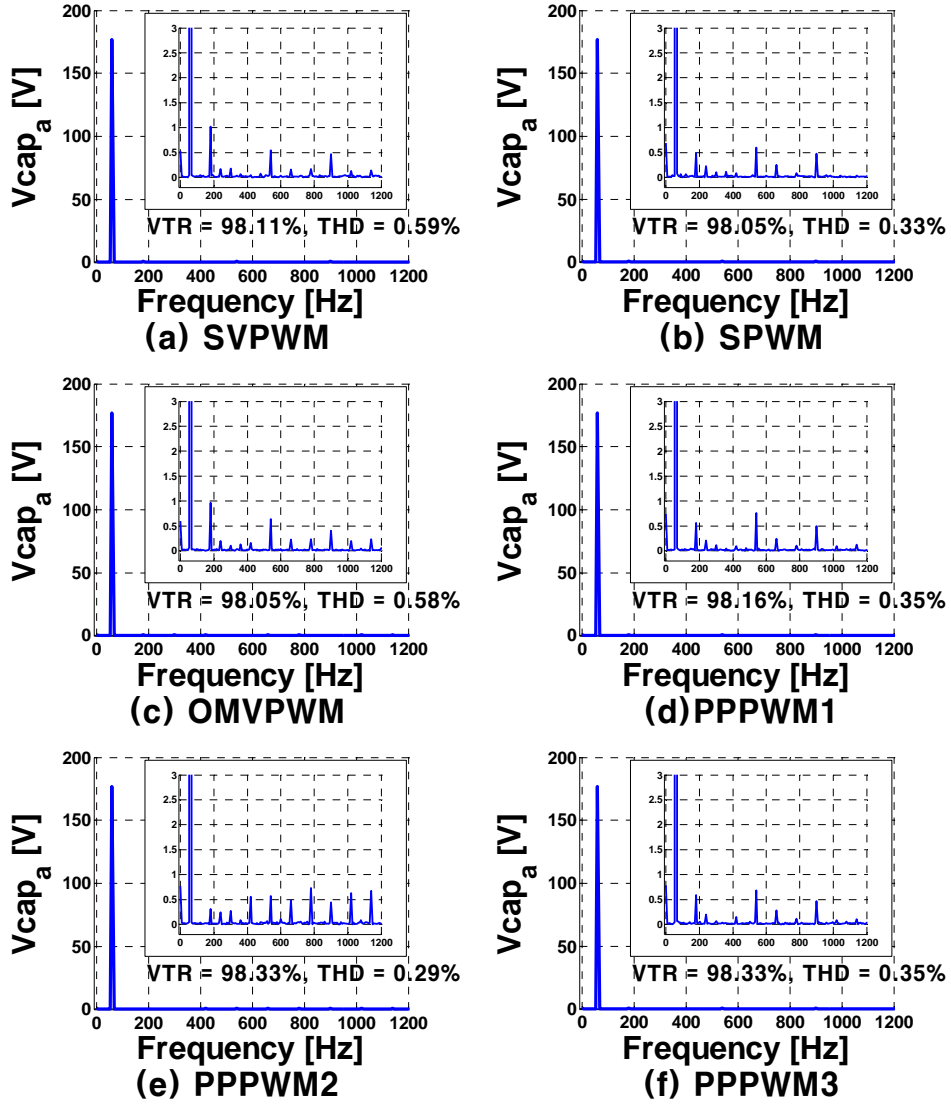


그림 3.144 실험 결과 (FFT) - 고 전류 부하 조건 (고 전압)

Figure 3.144 Experimental result (FFT) - High current load
(High voltage)

다음으로 그림 3.145와 같이 다이오드 부하의 조건에서 실험을 수행하였다.

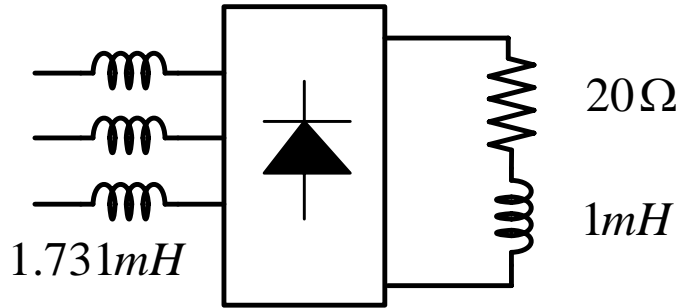


그림 3.145 부하 조건 - 다이오드 부하1

Figure 3.145 Load condition - Diode circuit1

작은 크기의 전압 지령일 때는 (3.171)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.172)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.146, 그림 3.148은 각각 지령 전압의 크기가 작을 때, 클 때의 결과이다. 그림 3.147은 그림 3.146의 FFT 결과이고, 그림 3.149는 그림 3.148의 FFT 결과이다. 단일 루프 전압 제어기를 사용하면 기존 오픈 루프 전압 제어기를 사용했을 때에 비해 VTR의 값이 증가한 것을 알 수 있다.

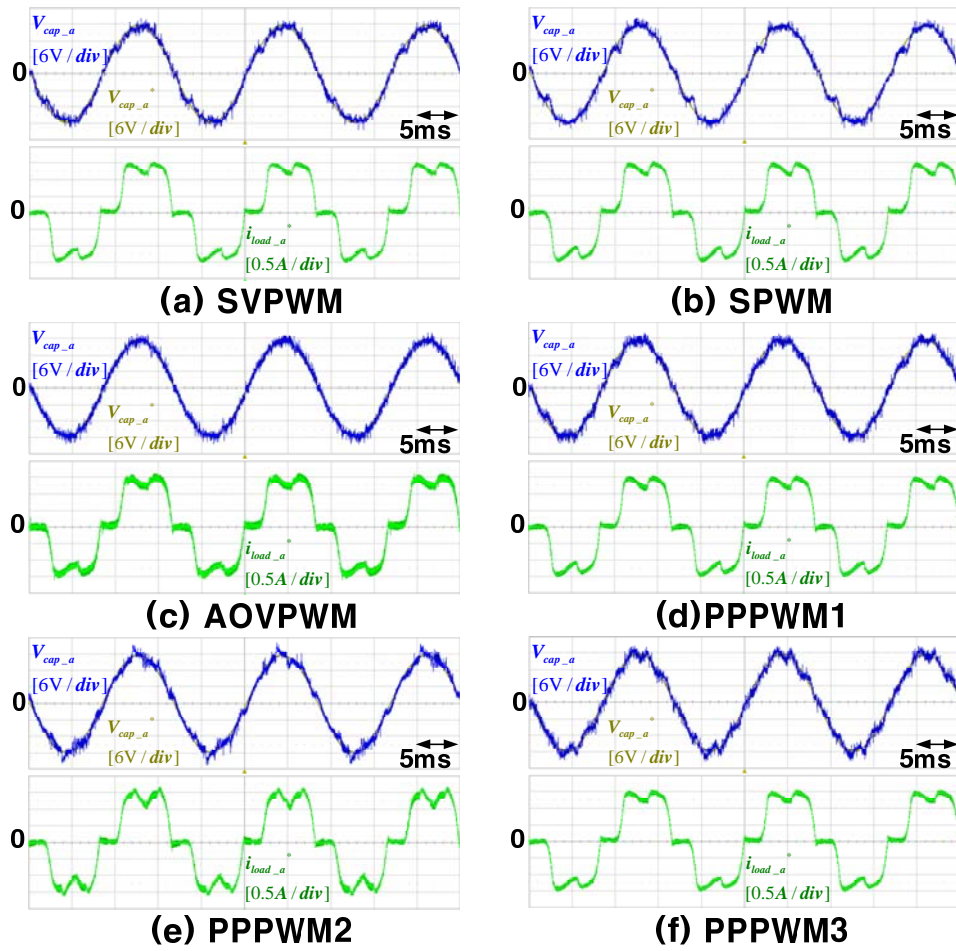


그림 3.146 실험 결과 - 다이오드 부하 조건1 (저 전압)

Figure 3.146 Experimental result - Diode circuit1 (Low voltage)

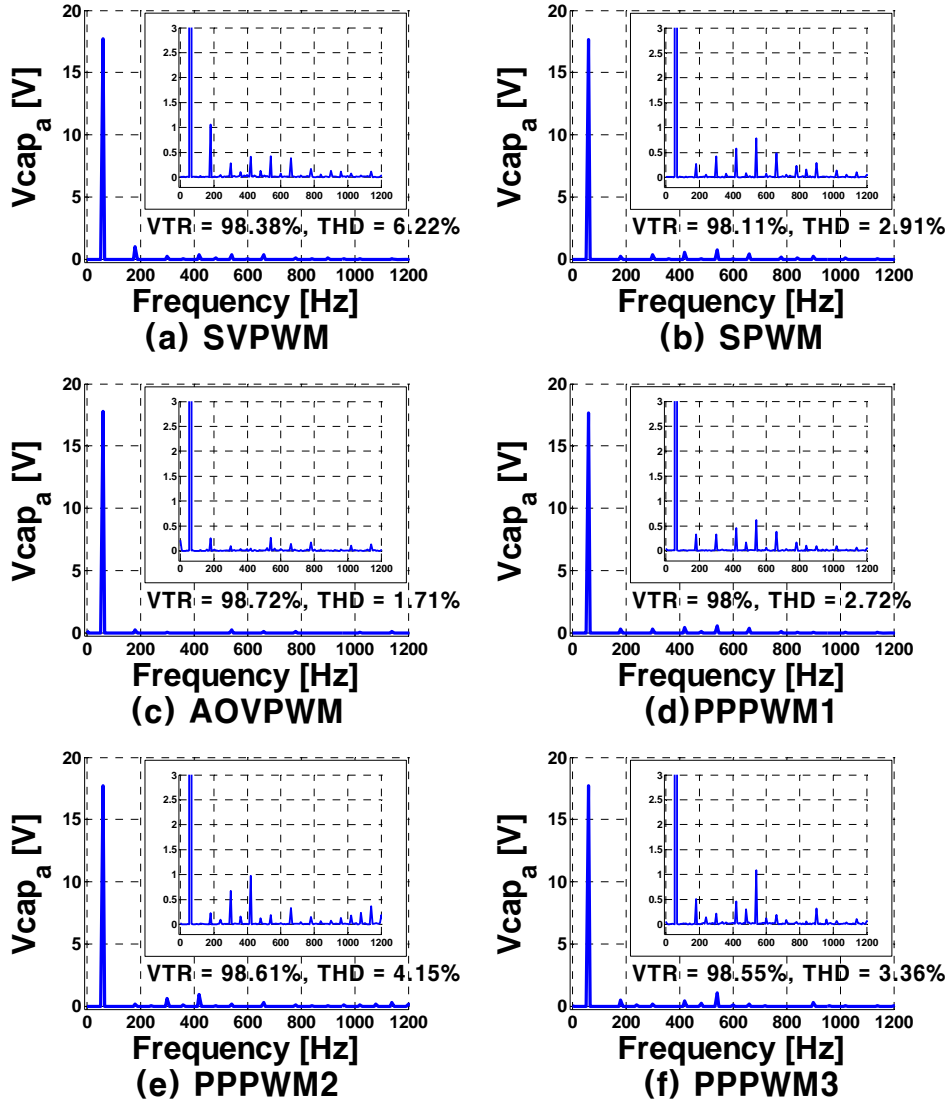


그림 3.147 실험 결과 (FFT) - 다이오드 부하 조건1 (저 전압)

Figure 3.147 Experimental result (FFT) - Diode circuit1 (Low voltage)

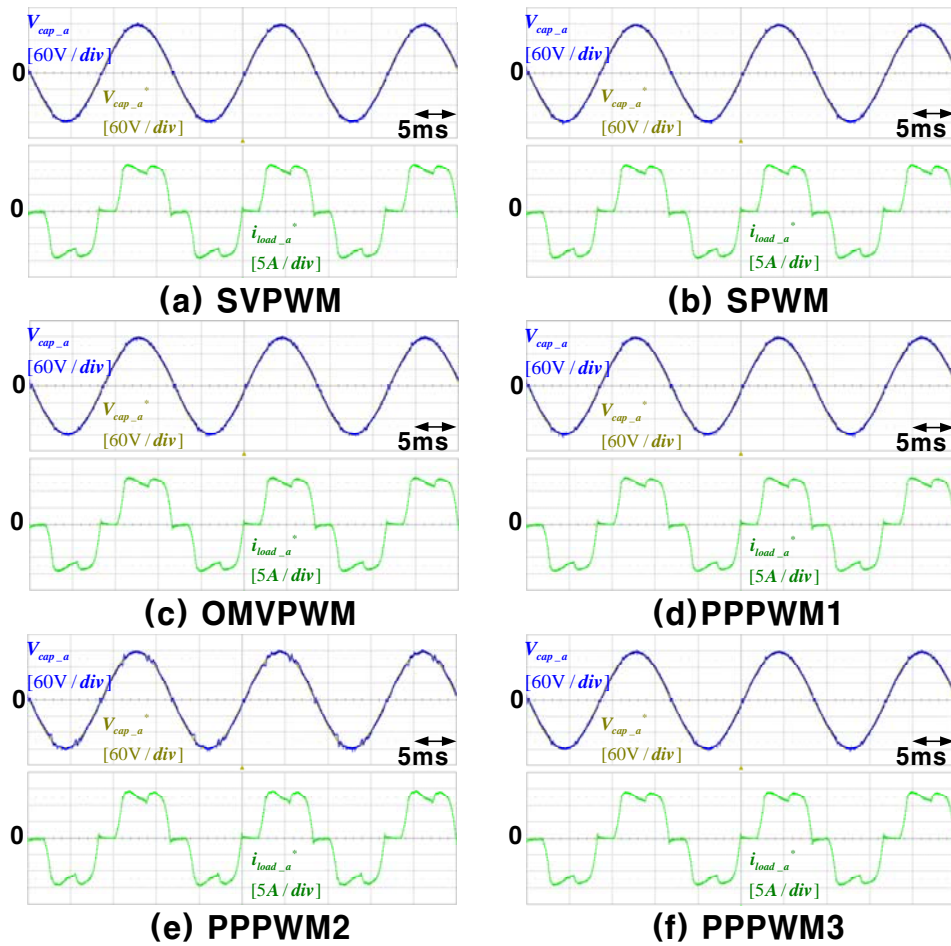


그림 3.148 실험 결과 - 다이오드 부하 조건1 (고 전압)

Figure 3.148 Experimental result - Diode circuit1 (High voltage)

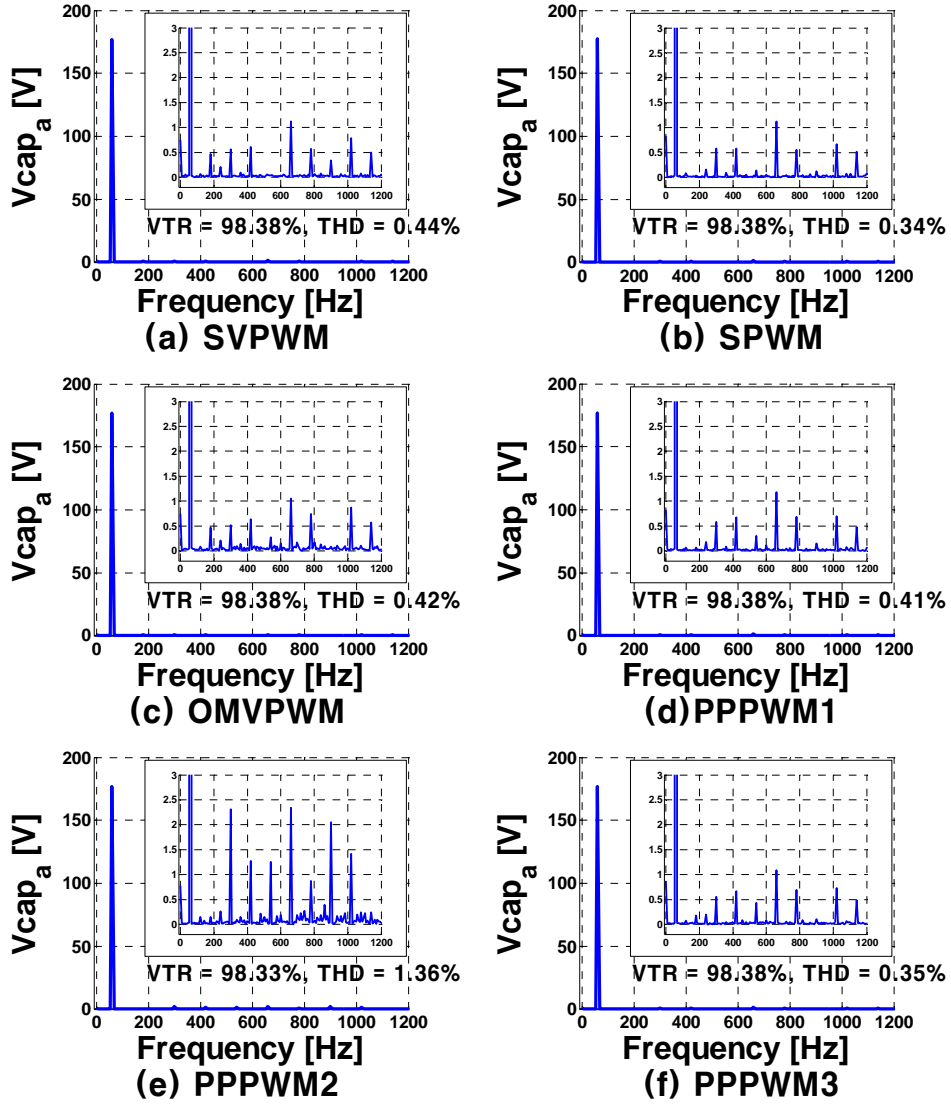


그림 3.149 실험 결과 (FFT) - 다이오드 부하 조건1 (고 전압)

Figure 3.149 Experimental result (FFT) - Diode circuit1 (High voltage)

추가로 그림 3.150과 같이 다이오드 부하의 조건에서 실험을 수행하였다.

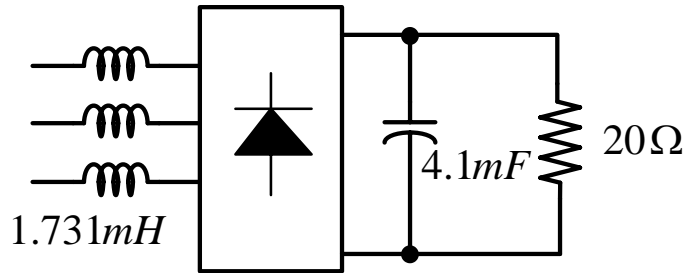


그림 3.150 부하 조건 - 다이오드 부하2

Figure 3.150 Load condition - Diode circuit2

작은 크기의 전압 지령일 때는 (3.171)과 같이 지령 전압을 설정하였고, 큰 크기의 전압 지령일 때는 (3.172)와 같이 지령 전압을 설정하였다. 이때의 전압 제어기는 오픈 루프 전압 제어기이고, a, b, c 레그에서만 데드 타임 보상 방법을 적용하였다. 그림 3.151, 그림 3.153은 각각 지령 전압의 크기가 작을 때, 클 때의 결과이다. 그림 3.152는 그림 3.151의 FFT 결과이고, 그림 3.154는 그림 3.153의 FFT 결과이다. 단일 루프 전압 제어기를 사용하면 기존 오픈 루프 전압 제어기를 사용했을 때에 비해 VTR 값이 증가한 것을 알 수 있다.

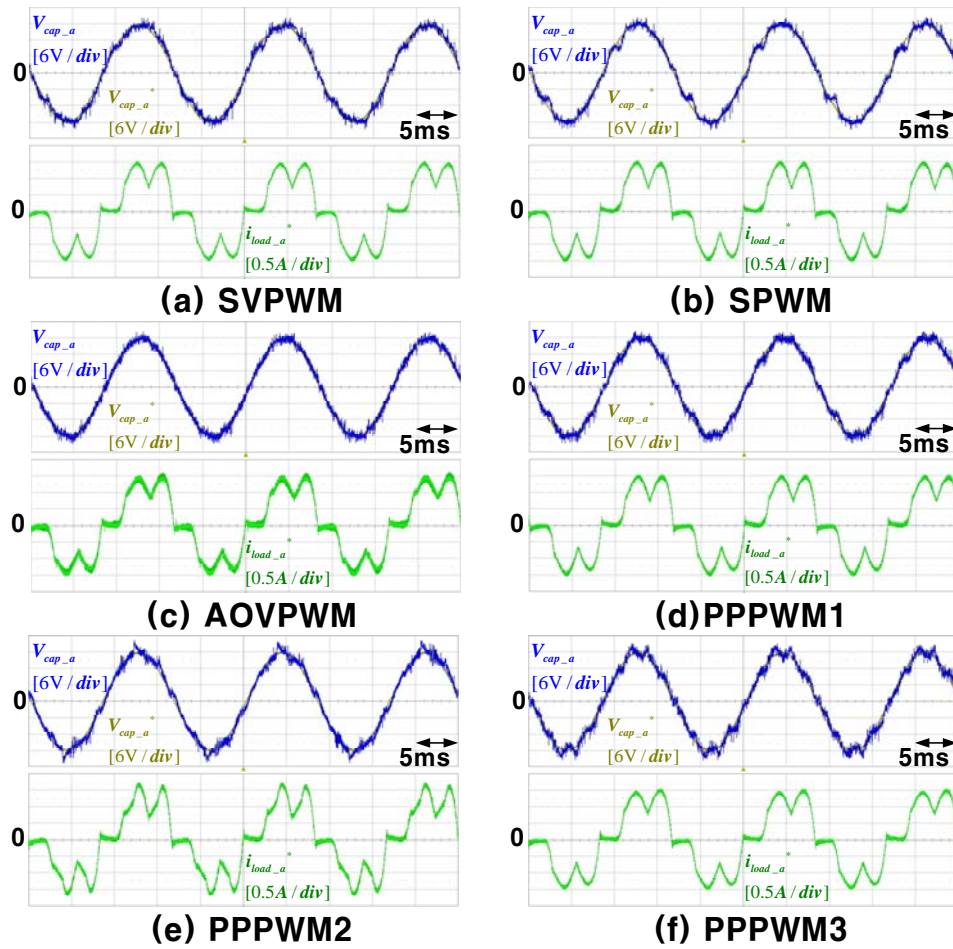


그림 3.151 실험 결과 - 다이오드 부하 조건2 (저 전압)

Figure 3.151 Experimental result - Diode circuit2 (Low voltage)

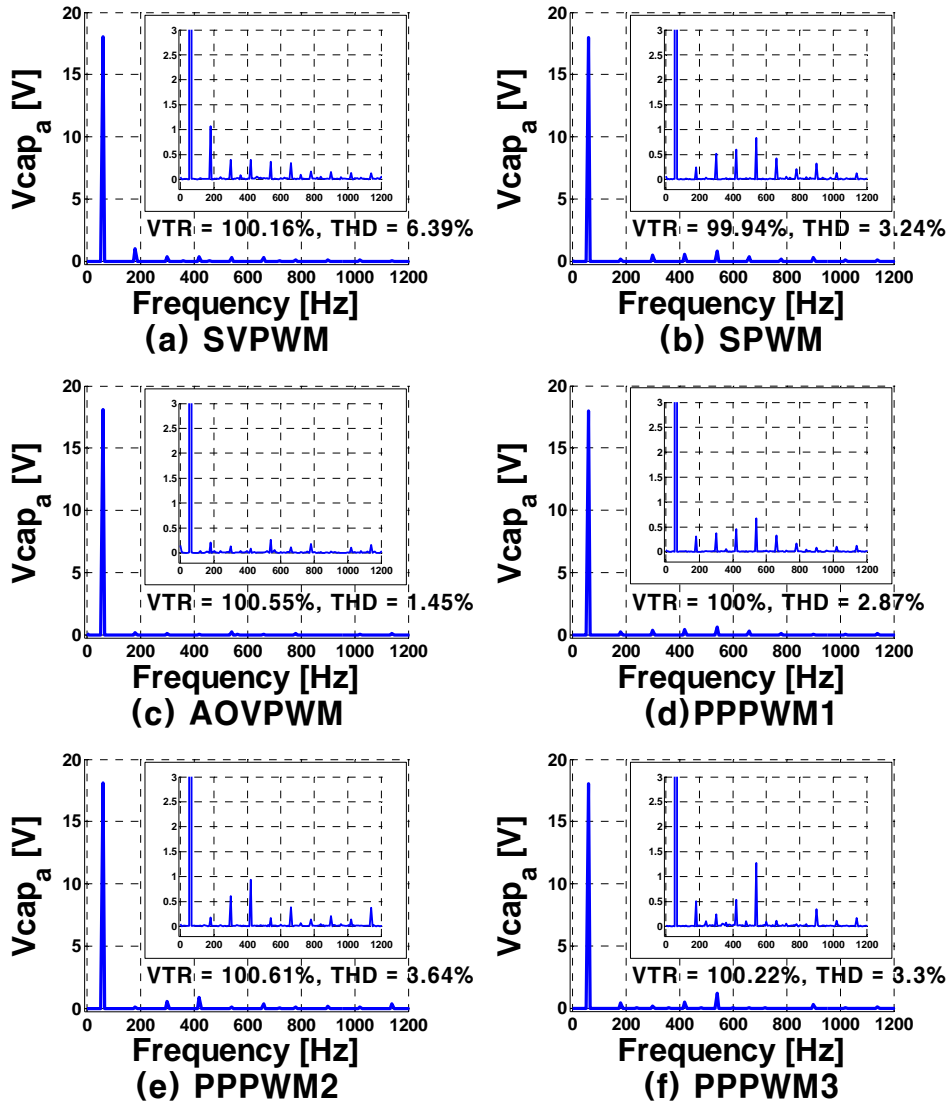


그림 3.152 실험 결과 (FFT) - 다이오드 부하 조건2 (저 전압)

Figure 3.152 Experimental result (FFT) - Diode circuit2 (Low voltage)

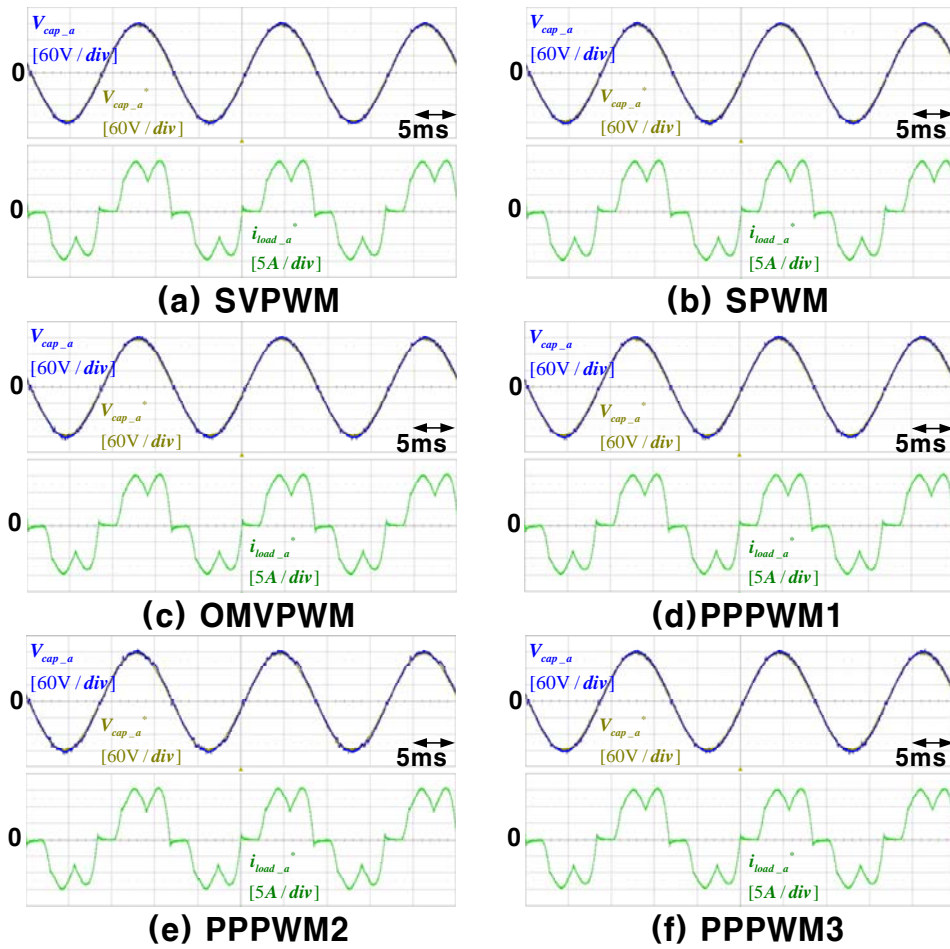


그림 3.153 실험 결과 - 다이오드 부하 조건2 (고 전압)

Figure 3.153 Experimental result - Diode circuit2 (High voltage)

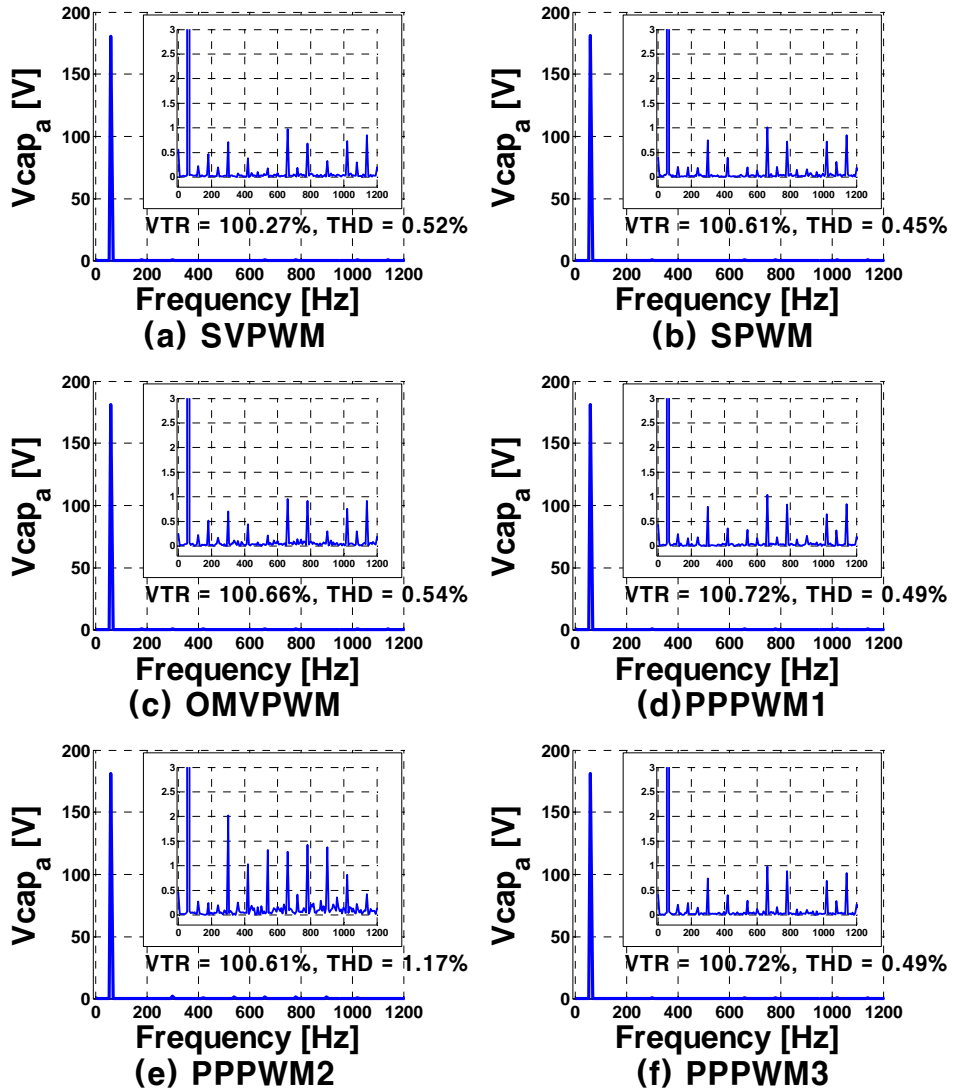


그림 3.154 실험 결과 (FFT) - 다이오드 부하 조건2 (고 전압)

Figure 3.154 Experimental result (FFT) - Diode circuit2 (High voltage)

제 4 장 결론

분산형 전원 시스템에 대한 관심이 그 어느 때보다 증대되고 있다. 이와 같은 분산형 전원 시스템은 계통의 여러 가지 상황에 따라 특정한 동작을 요구 받고 있다. 따라서 실제 사용자가 계통에 연결하여 사용하기 전에 여러 가지 계통 상황에 맞추어 필요한 요구 사항에 맞게 동작함을 확인해야 한다. 따라서 고조파 전압, 계통의 전압의 급상승, 급하강 등의 비정상적인 계통 전압을 모의할 수 있는 교류 전원 장치의 필요성 또한 증가하고 있다. 교류 전원 장치는 계통 전압의 비정상적인 전압도 모의해야 하므로 사용자가 원하는 임의의 전압과 같은 크기, 주파수의 전압을 출력해내는 능력이 중요하다.

따라서 본 논문에서는 교류 전원 장치에서의 전원 합성을 위한 3레벨 4레그 컨버터의 제어에 대하여 논하였다. 본 논문에서 수행한 연구 성과를 살펴보면 다음과 같다.

4.1 연구 결과

(1) 3레벨 4레그 컨버터에서 커먼 모드 전압 저감 PWM 방법 제안

모든 DC/AC 컨버터는 스위칭 동작으로 인해 커먼 모드 전압의 변동이 생기게 된다. 시스템과 접지 사이의 기생 캐패시터 성분으로 인해 커먼 모드 전압의 변동은 커먼 모드 전류를 발생 시키고 이러한 전류는 EMI의 주요 원인이 되며 전류가 흐르는 경로에서 손실을 발생시킨다.

DSP의 빠른 연산 시간 및 전력용 소자의 발정으로 인한 스위칭 주파수의 증가는 커먼 모드 전압의 주파수 또한 증가하게 한다. 높은 주파수의 커먼 모드 전압은 큰 크기의 커먼 모드 전류를 흐르게 한다. 따라서 이러한 커먼 모드 전압을 효과적으로 억제하는 것이 DC/AC 컨버터 응용에 있어 중요하다.

본 논문에서는 3레벨 4레그 컨버터에서 기존 PWM 방법보다 커먼 모드 전압을 효과적으로 저감할 수 있는 PWM 방법 (PPPWM)을 제안하였으며, 제안된 방법에 의해 기존 PWM 방법 (SVPWM) 대비 커먼 모드 전압의 크기는 66%, 변화 횟수는 75% 저감되는 것을 컴퓨터 모의 실험과 실제 제작된 5kW 실험 장치를 통해 확인하였다.

(2) 3레벨 컨버터에서 데드 타임에 의한 전압 왜곡 회피를 위한 PWM 방법 제안

교류 전원 장치는 지령 전압 그대로 부하에 전압을 합성하여야 한다. 컨버터 출력 전압이 지령 전압과 같도록 해주기 위해서는 우선 컨버터의 극 전압 지령이 그대로 출력 극 전압으로 나오는 것이 중요하다. 따라서 데드 타임에 의한 출력 극 전압 왜곡을 보상해주어야 할 필요가 있다. 2레벨 컨버터의 경우는 대부분의 영역에서 전류의 정보만 정확하다면 비교적 정확한 데드 타임 전압 왜곡 보상이 가능하다. 하지만, 극 전압 지령이 $\frac{V_{dc}}{2}$, $-\frac{V_{dc}}{2}$ 에 가까운 경우-즉, 전압 지령의 크기가 큰 경우-에는 PWM의 데드 존에 의해 제대로 된 데드 타임 보상이 어렵게 된다. 이와 같은 데드 존이 3레벨 컨버터에서도 존재하지만 추가적으로 극

전압 지령이 0V에 가까운 경우에도 존재하게 된다. 따라서 3레벨 컨버터의 경우 교류 전압 지령의 크기가 크고, 작음에 상관없이 극 전압 지령은 항상 0V전압을 합성해야 하는 순간이 있으므로 데드 타임에 의한 전압 왜곡을 제대로 보상하기 힘든 순간이 생기게 된다.

따라서 본 논문에서는 교류 전압 지령이 작은 경우와 큰 경우에 각각 데드 존 회피를 위해 적용 가능한 PWM 방법 (각각 AOVPWM, OMVPWM)을 제안하였으며, 기존 PWM 방법에 비해 데드 타임에 의한 전압 왜곡 보상 성능이 향상되었음을 컴퓨터 모의 실험과 실제 제작된 5kW 실험 장치를 통해 확인하였다. 특히, 저 전압 조건에서 AOVPWM 방법을 적용 시에 VTR이 증가한 것을 확인하였다.

(3) 교류 전원 장치를 위한 싱글 루프 전압 제어기 제안

교류 전원 장치는 원하는 크기, 원하는 주파수의 전압을 부하에 인가해주는 시스템이다. 교류 전원 장치로 사용되는 컨버터는 원하는 주파수에 비해 훨씬 높은 주파수의 스위칭 동작으로 인해 교류 전압을 합성하게 되는데 스위칭 주파수의 전압이 부하에 보이지 않게 하기 위해 LC필터를 컨버터의 출력에 사용하게 된다. 이러한 필터는 원리적으로 공진 가능성을 내포하고 있으므로 능동 공진 억제 제어를 통하여 공진을 억제할 필요가 있다. 따라서 본 논문에서는 이러한 공진 억제 제어를 구현하고 그 유효성을 컴퓨터 모의 실험과 실제 제작된 5kW 실험 장치를 통해 확인하였다. 저 전압 및 고 전압 조건에서 VTR이 증가함을 확인하였다.

4.2 향후 과제

3레벨 4레그 컨버터를 임의 파형 발생 교류 전원 장치로 적용하기 위해서는 다음과 같은 연구가 더 추가되어 진행 되어야 한다.

(1) Wide Band Gap 전력 소자를 이용한 3레벨 4레그 컨버터 구현

실리콘 (Silicon)기반의 IGBT 소자는 스위칭 시 발생하는 손실로 인해 스위칭 주파수를 높이는데 한계가 있다. 이로 인해 LC필터의 공진 주파수를 높이는 것에도 한계가 있고, 따라서 전압 제어기의 제어 대역폭도 제한이 되어 800 Hz 이상의 높은 주파수 합성이 어렵게 된다. 높은 고조파 전압이 함유된 계통 전압을 모의하기 위해서는 높은 주파수의 전압 합성이 필요하므로 스위칭 손실이 적고, 작은 상승/하강 시간을 가지는 Wide Band Gap 전력 소자를 이용한 교류 전원 장치 설계 및 제작이 필요할 것으로 보인다. 본 논문에서는 60 kHz 의 스위칭이 가능한 SiC FET 소자를 사용한 3레벨 4레그 컨버터를 컴퓨터 모의 실험으로 구현하여 그 특성을 파악하였다. 이를 통해 합성 가능한 전압의 주파수 대역이 800 Hz까지 가능한 것으로 확인하였으나 향후 SiC 소자가 발전하여 충분히 상용화되면 이를 실험으로 검증할 필요가 있다.

(2) LC필터 설계

컨버터 출력에 사용된 LC필터는 컨버터의 스위칭 주파수 성분의

전압이 부하에 인가되지 않도록 필터링하기 위함이다. 이를 위해 효율적인 공진 주파수 선정이 필요하다. 공진 주파수가 너무 크다면, 스위칭 주파수 성분의 전압이 억제되지 않게 된다. 반대로 공진 주파수가 너무 작다면 스위칭 주파수 성분의 전압은 잘 제거가 될 것이지만 낮은 공진 주파수 성분에 의해 전압 제어기의 제어 대역폭이 제한된다는 단점이 있다. 따라서 적절한 공진 주파수의 선정이 필요하다.

공진 주파수가 선정되었다고 하더라도 같은 공진 주파수가 되는 인덕터와 캐패시터의 조합은 여러 가지 생기게 된다. 인덕턴스의 값이 크게 되면, 캐패시터의 값은 작아지게 되는데, 이때 전압 제어가 잘 안된다는 문제가 생긴다. 반대로 캐패시터의 값이 크게 되면 인덕턴스의 값이 작아져 컨버터에 흐르는 전류의 리플 (ripple)이 커지게 된다. 이는 데드 타임 보상을 어렵게 할 뿐 아니라, 효율도 낮아지게 된다. 따라서 LC필터의 값이 적절하게 선정할 필요가 있고 이러한 값들의 선정에 대한 체계적 연구가 필요하리라 생각된다.

(3) LC필터 제정수 추정

본 논문에서 제안한 전압 제어기는 전압의 되먹임 (feedback) 제어를 기반으로 하고 있으나, 기본적으로 L필터에서 생기는 전압 강하 성분을 전향 보상 (feed-forward) 하고 있으므로 전향 보상에 사용되는 인덕터 및 저항의 제정수를 정확하게 추정하는 것이 중요하다. 또한 제어기에 사용한 이득의 계산에 제정수 값을 사용하게 되는데 전압 제어기의 전달 함수를 원하는 형태로 정확하게 구현하기 위해서는 제정수 값을 정확하게 적용하는 것이 필요하다. 따라서 향후 제정수

오차가 제어 특성에 미치는 영향에 대한 분석과 제정수의 변동에 대비하여 제정수를 실시간 추정하는 방법에 대한 연구가 필요하리라 생각된다.

(4) AOVPWM 방법의 윗전압 최적 인가 각도 검토

본 논문에서 지령 전압의 크기가 작은 경우 데드 타임 보상을 위해 제안한 PWM 방법인 AOVPWM 방법은 부하 지령 전압의 3고조파 형태로 윗전압을 인가하게 된다. 여기에 하나의 자유도가 있는데 3고조파 윗전압의 인가 각도이다. 현재는 SVPWM 방법의 윗전압의 극성을 기준으로 인가하고 있으나, AOVPWM 방법을 어떤 각을 기준으로 적용 시 저차의 고조파 전압이 제일 작은지 검토할 필요가 있다.

(5) LISN 을 이용한 EMI 측정

본 논문에서 f 레그 조작을 통한 커먼 모드 전압 저감 PWM 방법을 제안하였는데, 실제로 중요한 EMI를 측정하기 위해서는 고주파수 전도성 EMI에 대하여 안정된 임피던스를 제공해주는 LISN (Line Impedance Stabilization Network)이 필요하다[27]. 따라서 향후 적절한 LISN을 구비하여 EMI 측정을 통해 제안한 방법의 검토가 필요하다.

부 록 A. 삼상 4선식 구조

A.1 삼상 4선식 구조의 필요성

일반적으로 계통 연계용 3상 컨버터의 구조는 그림 A.1과 같다.

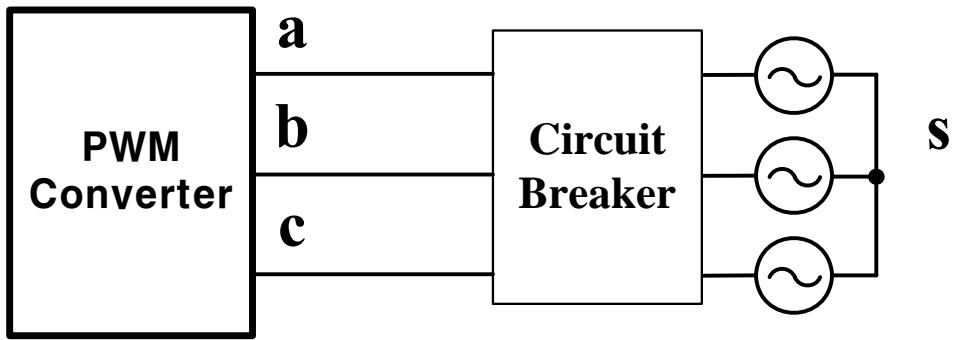


그림 A.1 일반적인 계통 연계형 3상 컨버터 구조

Figure A.1 General 3 phase converter structure in grid-connected system

3상 컨버터는 계통으로부터 에너지를 받거나 전력 계통으로 에너지를 전달하는 역할을 한다. 또한 컨버터에서 에너지 저장 시스템 (Energy storage system) 이나 신/재생 에너지 시스템이 연결되어 계통의 도움 없이 부하에 3상 평형 전압을 인가하여 에너지를 공급 (Stand-alone operation)해줄 수 있거나 컨버터 자체가 교류 전원 장치 (AC power supply)로써 동작할 경우가 있다. 계통에 연결이 안 된 컨버터 시스템은 그림 A.2와 같이 부하에 에너지를 공급해준다고 볼 수 있다.

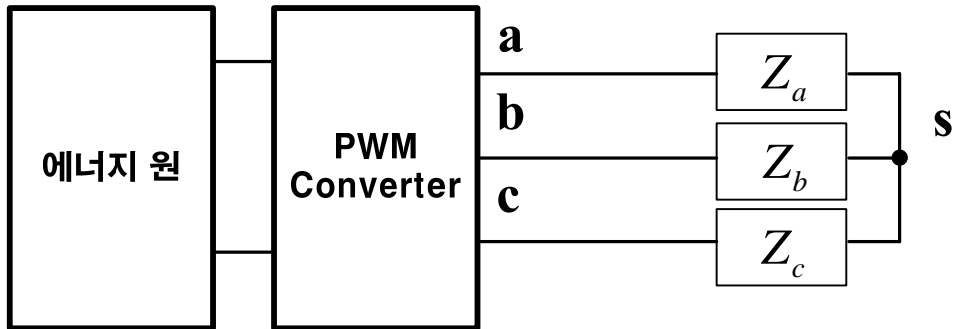


그림 A.2 계통 연결 없는 3상 컨버터 시스템 구조

Figure A.2 General 3 phase converter structure without grid

그림 A.2와 같은 구조에서 컨버터를 전압 제어 모드로 동작시키고 180V 교류 전압을 출력 시킬 때, 평형 (Balanced) 부하인 경우 부하에 인가되는 전압과 전류는 그림 A.3과 같다. 지령 전압이 그대로 부하에 인가되는 것을 알 수 있다.

같은 조건에서 부하만 불평형인 경우의 모의 실험 결과는 그림 A.4와 같다. 지령 전압과 다르게 부하 전압도 불평형이 되고 전류도 불평형이 되는 것을 확인할 수 있다. 이와 같은 경우에 불평형 정도가 클 경우 특정 상의 부하는 큰 전압이 걸려 부하가 손상을 입을 수도 있다.

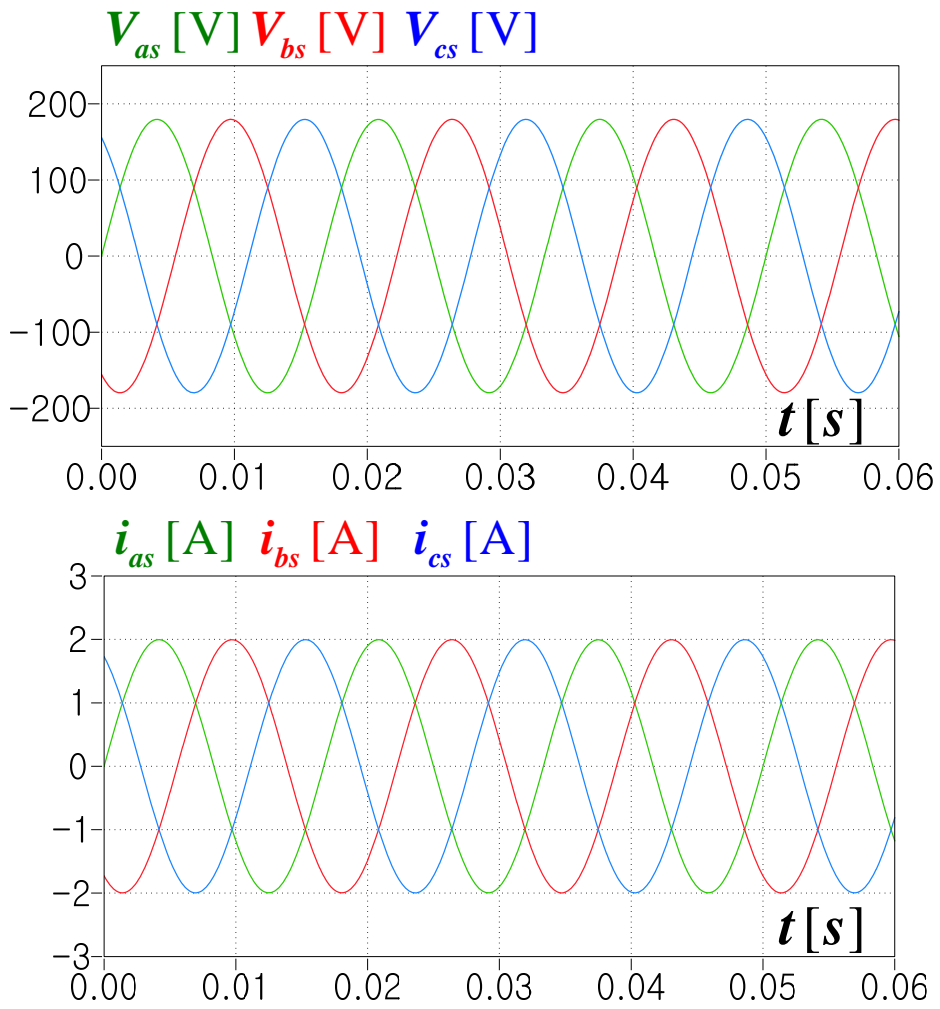


그림 A.3 평형 부하에서의 부하 전압 및 부하 전류

Figure A.3 Load voltages and load current in case of balanced loads

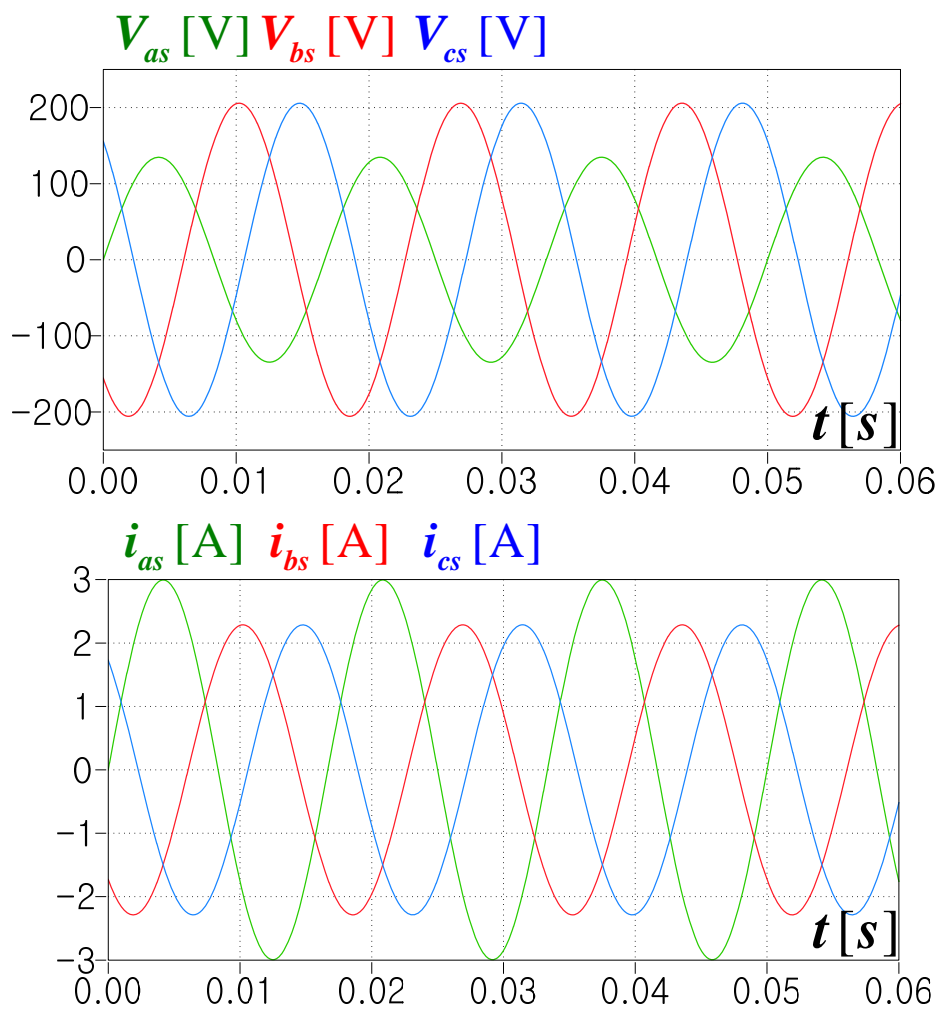


그림 A.4 불평형 부하에서의 부하 전압 및 부하 전류

Figure A.4 Load voltages and load current in case of unbalanced loads

이와 같은 불평형 전압이 부하에 걸리는 문제를 해결하기 위한 두 가지 방법이 있다.

한가지 방법은 컨버터와 부하 사이에 Δ/Y 결선 변압기를 연결하는 것이다. 그림 A.5와 같은 형태로 변압기의 Δ 결선은 3상 컨버터에 연결하고 Y결선은 부하에 연결하는데 Y결선의 중성점은 부하의 중성점과 연결하여 영상분 전류가 흐를 수 있는 길을 만들어 주게 된다. 이와 같은 변압기 사용은 특별한 제어가 필요 없다는 장점이 있으나 추가된 변압기로 인해 시스템의 가격, 부피 그리고 무게의 상승을 일으킬 뿐 아니라 변압기 손실 때문에 효율이 감소한다는 단점이 있다.

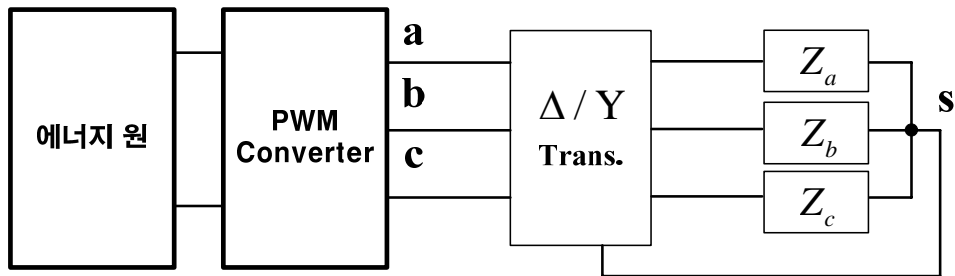


그림 A.5 불평형 부하 문제 해결을 위한 Δ/Y 변압기 사용 구조

Figure A.5 3 phase converter system with Δ/Y transformer to accommodate unbalanced loads

다음으로 변압기가 없는 그림 A.6과 같은 4선식 구조가 가능하다. 이는 컨버터에서 나온 4번째 결선이 부하에 흐르는 영상분의 전류가 흐를 수 있도록 만들어주는 것이다.

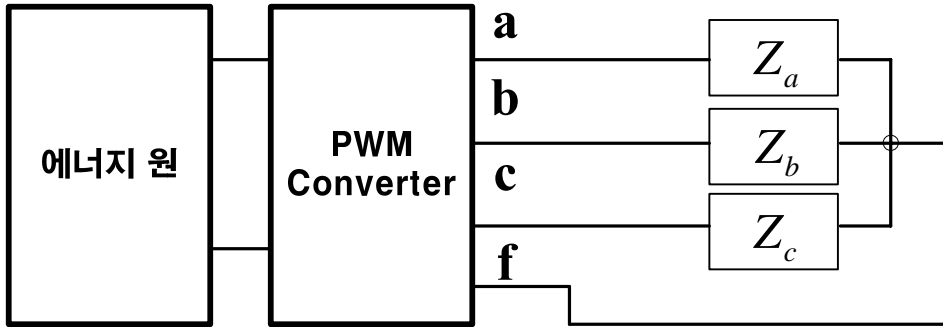


그림 A.6 불평형 부하 문제를 해결을 위한 4선식 컨버터 사용 구조

Figure A.6 3 phase 4 wire converter system to accommodate unbalanced loads

그림 A.7, 그림 A.8은 4선식 구조에서의 모의 실험 결과로 각각 부하가 평형일 때, 부하가 불평형일 때의 결과이다. 특히 그림 A.8에서 볼 수 있듯이 부하가 불평형이더라도 부하의 상 전압 크기가 지령과 같이 180V가 나오는 것을 알 수 있다.

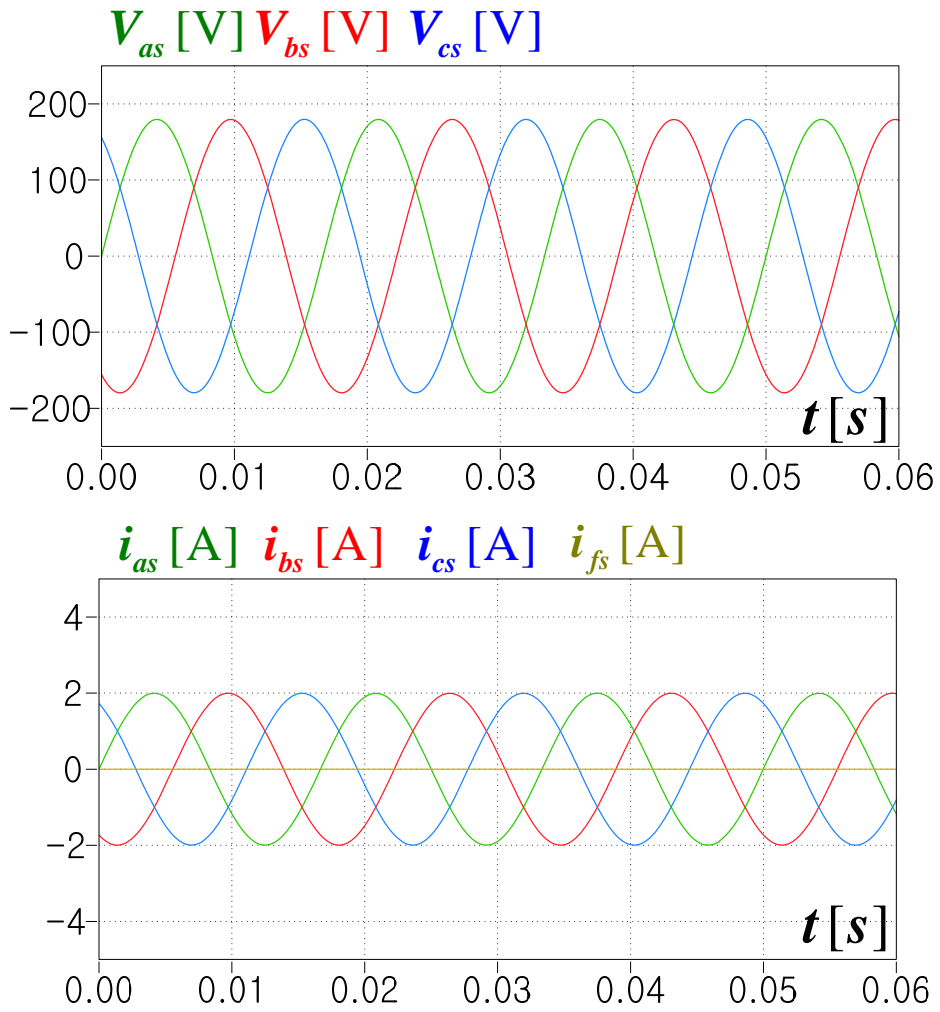


그림 A.7 평형 부하에서의 부하 전압 및 부하 전류

Figure A.7 Load voltages and load current in case of balanced loads

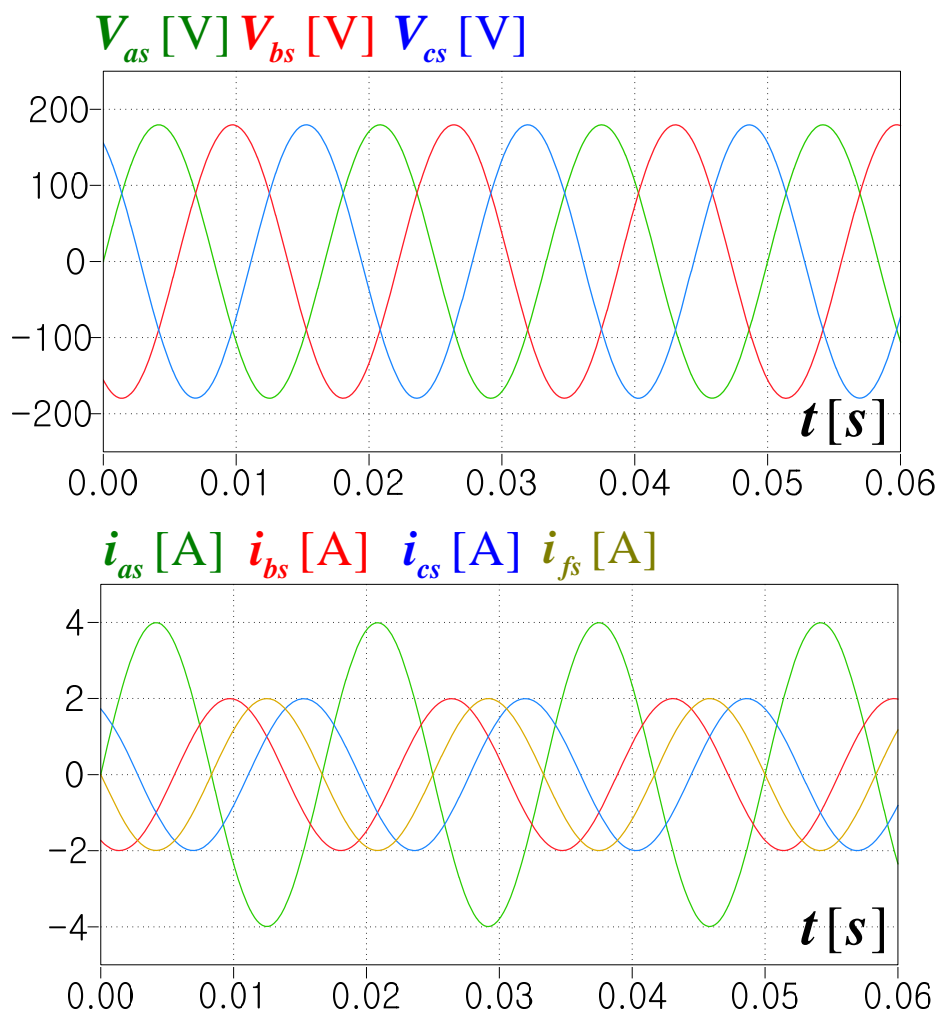


그림 A.8 불평형 부하에서의 부하 전압 및 부하 전류

Figure A.8 Load voltages and load current in case of unbalanced loads

A.2 삼상 4선식 구조 종류

삼상 4선식 구조는 크게 3레그 1선 구조와 4레그 구조로 나눌 수 있다.

먼저 3레그 1선 구조[84, 85]는 그림 A.9와 같은 반파 정류 (half bridge) 회로 방식이다.

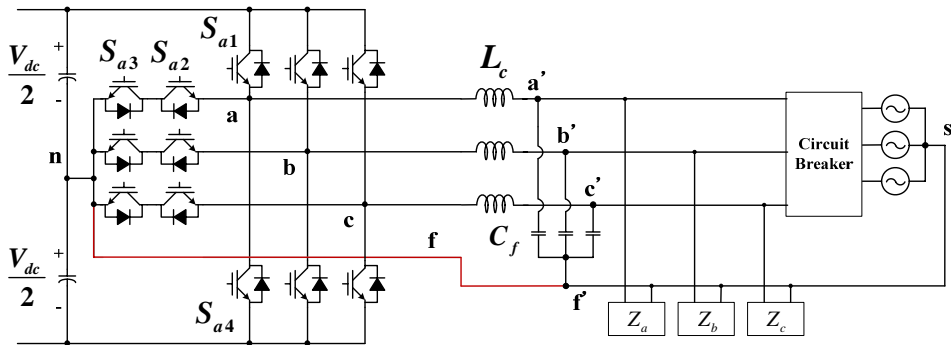


그림 A.9 3레그 1선 구조

Figure A.9 3 leg 1 wire structure

보통의 3상 컨버터와 마찬가지로 3레그만 존재하는 구조이다. 여기서 부하의 중성점은 LC필터의 중성점과 연결된다. 그리고 LC필터의 중성점은 직류단 전압의 중성점에 연결되는 구조이다. 이 구조에서 계통의 중성점과 직류단 전압의 중성점으로 정의되는 커먼 모드 전압의 크기는 항상 0V가 된다. 하지만 f 상 극 전압이 항상 0이므로 사용할 수 있는 PWM 방법은 SPWM (Sinusoidal PWM)으로 한정되게 된다. 따라서 최대 전압 사용률은 1이 된다.

다음으로 4레그 구조[39, 86]는 그림 A.10과 같다.

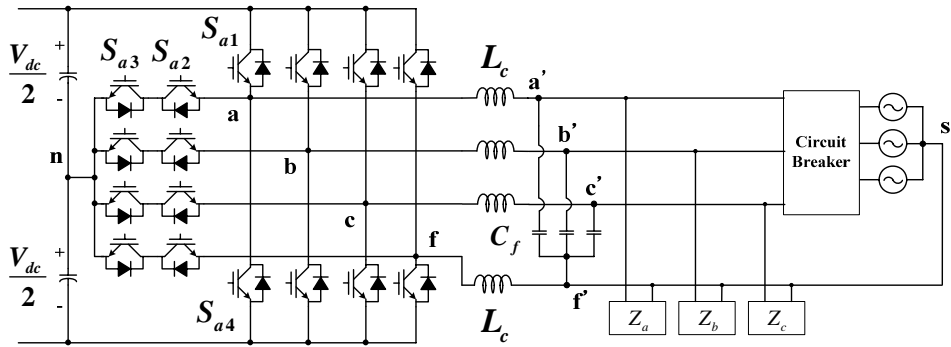


그림 A.10 4레그 구조

Figure A.10 4 leg structure

4레그 구조는 부하의 중성점의 추가된 레그인 f 레그에 연결되는 구조이다. 이 구조는 3레그 1선식 구조에 비해 1개의 레그를 추가로 사용하므로 필요한 소자수가 30% 증가한다는 단점이 있다. 하지만 4레그 구조는 3레그 1선 구조와 다르게 사용할 수 있는 PWM 방법이 다양하다.

PWM 방법 별 커먼 모드 전압과 전압 사용률이 표 A.1에 정리되어 있다. 커먼 모드 전압은 3레그 1선 구조의 값보다는 크게 되지만, 최대 전압 사용률은 SVPWM을 사용할 경우 1.1547에 이르게 된다. 또한 상 전압이 정상분 (V_m)과 영상분 ($0.616V_m$)을 포함하고 있다고 할 때, 전압 사용률이 3레그 1선 구조에서는 1이지만, 4레그 구조에서는 1.8591이 되게 된다.

표 A.1은 같은 상 전압 크기를 출력하고자 할 때, 최대 상 전압의 크기가 1일 경우의 각 구조 별 필요한 직류단 전압을 나타낸 것이다. 같은 상 전압을 내고자 할 때, 4레그 구조에서 필요한 직류단 전압의 크기가 작은 것을 알 수 있다.

표 A.1 같은 상 전압 크기를 출력하기 위한 직류단 전압

상 전압 조건	회로 구조	
	3 레그 1 선	4레그
3 상 평형	1	0.866
3 상 불평형 (영상분 전압 / 정상분 전압 = 0.616)	1	0.5379

이를 다시 직류단 전압 (V_{dc})이 같을 때, 각 시스템이 조건에 따라 얼마나 큰 전압의 상 전압을 합성할 수 있는지 정리하면 표 A.2와 같다. 3상 평형 시에는 3레그 1선 구조에 비해 4레그 구조에서 15% 큰 전압의 합성이 가능하고, 3상 불평형 시에는 85%까지 큰 전압이 합성 가능함을 알 수 있다.

표 A.2 같은 직류단 전압에서 출력 가능한 상 전압 크기

상 전압 조건	회로 구조	
	3 레그 1 선	4레그
3 상 평형 시 최대 상 전압	$\frac{V_{dc}}{2}$	$\frac{2}{\sqrt{3}} \frac{V_{dc}}{2}$ ($=1.1547 \frac{V_{dc}}{2}$)
3 상 불평형 시 최대 상 전압 (영상분 전압 / 정상분 전압 = 0.616)	$\frac{V_{dc}}{2}$	$1.61 \frac{2}{\sqrt{3}} \frac{V_{dc}}{2}$ ($=1.8591 \frac{V_{dc}}{2}$)
3 상 불평형 시 최대 정상분 상 전압 (영상분 전압 / 정상분 전압 = 0.616)	$\frac{1}{1.61} \frac{V_{dc}}{2}$ ($=0.6211 \frac{V_{dc}}{2}$)	$\frac{1}{1.61} 1.8591 \frac{V_{dc}}{2}$ ($=1.1547 \frac{V_{dc}}{2}$)

부 록 B. 기존 교류 전원 장치

교류 전원 장치는 여러 제조사에 의해 만들어지고 있다. 대표적인 제조사는 AMETEK, KIKUSUI, CHROMA, KEYSIGHT, EGSTON 등이 있다. 내부 구조는 쉽게 공개가 되어 있지는 않지만 몇몇 제조사에서 공개된 자료를 근거로 내부 구조를 추정하여 분석하고자 한다.

먼저 그림 B.1과 같이 EGSTON 사에서 나온 제품에는 기본 단위인 COMPISO Digital Amplifier (CDA)가 있다[87]. CDA는 6개의 레그가 인터리빙 (interleaving)으로 동작하게 된다. 각 레그의 스위칭 주파수는 20.833 kHz이다. 따라서 인터리빙으로 동작하는 한 상 (phase)의 등가 스위칭 주파수는 125 kHz가 된다. 그리고 합성 가능한 교류 파형

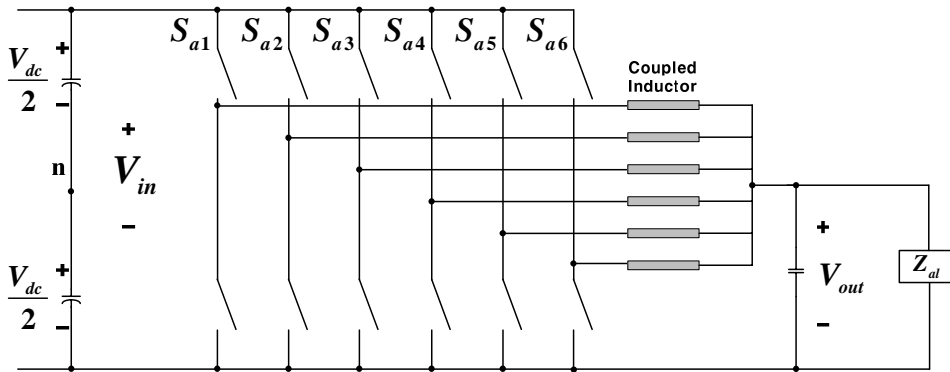


그림 B.1 COMPISO Digital Amplifier (CDA) 구조

Figure B.1 Structure of COMPISO Digital Amplifier (CDA)

의 최대 주파수는 5 kHz로 나타나 있다. CDA는 합성 가능한 주파수가 높은 반면에 인터리빙 동작에 의한 상마다 필요한 전력용 반도체 숫자가 많아 전체 3상 시스템을 구성할 경우 시스템이 복잡하고 따라서 비용이 높아진다는 단점이 있다.

그림 B.2는 AMETEK 사에서 판매하는 대용량 교류 전원 장치인 MX series 의 기본 전력 회로이다[88]. MX series 의 구조는 각 레그는 2레벨 구조이고, 부하의 중성단이 직류단 캐피시터의 중성점에 연결된 3레그 1선식 구조이다. 앞에서 언급한 CDA에 비해 MX series 는 지금까지 가장 널리 사용되고 있는 2레벨 구조를 사용하므로 신뢰성이 높고 제어가 간단하다는 장점이 있다. 하지만 멀티 레벨 인버터에 비해 그림 B.2의 인덕터의 값이 커져야 한다는 단점이 있다. 대신에 MX

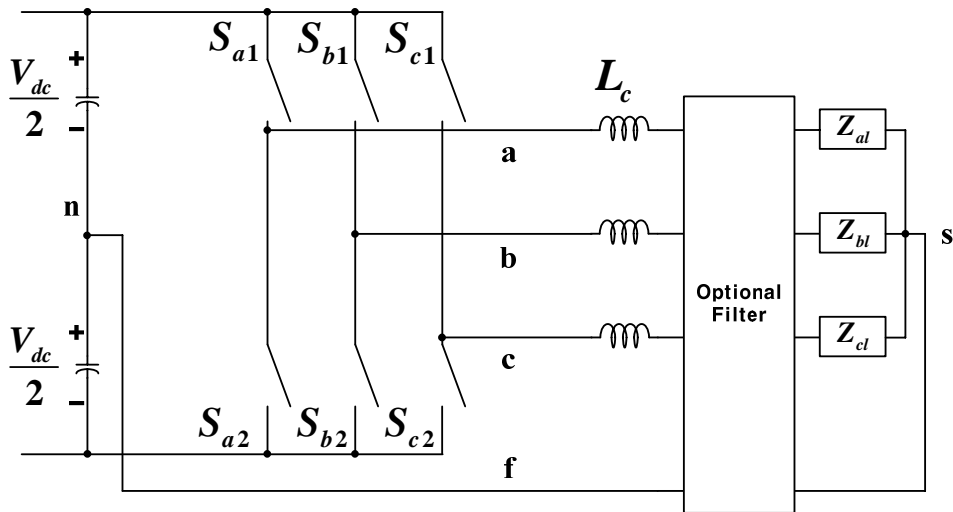


그림 B.2 MX series 구조

Figure B.2 Structure of MX series

series 는 전력용 반도체로 IGBT 대신에 MOSFET을 사용하면서 스위칭 주파수는 60 kHz 정도로 높여 사용하고 있다[89]. 따라서 부가적으로 그림 B.3과 같이 EMI 필터를 사용하도록 권하고 있다. MX series의 최대 합성 가능 주파수는 819 Hz라고 표시되어 있다.

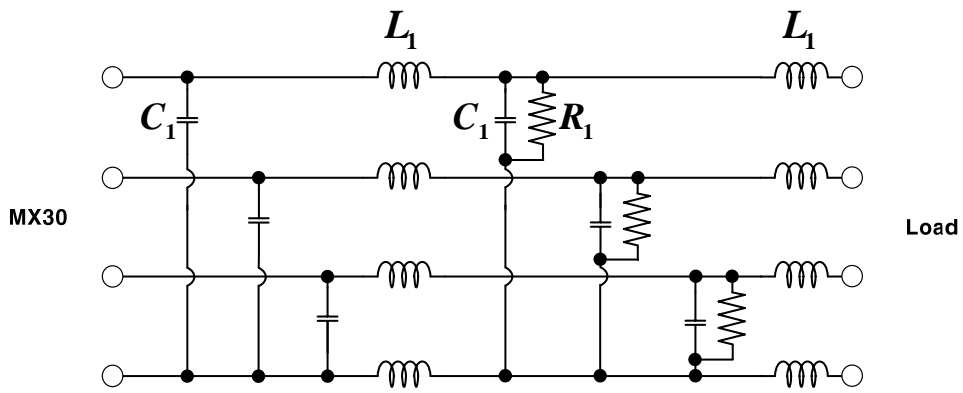


그림 B.3 MX series의 optional EMI 필터

Figure B.3 Optional EMI filter of MX series

참고 문헌

- [1] C. K. Lee, J. S. K. Leung, S. Y. R. Hui, and H. S. H. Chung, "Circuit-level comparison of STATCOM technologies," *Power Electronics, IEEE Transactions on*, vol. 18, pp. 1084-1092, 2003.
- [2] O. Vodyakho and C. C. Mi, "Three-Level Inverter-Based Shunt Active Power Filter in Three-Phase Three-Wire and Four-Wire Systems," *Power Electronics, IEEE Transactions on*, vol. 24, pp. 1350-1363, 2009.
- [3] B. Singh, K. Al-Haddad, and A. Chandra, "A review of active filters for power quality improvement," *Industrial Electronics, IEEE Transactions on*, vol. 46, pp. 960-971, 1999.
- [4] J. G. Nielsen and F. Blaabjerg, "A detailed comparison of system topologies for dynamic voltage restorers," *Industry Applications, IEEE Transactions on*, vol. 41, pp. 1272-1280, 2005.
- [5] V. Khadkikar, "Enhancing Electric Power Quality Using UPQC: A Comprehensive Overview," *Power Electronics, IEEE Transactions on*, vol. 27, pp. 2284-2297, 2012.
- [6] T. Ying-Yu, O. Rong-Shyang, S. L. Jung, and C. Meng-Yueh, "High-performance programmable AC power source with low harmonic distortion using DSP-based repetitive control technique," *Power Electronics, IEEE Transactions on*, vol. 12, pp. 715-725, 1997.
- [7] P. Mattavelli, "Synchronous-frame harmonic control for high-performance AC power supplies," *Industry Applications, IEEE Transactions on*, vol. 37, pp. 864-872, 2001.
- [8] A. Nabae, I. Takahashi, and H. Akagi, "A New Neutral-Point-Clamped PWM Inverter," *Industry Applications, IEEE Transactions on*, vol. IA-17, pp. 518-523, 1981.
- [9] K. A. Tehrani, I. Rasoanarivo, H. Andriatsioharana, and F. M. Sargos, "A new multilevel inverter model NP without clamping diodes," in *Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE*, 2008, pp. 466-472.
- [10] R. Joetten, M. Gekeler, and J. Eibel, "AC drive with three-level voltage source inverter and high dynamic performance microprocessor control," in *Proc. of the European Conf. on Power Electronics and Applications, EPE*, 1985, pp. 3.1-3.6.
- [11] M. Lin, T. Kerekes, R. Teodorescu, J. Xinmin, D. Floricau, and M. Liserre, "The high efficiency transformer-less PV inverter topologies derived from NPC topology," in *Power Electronics and*

- Applications, 2009. EPE '09. 13th European Conference on*, 2009, pp. 1-10.
- [12] M. Schweizer, I. Lizama, T. Friedli, and J. W. Kolar, "Comparison of the chip area usage of 2-level and 3-level voltage source converter topologies," in *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*, 2010, pp. 391-396.
 - [13] C. Seung-Jun, S. Seung-Ki, R. Young Hoon, and L. Junyeong, "Loss comparison of the 3 level topologies for four-leg voltage converters," in *Industrial Technology (ICIT), 2014 IEEE International Conference on*, 2014, pp. 324-329.
 - [14] Z. Changjiang, A. Arulampalam, and N. Jenkins, "Four-wire dynamic voltage restorer based on a three-dimensional voltage space vector PWM algorithm," *Power Electronics, IEEE Transactions on*, vol. 18, pp. 1093-1102, 2003.
 - [15] T. M. Jahns, R. W. A. A. De Doncker, A. V. Radun, P. M. Szczesny, and F. G. Turnbull, "System design considerations for a high-power aerospace resonant link converter," *Power Electronics, IEEE Transactions on*, vol. 8, pp. 663-672, 1993.
 - [16] A. L. Julian, G. Oriti, and T. A. Lipo, "Elimination of common-mode voltage in three-phase sinusoidal power converters," *Power Electronics, IEEE Transactions on*, vol. 14, pp. 982-989, 1999.
 - [17] G. Venkataramanan, D. M. Divan, and T. M. Jahns, "Discrete pulse modulation strategies for high-frequency inverter systems," *Power Electronics, IEEE Transactions on*, vol. 8, pp. 279-287, 1993.
 - [18] K. Hyosung, J. Jun-Keun, K. Jang-Hwan, S. Seung-Ki, and K. Kyung-Hwan, "Novel topology of a line interactive UPS using PQR instantaneous power theory," in *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*, 2004, pp. 2232-2238 vol.4.
 - [19] E. Ebrahimzadeh, S. Farhangi, H. Iman-Eini, F. Badrkhani Ajaei, and R. Iravani, "Improved Phasor Estimation Method for Dynamic Voltage Restorer Applications," *Power Delivery, IEEE Transactions on*, vol. 30, pp. 1467-1477, 2015.
 - [20] K. Karimi, S. Liu, D. Wang, F. De Leon, Q. Tang, D. Gu, *et al.*, "Aircraft universal power converter," ed: Google Patents, 2013.
 - [21] M. Zhang, D. Atkinson, B. Ji, M. Armstrong, and M. Ma, "A Near-State Three-Dimensional Space Vector Modulation for a Three-Phase Four-Leg Voltage Source Inverter," *Power Electronics, IEEE Transactions on*, vol. PP, pp. 1-1, 2014.
 - [22] S. Chee, S. Ko, H. Kim, and S. Sul, "Common-Mode Voltage Reduction of Three-Level Four-Leg PWM Converter," *Industry Applications, IEEE Transactions on*, vol. 51, pp. 4006-4016, 2015.
 - [23] G. L. Skibinski, R. J. Kerkman, and D. Schlegel, "EMI emissions of modern PWM AC drives," *Industry Applications Magazine, IEEE*, vol.

- 5, pp. 47-80, 1999.
- [24] S. Karugaba, A. Muetze, and O. Ojo, "On the Common-Mode Voltage in Multilevel Multiphase Single- and Double-Ended Diode-Clamped Voltage-Source Inverter Systems," *Industry Applications, IEEE Transactions on*, vol. 48, pp. 2079-2091, 2012.
- [25] Y. Koyama, M. Tanaka, and H. Akagi, "Modeling and Analysis for Simulation of Common-Mode Noises Produced by an Inverter-Driven Air Conditioner," *Industry Applications, IEEE Transactions on*, vol. 47, pp. 2166-2174, 2011.
- [26] N. O. Cetin and A. M. Hava, "Compatibility Issues Between the Filter and PWM Unit in Three-Phase AC Motor Drives Utilizing the Pure Sine Filter Configuration," *Industry Applications, IEEE Transactions on*, vol. 47, pp. 2559-2569, 2011.
- [27] 이현동, "PWM 기법을 이용한 인버터 구동 교류전동기 시스템에서의 커먼 모드 전압 저감," 서울대학교 대학원, 1999.
- [28] S. Ogasawara and H. Akagi, "Modeling and damping of high-frequency leakage currents in PWM inverter-fed AC motor drive systems," *Industry Applications, IEEE Transactions on*, vol. 32, pp. 1105-1114, 1996.
- [29] M. M. Swamy, K. Yamada, and T. Kume, "Common mode current attenuation techniques for use with PWM drives," *Power Electronics, IEEE Transactions on*, vol. 16, pp. 248-255, 2001.
- [30] H. Akagi, H. Hasegawa, and T. Doumoto, "Design and performance of a passive EMI filter for use with a voltage-source PWM inverter having sinusoidal output voltage and zero common-mode voltage," *Power Electronics, IEEE Transactions on*, vol. 19, pp. 1069-1076, 2004.
- [31] R. M. Tallam, G. L. Skibinski, T. A. Shudarek, and R. A. Lukaszewski, "Integrated Differential-Mode and Common-Mode Filter to Mitigate the Effects of Long Motor Leads on AC Drives," *Industry Applications, IEEE Transactions on*, vol. 47, pp. 2075-2083, 2011.
- [32] A. Muetze and C. R. Sullivan, "Simplified Design of Common-Mode Chokes for Reduction of Motor Ground Currents in Inverter Drives," *Industry Applications, IEEE Transactions on*, vol. 47, pp. 2570-2577, 2011.
- [33] S. Ogasawara, H. Ayano, and H. Akagi, "An active circuit for cancellation of common-mode voltage generated by a PWM inverter," *Power Electronics, IEEE Transactions on*, vol. 13, pp. 835-841, 1998.
- [34] K. Hee-Jung, L. Hyeoun-Dong, and S. Seung-Ki, "A new PWM strategy for common-mode voltage reduction in neutral-point-clamped inverter-fed AC motor drives," *Industry Applications, IEEE Transactions on*, vol. 37, pp. 1840-1845, 2001.
- [35] Z. Haoran, A. von Jouanne, D. Shaoan, A. K. Wallace, and W. Fei,

- "Multilevel inverter modulation schemes to eliminate common-mode voltages," *Industry Applications, IEEE Transactions on*, vol. 36, pp. 1645-1653, 2000.
- [36] W. Fei, "Motor shaft voltages and bearing currents and their reduction in multilevel medium-voltage PWM voltage-source-inverter drive applications," *Industry Applications, IEEE Transactions on*, vol. 36, pp. 1336-1341, 2000.
 - [37] L. Zeng, L. Jinjun, and L. Jin, "Modeling, Analysis, and Mitigation of Load Neutral Point Voltage for Three-Phase Four-Leg Inverter," *Industrial Electronics, IEEE Transactions on*, vol. 60, pp. 2010-2021, 2013.
 - [38] C. Dae-Woong, K. Joohn-Sheok, and S. Seung-Ki, "Unified voltage modulation technique for real-time three-phase power conversion," *Industry Applications, IEEE Transactions on*, vol. 34, pp. 374-380, 1998.
 - [39] K. Jang-Hwan and S. Seung-Ki, "A carrier-based PWM method for three-phase four-leg voltage source converters," *Power Electronics, IEEE Transactions on*, vol. 19, pp. 66-75, 2004.
 - [40] 김장환, "멀티레그 멀티레벨 전압형 인버터를 위한 전압 변조 기법의 일반화에 대한 연구," *서울대학교박사학위 논문*, Aug, 2006.
 - [41] E. Un and A. M. Hava, "Performance analysis and comparison of reduced common mode voltage PWM and standard PWM techniques for three-phase voltage source inverters," in *Applied Power Electronics Conference and Exposition, 2006. APEC '06. Twenty-First Annual IEEE*, 2006, p. 7 pp.
 - [42] A. M. Hava, R. J. Kerkman, and T. A. Lipo, "Simple analytical and graphical methods for carrier-based PWM-VSI drives," *Power Electronics, IEEE Transactions on*, vol. 14, pp. 49-61, 1999.
 - [43] H. Seon-Hwan and K. Jang-Mok, "Dead Time Compensation Method for Voltage-Fed PWM Inverter," *Energy Conversion, IEEE Transactions on*, vol. 25, pp. 1-10, 2010.
 - [44] C. Jong-Woo and S. Seung-Ki, "A new compensation strategy reducing voltage/current distortion in PWM VSI systems operating with low output voltages," *Industry Applications, IEEE Transactions on*, vol. 31, pp. 1001-1008, 1995.
 - [45] C. Jong-Woo and S. Seung-Ki, "Inverter output voltage synthesis using novel dead time compensation," *Power Electronics, IEEE Transactions on*, vol. 11, pp. 221-227, 1996.
 - [46] T. Mannen and H. Fujita, "Dead-Time Compensation Method Based on Current Ripple Estimation," *Power Electronics, IEEE Transactions on*, vol. 30, pp. 4016-4024, 2015.
 - [47] A. Lewicki, "Dead-Time Effect Compensation Based on Additional Phase Current Measurements," *Industrial Electronics, IEEE Transactions on*, vol. 62, pp. 4078-4085, 2015.

- [48] Z. Yue, Q. Wei, and W. Long, "Dead-Time Effect Analysis and Compensation for a Sliding-Mode Position Observer-Based Sensorless IPMSM Control System," *Industry Applications, IEEE Transactions on*, vol. 51, pp. 2528-2535, 2015.
- [49] Z. Lanhua, G. Bin, J. Dominic, C. Baifeng, Z. Cong, and L. Jih-Sheng, "A Dead-Time Compensation Method for Parabolic Current Control With Improved Current Tracking and Enhanced Stability Range," *Power Electronics, IEEE Transactions on*, vol. 30, pp. 3892-3902, 2015.
- [50] Z. Zhendong and X. Longya, "Dead-Time Compensation of Inverters Considering Snubber and Parasitic Capacitance," *Power Electronics, IEEE Transactions on*, vol. 29, pp. 3179-3187, 2014.
- [51] L. Dong-Hee and A. Jin-Woo, "A Simple and Direct Dead-Time Effect Compensation Scheme in PWM-VSI," *Industry Applications, IEEE Transactions on*, vol. 50, pp. 3017-3025, 2014.
- [52] K. Dongouk, K. Yong-Cheol, S. Seung-Ki, K. Jang-Hwan, and Y. Rae-Sung, "Suppression of injection voltage disturbance for High Frequency square-wave injection sensorless drive with regulation of induced High Frequency current ripple," in *Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE-ASIA), 2014 International*, 2014, pp. 925-932.
- [53] M. A. Herran, J. R. Fischer, S. A. Gonzalez, M. G. Judewicz, and D. O. Carrica, "Adaptive Dead-Time Compensation for Grid-Connected PWM Inverters of Single-Stage PV Systems," *Power Electronics, IEEE Transactions on*, vol. 28, pp. 2816-2825, 2013.
- [54] P. Yongsoon and S. Seung-Ki, "A Novel Method Utilizing Trapezoidal Voltage to Compensate for Inverter Nonlinearity," *Power Electronics, IEEE Transactions on*, vol. 27, pp. 4837-4846, 2012.
- [55] G. Pellegrino, P. Guglielmi, E. Armando, and R. I. Bojoi, "Self-Commissioning Algorithm for Inverter Nonlinearity Compensation in Sensorless Induction Motor Drives," *Industry Applications, IEEE Transactions on*, vol. 46, pp. 1416-1424, 2010.
- [56] T. H. Chin, M. Nakano, and T. Hirayama, "Accurate measurement of instantaneous voltage for power electronics circuits," in *Power Conversion Conference - Nagaoka 1997., Proceedings of the*, 1997, pp. 881-884 vol.2.
- [57] S. Yo-Chan, B. Bon-Ho, and S. Seung-Ki, "Sensorless operation of permanent magnet motor using direct voltage sensing circuit," in *Industry Applications Conference, 2002. 37th IAS Annual Meeting. Conference Record of the*, 2002, pp. 1674-1678 vol.3.
- [58] L. Peretti and M. Zigliotto, "FPGA-based voltage measurements in AC drives," in *Electrical Machines (ICEM), 2010 XIX International Conference on*, 2010, pp. 1-6.
- [59] C. Lihua and F. Z. Peng, "Elimination of Dead-time in PWM

- Controlled Inverters," in *Applied Power Electronics Conference, APEC 2007 – Twenty Second Annual IEEE*, 2007, pp. 306–309.
- [60] T. D. Batzel and M. Comanescu, "Instantaneous voltage measurement in PWM voltage source inverters," in *Electrical Machines and Power Electronics, 2007. ACEMP '07. International Aegean Conference on*, 2007, pp. 168–173.
 - [61] L. Yong-Kai and L. Yen-Shin, "Dead-time elimination method and current polarity detection circuit for three-phase PWM-controlled inverter," in *Energy Conversion Congress and Exposition, 2009. ECCE 2009. IEEE*, 2009, pp. 83–90.
 - [62] S.-J. Chee, J. Kim, and S.-K. Sul, "Dead-time compensation based on pole voltage measurement," in *Energy Conversion Congress and Exposition (ECCE), 2015 IEEE*, 2015, pp. 1549–1555.
 - [63] Z. Dongsheng and D. G. Rouaud, "Dead-time effect and compensations of three-level neutral point clamp inverters for high-performance drive applications," *Power Electronics, IEEE Transactions on*, vol. 14, pp. 782–788, 1999.
 - [64] S. R. Minshull, C. M. Bingham, D. A. Stone, and M. P. Foster, "Compensation of Nonlinearities in Diode-Clamped Multilevel Converters," *Industrial Electronics, IEEE Transactions on*, vol. 57, pp. 2651–2658, 2010.
 - [65] O. Won Seok, K. Yong Tae, and K. Hee-jun, "Dead time compensation of current controlled inverter using space vector modulation method," in *Power Electronics and Drive Systems, 1995., Proceedings of 1995 International Conference on*, 1995, pp. 374–378 vol.1.
 - [66] A. C. Oliveira, C. B. Jacobina, and A. M. N. Lima, "Improved Dead-Time Compensation for Sinusoidal PWM Inverters Operating at High Switching Frequencies," *Industrial Electronics, IEEE Transactions on*, vol. 54, pp. 2295–2304, 2007.
 - [67] K. Hyeon-Sik, K. Yong-Cheol, C. Seung-Jun, and S. Seung-Ki, "Analysis and Compensation of Inverter Nonlinearity for Three-Level T-Type Inverters," in *Applied Power Electronics Conference and Exposition (APEC), 2016 IEEE*, 2016.
 - [68] L. Sang-Joon, K. Hyosung, and S. Seung-Ki, "A novel control method for the compensation voltages in dynamic voltage restorers," in *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, 2004, pp. 614–620 Vol.1.
 - [69] S. Y. Lee, Y. M. Chae, J. S. Cho, G. H. Choe, H. S. Mok, and D. H. Jang, "A new control strategy for instantaneous voltage compensator using 3-phase PWM inverter," in *Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE*, 1998, pp. 248–254 vol.1.
 - [70] L. Poh Chiang, M. J. Newman, D. N. Zmood, and D. G. Holmes, "A

- comparative analysis of multiloop voltage regulation strategies for single and three-phase UPS systems," *Power Electronics, IEEE Transactions on*, vol. 18, pp. 1176-1185, 2003.
- [71] D. Dong, T. Thacker, R. Burgos, W. Fei, and D. Boroyevich, "On Zero Steady-State Error Voltage Control of Single-Phase PWM Inverters With Different Load Types," *Power Electronics, IEEE Transactions on*, vol. 26, pp. 3285-3297, 2011.
 - [72] T. Kawabata, T. Miyashita, and Y. Yamamoto, "Digital control of three-phase PWM inverter with LCfilter," *Power Electronics, IEEE Transactions on*, vol. 6, pp. 62-72, 1991.
 - [73] 이은우, "빠른 동특성을 갖는 deadbeat 인버터 전압제어 알고리즘," 서울대학교 대학원, 2002.
 - [74] T. Kawabata, T. Miyashita, and Y. Yamamoto, "Dead beat control of three phase PWM inverter," *Power Electronics, IEEE Transactions on*, vol. 5, pp. 21-28, 1990.
 - [75] K. Hyosung, L. sang-Joon, and S. Seung-Ki, "Design of the Feed Forward Controller in Digital Method to Improve Transient Characteristics for Dynamic Voltage Restorers," *THE TRANSACTIONS OF KOREAN INSTITUTE OF POWER ELECTRONICS*, vol. 9, pp. 275-284, 6 2004.
 - [76] K. Hyosung and S. Seung-Ki, "Compensation voltage control in dynamic voltage restorers by use of feed forward and state feedback scheme," *Power Electronics, IEEE Transactions on*, vol. 20, pp. 1169-1177, 2005.
 - [77] 이상준, "순간 전압 강하 보상용 직렬 보상기를 위한 새로운 PLL 및 전압 제어기에 관한 연구," 서울대학교 대학원, 2003.
 - [78] W. Xiongfei, P. Ying, L. Poh Chiang, and F. Blaabjerg, "A Series-LC-Filtered Active Damper With Grid Disturbance Rejection for AC Power-Electronics-Based Power Systems," *Power Electronics, IEEE Transactions on*, vol. 30, pp. 4037-4041, 2015.
 - [79] S. G. Parker, B. P. McGrath, and D. G. Holmes, "Regions of Active Damping Control for LCL Filters," *Industry Applications, IEEE Transactions on*, vol. 50, pp. 424-432, 2014.
 - [80] P. Donghua, R. Xinbo, B. Chenlei, L. Weiwei, and W. Xuehua, "Capacitor-Current-Feedback Active Damping With Reduced Computation Delay for Improving Robustness of LCL-Type Grid-Connected Inverter," *Power Electronics, IEEE Transactions on*, vol. 29, pp. 3414-3427, 2014.
 - [81] K. Hatua, A. K. Jain, D. Banerjee, and V. T. Ranganathan, "Active Damping of Output LC Filter Resonance for Vector-Controlled VSI-Fed AC Motor Drives," *Industrial Electronics, IEEE Transactions on*, vol. 59, pp. 334-342, 2012.
 - [82] L. Yun Wei, "Control and Resonance Damping of Voltage-Source and Current-Source Converters With LC Filters," *Industrial Electronics*,

- IEEE Transactions on*, vol. 56, pp. 1511–1521, 2009.
- [83] F. Filsecker, R. Alvarez, and S. Bernet, "Evaluation of 6.5-kV SiC p-i-n Diodes in a Medium-Voltage, High-Power 3L-NPC Converter," *Power Electronics, IEEE Transactions on*, vol. 29, pp. 5148–5156, 2014.
 - [84] M. Lin, S. Kai, and J. Xinmin, "A transformation method from conventional three phases full-bridge topology to conergy NPC topology," in *Electrical Machines and Systems (ICEMS), 2011 International Conference on*, 2011, pp. 1–5.
 - [85] S. Saridakis, E. Koutroulis, and F. Blaabjerg, "Optimal Design of Modern Transformerless PV Inverter Topologies," *Energy Conversion, IEEE Transactions on*, vol. 28, pp. 394–404, 2013.
 - [86] R. Zhang, V. H. Prasad, D. Boroyevich, and F. C. Lee, "Three-dimensional space vector modulation for four-leg voltage-source converters," *Power Electronics, IEEE Transactions on*, vol. 17, pp. 314–326, 2002.
 - [87] EGSTON. Available: http://www.egston.com/en/power_electronics/nutshell.php
 - [88] AMETEK. *User Manual*. Available: http://www.programmablepower.com/ac-power-source/MX/downloads/MX_Series_User_Manual_7003-960_rAY.pdf
 - [89] AMETEK. *Technical Note*. Available: http://www.programmablepower.com/ac-power-source/MX/app_downloads/TechNote_Mx-Series-With-Optional-EMI-Filter.pdf

Abstract

In this dissertation, the control method for the voltage synthesis of the three level four leg converter as an arbitrary waveform AC power supply has been proposed.

Recently, the power converter interfaced with the grid is getting attention owing to the increase of distributed generator (DG) such as renewable energy sources. Alike the increase of the power converter, the use of the converters for the power quality to meet the grid regulations is increasing. These converters should work properly as intended not only in normal grid state but also in abnormal grid state. Therefore, the converters should be tested in the condition of abnormal grid state throughout the product development and the quality assurance stage. So the interest in the AC power supply which can synthesize arbitrary waveform to simulate the abnormal grid voltage is gradually increasing.

The AC power supply has to synthesize 3 phase balanced voltages to the loads whether the loads are balanced or not. So the four leg topology among four wire structures is chosen for accommodating the unbalanced loads because of its relative high voltage utilization rate. Additionally, the T-type structure among three level topologies is selected as a multi-level topology owing to their small filters and higher efficiency compared to the two level topology.

The principle of voltage synthesis in converters is averaging the pole voltage based on the switching operation of the power semiconductors. In the converter, the common-mode voltage usually exists due to its switching operation. It results in the common-mode current which is a source of consequent electromagnetic interface noise. In addition, it is hard for a three level topology to compensate the dead-time voltage distortion near zero voltage unlike a two level topology. Furthermore, the voltage controller is necessary for the converter used in the AC power supply in order to synthesize the voltage as desired. It ought to suppress the resonance of the LC filter actively and to synthesize the desired voltage minimizing the distortion and the time delay.

In this dissertation, for the voltage synthesis of the three level four leg converter as an arbitrary waveform AC power supply, the PWM method on behalf of the common-mode voltage reduction and the dead-time compensation has been proposed. In addition a novel voltage controller has been proposed to extend the control bandwidth for the voltage synthesis. To validate the effectiveness of the proposed methods, the 5kW three level (T-type) four leg converter has been configured in both computer simulation and experimental test. All proposed control algorithms have been experimentally verified not only by computer simulation and but also by 5kW three level four leg converter system. When PPPWM methods are applied, the peak-to-peak values and the transition

number of the CMV are reduced 66% and 75%, respectively, compared to those of the SVPWM method. When the proposed single-loop voltage controller is applied, the values of VTR are increased compared to those of conventional voltage controller.

Keywords : 3 level 4 leg, common-mode voltage, dead-time, voltage controller, AC power supply

Student Number : 2011-30977